



**ΕΛΛΗΝΙΚΗ ΔΗΜΟΚΡΑΤΙΑ
ΤΕΧΝΟΛΟΓΙΚΟ ΕΚΠΑΙΔΕΥΤΙΚΟ
ΙΔΡΥΜΑ ΔΥΤΙΚΗΣ ΜΑΚΕΔΟΝΙΑΣ**

Εισαγωγή στα Ψηφιακά Συστήματα

Ασημόπουλος Νικόλαος – Πατουλίδης Γεώργιος – Παλιανόπουλος Ιωάννης

Τμήμα Ηλεκτρολόγων Μηχανικών ΤΕ

Άδειες Χρήσης

- Το παρόν εκπαιδευτικό υλικό υπόκειται σε άδειες χρήσης Creative Commons.
- Για εκπαιδευτικό υλικό, όπως εικόνες, που υπόκειται σε άλλου τύπου άδειας χρήσης, η άδεια χρήσης αναφέρεται ρητώς.



Χρηματοδότηση

- Το παρόν εκπαιδευτικό υλικό έχει αναπτυχθεί στα πλαίσια του εκπαιδευτικού έργου του διδάσκοντα.
- Το έργο «**Ανοικτά Ακαδημαϊκά Μαθήματα στο ΤΕΙ Δυτικής Μακεδονίας και στην Ανώτατη Εκκλησιαστική Ακαδημία Θεσσαλονίκης**» έχει χρηματοδοτήσει μόνο τη αναδιαμόρφωση του εκπαιδευτικού υλικού.
- Το έργο υλοποιείται στο πλαίσιο του Επιχειρησιακού Προγράμματος «**Εκπαίδευση και Δια Βίου Μάθηση**» και συγχρηματοδοτείται από την Ευρωπαϊκή Ένωση (Ευρωπαϊκό Κοινωνικό Ταμείο) και από εθνικούς πόρους.



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ & ΘΡΗΣΚΕΥΜΑΤΩΝ, ΠΟΛΙΤΙΣΜΟΥ & ΑΘΛΗΤΙΣΜΟΥ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



ΕΥΡΩΠΑΪΚΟ ΚΟΙΝΩΝΙΚΟ ΤΑΜΕΙΟ

1. ΠΙΝΑΚΑΣ ΠΕΡΙΕΧΟΜΕΝΩΝ

ΕΙΣΑΓΩΓΗ.....	9
1. ΚΕΦΑΛΑΙΟ 1: ΑΛΓΕΒΡΑ BOOLE, ΛΟΓΙΚΕΣ ΠΥΛΕΣ ΚΑΙ ΑΠΛΟΠΟΙΗΣΗ ΣΥΝΑΡΤΗΣΕΩΝ.....	10
1.1. Συστήματα Αρίθμησης.....	10
1.2. Άλγεβρα Boole	11
1.3. Αξιώματα Huntigton.....	11
1.3.1. Διαφορές με συνήθη Άλγεβρα.....	14
1.3.2. Η δίτιμη Άλγεβρα Boole	14
1.3.3. Συναρτήσεις Boole.....	14
1.3.4. Άλλες λογικές πράξεις.....	15
1.4. Λογικές Πύλες	15
1.5. Ολοκληρωμένα κυκλώματα	18
1.6. Εργαστηριακή Άσκηση 1	18
1.6.1. Εκφώνηση	18
1.6.2. Παραδοτέα.....	18
1.6.3. Στόχοι	18
1.6.4. Ενδεικτική λύση	18
1.7. Χάρτες Karnaugh	20
1.8. Εργαστηριακή Άσκηση 2	22
1.8.1. Εκφώνηση	23
1.8.2. Παραδοτέα.....	23
1.8.3. Στόχοι	23
1.8.4. Ενδεικτική λύση	23
1.9. Προτεινόμενες Ασκήσεις.....	25
2. ΚΕΦΑΛΑΙΟ 2: ΣΥΝΔΥΑΣΤΙΚΑ ΚΥΚΛΩΜΑΤΑ	26
2.1. Σχεδίαση Συνδυαστικών Κυκλωμάτων	26
2.2. Παράδειγμα σχεδίασης Συνδυαστικού Κυκλώματος	26
2.3. Εργαστηριακή Άσκηση 3	28
2.3.1. Εκφώνηση	28
2.3.2. Παραδοτέα.....	29
2.3.3. Στόχοι	29
2.3.4. Ενδεικτική λύση	29
2.4. Εργαστηριακή Άσκηση 4	31

2.4.1.	Εκφώνηση	31
2.4.2.	Παραδοτέα.....	32
2.4.3.	Στόχοι	32
2.4.4.	Ενδειξτική λύση	32
2.5.	Εργαστηριακή Άσκηση 5	33
2.5.1.	Εκφώνηση	33
2.5.2.	Παραδοτέα.....	35
2.5.3.	Στόχοι	35
2.5.4.	Ενδεικτική Λύση.....	35
2.6.	Σχεδιάζοντας με PAL.....	44
2.7.	Εργαστηριακή Άσκηση 6	45
2.7.1.	Εκφώνηση	45
2.7.2.	Παραδοτέα.....	46
2.7.3.	Στόχοι	46
2.7.4.	Ενδεικτική λύση	46
2.8.	Προτεινόμενες Ασκήσεις.....	53
3.	ΚΕΦΑΛΑΙΟ 3: ΔΥΑΔΙΚΗ ΠΡΟΣΘΕΣΗ ΚΑΙ ΑΦΑΙΡΕΣΗ.....	54
3.1.	Ημιαθροιστής	54
3.2.	Εργαστηριακή Άσκηση 7	54
3.2.1.	Εκφώνηση	54
3.2.2.	Παραδοτέα.....	54
3.2.3.	Στόχοι	54
3.2.4.	Ενδεικτική λύση	55
3.3.	Ημιαφαιρέτης.....	57
3.4.	Εργαστηριακή Άσκηση 8	57
3.4.1.	Εκφώνηση	57
3.4.2.	Παραδοτέα.....	57
3.4.3.	Στόχοι	58
3.4.4.	Ενδεικτική λύση	58
3.5.	Εργαστηριακή Άσκηση 9	60
3.5.1.	Εκφώνηση	60
3.5.2.	Παραδοτέα.....	60
3.5.3.	Στόχοι	60
3.5.4.	Ενδεικτική Λύση.....	60

3.6.	Προτεινόμενες Ασκήσεις.....	65
4.	ΚΕΦΑΛΑΙΟ 4: ΑΚΟΛΟΥΘΙΑΚΑ ΚΥΚΛΩΜΑΤΑ.....	65
4.1.	Τα Flip-Flop.....	65
4.1.1.	Η λειτουργία του Flip – Flop.....	65
4.1.2.	Η διέγερση του Flip- Flop.....	66
4.1.3.	Τα JK Flip-Flop.....	66
4.1.4.	Τα T Flip-Flop.....	67
4.1.5.	Τα D Flip-Flop.....	68
4.1.6.	Μετρητές.....	69
4.2.	Ανάλυση και σχεδίαση ακολουθιακών κυκλωμάτων.....	70
4.3.	Εργαστηριακή Άσκηση 10.....	71
4.3.1.	Εκφώνηση.....	71
4.3.2.	Παραδοτέα.....	71
4.3.3.	Στόχοι.....	71
4.3.4.	Ενδεικτική λύση.....	71
4.4.	Εργαστηριακή Άσκηση 11.....	74
4.4.1.	Εκφώνηση.....	74
4.4.2.	Παραδοτέα.....	75
4.4.3.	Στόχοι.....	75
4.4.4.	Ενδεικτική λύση.....	75
4.5.	Εργαστηριακή Άσκηση 12.....	78
4.5.1.	Εκφώνηση.....	78
4.5.2.	Παραδοτέα.....	79
4.5.3.	Στόχοι.....	79
4.5.4.	Ενδεικτική Λύση.....	79
4.6.	Προτεινόμενες Ασκήσεις.....	86
5.	ΒΙΒΛΙΟΓΡΑΦΙΑ.....	88
6.	ΠΑΡΑΡΤΗΜΑ Α. ΕΝΔΕΙΚΤΙΚΕΣ ΛΥΣΕΙΣ ΓΙΑ ΤΟ WINCUPΛ.....	90
	Εργαστηριακή Άσκηση 6 – PAL 1.....	90
	Εργαστηριακή Άσκηση 6 – PAL 2.....	96
	Εργαστηριακή Άσκηση 9 – PAL 1.....	101
	Εργαστηριακή Άσκηση 9 – PAL 2.....	107
	Εργαστηριακή Άσκηση 10 – PAL 1.....	113
	Εργαστηριακή Άσκηση 10 – PAL 2.....	118

Εργαστηριακή Άσκηση 11 – PAL 1	123
Εργαστηριακή Άσκηση 11 – PAL 2	128
Εργαστηριακή Άσκηση 12 – PAL 1	133
Εργαστηριακή Άσκηση 12 – PAL 2	139
7. ΠΑΡΑΡΤΗΜΑ Β: ΤΟ ΤΕΣΤ ΚΛΕΙΣΤΟΥ ΤΥΠΟΥ	144
8. ΠΑΡΑΡΤΗΜΑ Γ: ΤΟ ΟΛΟΚΛΗΡΩΜΕΝΟ 7400	146
Γενικά για το 7400.....	146
Οι ακροδέκτες του 7400.....	146
Τα ολοκληρωμένα της σειράς 74.....	147

Περιεχόμενα Εικόνων

Εικόνα 1-1 .Αξιώματα και θεωρήματα της Άλγεβρας Boole.....	13
Εικόνα 1-2. Πίνακας αληθείας μιας συνάρτησης Boole με 3 εισόδους x, y, z και 4 εξόδους F1, F2, F3 και F4.....	15
Εικόνα 1-3. Άλλες λογικές πράξεις.....	16
Εικόνα 1-4. Οι πύλες AND, OR, NOT και απομονωτή.	17
Εικόνα 1-5. Οι πύλες NAND, NOR, XOR και ισοδυναμίας.	17
Εικόνα 1-6. Το κύκλωμα της 1 ^{ης} Εργαστηριακής Άσκησης (πριν την απλοποίηση).....	19
Εικόνα 1-7. Το κύκλωμα της 1 ^{ης} Εργαστηριακής Άσκησης (μετά την απλοποίηση).....	20
Εικόνα 1-8. Παράδειγμα χρήσης χάρτη Karnaugh.	22
Εικόνα 1-9. Χάρτης Karnaugh 2ης Εργαστηριακής Άσκησης.....	24
Εικόνα 1-10 – Το κύκλωμα της 2 ^{ης} Εργαστηριακής Άσκησης.....	24
Εικόνα 2-1. Χάρτης Karnaugh της συνάρτησης εξόδου	27
Εικόνα 2-2. Επίπεδα πυλών παραδείγματος.	28
Εικόνα 2-3. Το κύκλωμα της 3ης Εργαστηριακής Άσκησης	31
Εικόνα 2-4. Το κύκλωμα της 4ης Εργαστηριακής Άσκησης.	33
Εικόνα 2-5. Πίνακας της Άσκησης 5.	34
Εικόνα 2-6 – Ο ενδείκτης 7 τομέων.....	35
Εικόνα 2-7. Πίνακας αλήθειας 5 ^{ης} Εργαστηριακής Άσκησης.	36
Εικόνα 2-8. Χάρτης Karnaugh συνάρτησης εξόδου a.	36
Εικόνα 2-9. Χάρτης Karnaugh συνάρτησης εξόδου b.	37
Εικόνα 2-10. Χάρτης Karnaugh συνάρτησης εξόδου c.....	37
Εικόνα 2-11. Χάρτης Karnaugh συνάρτησης εξόδου d.	38

Εικόνα 2-12. Χάρτης Karnaugh συνάρτησης εξόδου e.	38
Εικόνα 2-13. Χάρτης Karnaugh συνάρτησης εξόδου f	39
Εικόνα 2-14. Χάρτης Karnaugh συνάρτησης εξόδου g.	39
Εικόνα 2-15. Πίνακας αλήθειας 5ης Εργαστηριακής Άσκησης (εργαστήριο).	40
Εικόνα 2-16. Χάρτης Karnaugh συνάρτησης εξόδου a (εργαστήριο).	40
Εικόνα 2-17. Χάρτης Karnaugh συνάρτησης εξόδου b (εργαστήριο).	41
Εικόνα 2-18. Χάρτης Karnaugh συνάρτησης εξόδου c (εργαστήριο).....	41
Εικόνα 2-19. Χάρτης Karnaugh συνάρτησης εξόδου d (εργαστήριο).	41
Εικόνα 2-20. Χάρτης Karnaugh συνάρτησης εξόδου e (εργαστήριο).	42
Εικόνα 2-21. Χάρτης Karnaugh συνάρτησης εξόδου f (εργαστήριο).	42
Εικόνα 2-22. Χάρτης Karnaugh συνάρτησης εξόδου g (εργαστήριο).	43
Εικόνα 2-23 – Το κύκλωμα της 5 ^{ης} Εργαστηριακής Άσκησης.....	44
Εικόνα 2-24. Απλό κύκλωμα PAL με 2 εισόδους και 1 έξοδο.....	45
Εικόνα 2-25. Πίνακας αλήθειας 6ης Εργαστηριακής Άσκησης (1η PAL).	47
Εικόνα 2-26. Χάρτης Karnaugh συνάρτησης εξόδου Fa.	48
Εικόνα 2-27. Χάρτης Karnaugh συνάρτησης εξόδου Fb.	48
Εικόνα 2-28. Χάρτης Karnaugh συνάρτησης εξόδου Fc.....	48
Εικόνα 2-29. Χάρτης Karnaugh συνάρτησης εξόδου Fd.	49
Εικόνα 2-30. Χάρτης Karnaugh συνάρτησης εξόδου Fe.	49
Εικόνα 2-31. Χάρτης Karnaugh συνάρτησης εξόδου Ff.	50
Εικόνα 2-32. Χάρτης Karnaugh συνάρτησης εξόδου Fg.	50
Εικόνα 2-33. Χάρτης Karnaugh συνάρτησης εξόδου Θ_N	51
Εικόνα 2-34 – Το κύκλωμα της 6 ^{ης} Εργαστηριακής Άσκησης.....	52
Εικόνα 3-1. Χάρτης Karnaugh ημιαθροιστή.	54
Εικόνα 3-2. Πίνακας αλήθειας 7ης Εργαστηριακής Άσκησης.	55
Εικόνα 3-3. Χάρτης Karnaugh συνάρτησης Si.	55
Εικόνα 3-4. Χάρτης Karnaugh συνάρτησης Cout.	56
Εικόνα 3-5. Το κύκλωμα της 7ης Εργαστηριακής Άσκησης	56
Εικόνα 3-6. Χάρτης Karnaugh ημιαφαιρέτη.....	57
Εικόνα 3-7. Πίνακας αλήθειας 8ης Εργαστηριακής Άσκησης.	58
Εικόνα 3-8. Χάρτης Karnaugh συνάρτησης D.....	58
Εικόνα 3-9. Χάρτης Karnaugh συνάρτησης B.	59
Εικόνα 3-10 – Το κύκλωμα της 8 ^{ης} Εργαστηριακής Άσκησης.....	59
Εικόνα 3-11. Πίνακας αλήθειας 9ης Εργαστηριακής Άσκησης (1η PAL).	61

Εικόνα 3-12. Χάρτης Karnaugh γενικά της συνάρτησης Si.....	62
Εικόνα 3-13. Χάρτης Karnaugh γενικά της συνάρτησης Cout.	62
Εικόνα 3-14. Πίνακας αλήθειας 9ης Εργαστηριακής Άσκησης (2η PAL).	63
Εικόνα 3-15 – Το κύκλωμα της 9 ^{ης} Εργαστηριακής Άσκησης.....	64
Εικόνα 4-1. JK Flip-Flop.	67
Εικόνα 4-2 – T Flip-Flop.	68
Εικόνα 4-3. D Flip-Flop.....	69
Εικόνα 4-4 . Μετρητής.	69
Εικόνα 4-5. Το γενικό μοντέλο ενός πλήρους κυκλώματος.	70
Εικόνα 4-6. Πίνακας αλήθειας 10ης Εργαστηριακής Άσκησης (1η PAL).	72
Εικόνα 4-7. Χάρτης Karnaugh της συνάρτησης D_1	72
Εικόνα 4-8. Χάρτης Karnaugh της συνάρτησης D_0	73
Εικόνα 4-9. Πίνακας αλήθειας 10ης Εργαστηριακής Άσκησης (2η PAL).	73
Εικόνα 4-10. Το κύκλωμα της 10 ^{ης} Εργαστηριακής Άσκησης.....	74
Εικόνα 4-11. Πίνακας αλήθειας 11 ^{ης} Εργαστηριακής Άσκησης (1η PAL).....	75
Εικόνα 4-12. Διαφορετική μορφή του Πίνακα αλήθειας 11 ^{ης} Εργαστηριακής Άσκησης (1η PAL).	76
Εικόνα 4-13. Χάρτης Karnaugh της συνάρτησης D_1	76
Εικόνα 4-14. Χάρτης Karnaugh της συνάρτησης D_0	77
Εικόνα 4-15. Πίνακας αλήθειας 11ης Εργαστηριακής Άσκησης (2η PAL).	77
Εικόνα 4-16 – Το κύκλωμα της 11 ^{ης} Εργαστηριακής Άσκησης.....	78
Εικόνα 4-17. Πίνακας καταστάσεων.	80
Εικόνα 4-18. Πίνακας Αλήθειας 12 ^{ης} Εργαστηριακής Άσκησης (1η PAL).	81
Εικόνα 4-19. Χάρτης Karnaugh συνάρτησης D_2 με $Q_2=0$	82
Εικόνα 4-20. Χάρτης Karnaugh συνάρτησης D_2 με $Q_2=1$	82
Εικόνα 4-21. Χάρτης Karnaugh συνάρτησης D_1 με $Q_2=0$	83
Εικόνα 4-22. Χάρτης Karnaugh συνάρτησης D_1 με $Q_2=1$	83
Εικόνα 4-23. Χάρτης Karnaugh συνάρτησης D_0 με $Q_2=0$	84
Εικόνα 4-24. Χάρτης Karnaugh συνάρτησης D_0 με $Q_2=1$	84
Εικόνα 4-25. Πίνακας αλήθειας 12ης Εργαστηριακής Άσκησης (2η PAL).	85
Εικόνα 4-26 – Το κύκλωμα της 12 ^{ης} Εργαστηριακής Άσκησης.....	86
Εικόνα 4-27. Σχηματικό διάγραμμα δεδομένων του προβλήματος.....	87

Περιεχόμενα Πινάκων

Πίνακας 1-1. Η δίτιμη άλγεβρα Boole.....	14
Πίνακας 1-2. Πίνακας αλήθειας 1ης Εργαστηριακής Άσκησης.....	18
Πίνακας 1-3. Πίνακας αλήθειας 2ης Εργαστηριακής Άσκησης.....	23
Πίνακας 2-1. Πίνακας αλήθειας παραδείγματος.....	26
Πίνακας 2-2. Πίνακας αλήθειας 3ης Εργαστηριακής Άσκησης.....	30
Πίνακας 2-3. Πίνακας αλήθειας 4ης Εργαστηριακής Άσκησης.....	32
Πίνακας 2-4 – Χάρτης Karnaugh συνάρτησης εξόδου f (εργαστήριο).....	42
Πίνακας 2-5 – Χάρτης Karnaugh συνάρτησης εξόδου g (εργαστήριο).....	42
Πίνακας 2-6 – Πίνακας αλήθειας 6 ^{ης} Εργαστηριακής Άσκησης (1 ^η PAL).....	47
Πίνακας 2-7. Πίνακας αλήθειας 6ης Εργαστηριακής Άσκησης (2η PAL).....	51
Πίνακας 2-8 – Χάρτης Karnaugh συνάρτησης εξόδου Θ_N	51
Πίνακας 4-1. Ο πίνακας λειτουργίας του Flip-Flop.....	66
Πίνακας 4-2. Πίνακας διέγερσης JK Flip-Flop.....	66
Πίνακας 4-3 – Χαρακτηριστικός πίνακας JK Flip-Flop.....	67
Πίνακας 4-4. Πίνακας διέγερσης T Flip-Flop.....	67
Πίνακας 4-5 – Χαρακτηριστικός πίνακας T Flip-Flop.....	68
Πίνακας 4-6 . Πίνακας διέγερσης D Flip-Flop.....	68
Πίνακας 4-7 . Χαρακτηριστικός πίνακας D Flip-Flop.....	69
Πίνακας 4- 4-8. Πίνακας συνδυασμών καταστάσεων.....	80
Πίνακας 4-9. Ο Πίνακας 4-8 μετά από αντικατάσταση.....	80
Πίνακας 9-1 – Οι ακροδέκτες του 7400.....	146
Πίνακας 9-2 – Τα ολοκληρωμένα της σειράς 74.....	147

ΕΙΣΑΓΩΓΗ

Ο τομέας της Ψηφιακής Σχεδίασης πάντοτε αποτελούσε τον στυλοβάτη του υλικού (hardware). Το συνεχές κίνητρο της εύρεσης πιο γρήγορων και αποδοτικών τρόπων κατά τη σχεδίαση κυκλωμάτων, αλλά ταυτόχρονα μειώνοντας το κόστος της υλοποίησης, πάντοτε ενέπνεε επιστήμονες προς αυτόν τον τομέα.

Οι συγκεκριμένες εκπαιδευτικές σημειώσεις, φιλοδοξούν να γίνουν οδηγός και καθοδηγητής προς τους σπουδαστές του τμήματος Ηλεκτρολόγων Μηχανικών ΤΕ του ΤΕΙ Δυτικής Μακεδονίας, για το μάθημα των Ψηφιακών Συστημάτων. Επιχειρήθηκε, λοιπόν, να συγκροτηθεί ένας κατευθυντήριο οδηγός αποτελούμενος από πέντε βασικές ενότητες.

Στο πρώτο κεφάλαιο γίνεται μια εισαγωγή στα συστήματα αριθμών, στην Άλγεβρα Boole και στις απλοποιήσεις συναρτήσεων είτε μέσω των θεωρημάτων είτε μέσω του χαρτών Karnaugh. Παράλληλα αναλύονται βήμα προς βήμα οι δύο πρώτες εργαστηριακές ασκήσεις, που αφορούν στην απλοποίηση συναρτήσεων, η πρώτη άσκηση μέσω των θεωρημάτων και η δεύτερη μέσω των χαρτών Karnaugh.

Στο δεύτερο κεφάλαιο, περιγράφεται η σχεδίαση και η ανάλυση συνδυαστικών κυκλωμάτων. Περιλαμβάνονται τέσσερις λυμένες εργαστηριακές ασκήσεις, οι δύο πρώτες εκ των οποίων διαφέρουν ελάχιστα στο σενάριο. Παρά τη μικρή αυτή διαφορά, η συνύπαρξή τους στην παρούσα εργασία κρίνεται αναγκαία, ώστε ο σπουδαστής να αρχίζει να εξοικειώνεται με την ανάλυση των συνδυαστικών κυκλωμάτων. Οι επόμενες δύο εργαστηριακές ασκήσεις αφορούν τον ενδείκτη 7 τομέων και τη χρήση των PAL και αποτελούν σημείο αναφοράς για τις επόμενες.

Το τρίτο κεφάλαιο πραγματεύεται με τη δυαδική πρόσθεση και αφαίρεση. Περιγράφεται ο ημιαθροιστής και ο ημιαφαιρέτης και αντίστοιχα επιλύονται σε δύο εργαστηριακές ασκήσεις ο πλήρης αθροιστής και ο πλήρης αφαιρέτης. Η τρίτη και τελευταία εργαστηριακή άσκηση αυτού του κεφαλαίου αφορά στην πρόσθεση δύο τετραψήφιων δυαδικών αριθμών με PAL και display.

Στο τέταρτο κεφάλαιο περιγράφονται τα ακολουθιακά κυκλώματα. Αφού γίνει μια σύντομη αναφορά στους τύπους των Flip-Flop, περιγράφονται οι μέθοδοι σχεδίασης και ανάλυσης αυτών των κυκλωμάτων. Οι τρεις τελευταίες εργαστηριακές ασκήσεις περιλαμβάνουν κωδικοποιημένους μετρητές. Ειδικά η τελευταία δοκιμάζει την κριτική ικανότητα σκέψης των σπουδαστών, καθώς συνδυάζει γνώσεις από όλες τις προηγούμενες εργαστηριακές ασκήσεις.

1. ΚΕΦΑΛΑΙΟ 1: ΆΛΓΕΒΡΑ ΒΟΟΛΕ, ΛΟΓΙΚΕΣ ΠΥΛΕΣ ΚΑΙ ΑΠΛΟΠΟΙΗΣΗ ΣΥΝΑΡΤΗΣΕΩΝ

1.1. Συστήματα Αρίθμησης

Ένα σύστημα αριθμών χρησιμοποιεί ένα σύνολο συμβόλων γνωστό ως ψηφία. Υπάρχουν διάφορα συστήματα αριθμών όπως το δεκαδικό, το δυαδικό, το οκταδικό, κλπ.

Στο δεκαδικό σύστημα χρησιμοποιούνται δέκα ψηφία **0, 1, 2, 3, 4, 5, 6, 7, 8 & 9**, ενώ το **10** ορίζεται ως βάση του συστήματος.

Παράδειγμα 1.1.

$$809,12 = 8 \cdot 10^2 + 0 \cdot 10^1 + 9 \cdot 10^0 + 1 \cdot 10^{-1} + 2 \cdot 10^{-2}$$

Η γενική μορφή της απεικόνισης στο δεκαδικό σύστημα είναι:

$$D_{10} = d_n \cdot 10^n + d_{n-1} \cdot 10^{n-1} + \dots + d_1 \cdot 10^1 + d_0 \cdot 10^0 + d_{-1} \cdot 10^{-1} + d_{-2} \cdot 10^{-2} + \dots + d_{-n} \cdot 10^{-n}$$

Επίσης, ο αριθμός μπορεί να παρασταθεί και ως εξής:

$$d_n d_{n-1} \dots d_1 d_0 . d_{-1} d_{-2} \dots d_{-n}$$

όπου d_i είναι οι συντελεστές των αντίστοιχων δυνάμεων του 10.

Γενικά οι αριθμοί μπορεί να έχουν βάσεις διάφορες του 10, για παράδειγμα:

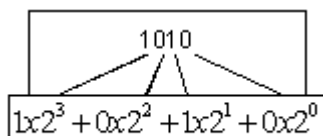
βάση 16, δεκαεξαδικό σύστημα,

βάση 8, οκταδικό σύστημα, ή

βάση 2, δυαδικό σύστημα.

Στο δυαδικό σύστημα που έχει βάση το 2 υπάρχουν δύο ψηφία, το 0 και το 1.

Παράδειγμα 1.2



Ο αντίστοιχος δεκαδικός του 1010 είναι ο $8+0+2+0=10$.

Η μορφή της γενικής παράστασης στο δυαδικό σύστημα είναι:

$$B_2 = b_n \cdot 2^n + b_{n-1} \cdot 2^{n-1} + \dots + b_1 \cdot 2^1 + b_0 \cdot 2^0 + b_{-1} \cdot 2^{-1} + b_{-2} \cdot 2^{-2} + \dots + b_{-n} \cdot 2^{-n}$$

Επίσης, ο αριθμός μπορεί να παρασταθεί και ως εξής:

$$b_n b_{n-1} \dots b_1 b_0 . b_{-1} b_{-2} \dots b_{-n}$$

όπου b_i είναι οι συντελεστές των αντίστοιχων δυνάμεων του 2.

Για παράδειγμα οι ακέραιοι δυαδικοί αριθμοί με 4 ψηφία είναι της μορφής:

$$b_3 \cdot 2^3 + b_2 \cdot 2^2 + b_1 \cdot 2^1 + b_0 \cdot 2^0$$

Ο μεγαλύτερος αριθμός με 4 ψηφία είναι ο **1111** ο οποίος είναι ισοδύναμος με τον δεκαδικό αριθμό 15.

$$1 \quad 1 \quad 1 \quad 1$$

$$2^3 + 2^2 + 2^1 + 2^0$$

$$8 + 4 + 2 + 1 = 15$$

Γενικά ένας δυαδικός αριθμός με n ψηφία μπορεί να παραστήσει ένα εύρος από 2^n δεκαδικούς αριθμούς:

1 ψηφίο 0 και 1

2 ψηφία 0 - 3

3 ψηφία 0 - 7

4 ψηφία 0 - 15

5 ψηφία 0 - 31 κ.λπ.

1.2. Άλγεβρα Boole

Η Άλγεβρα Boole είναι μία αλγεβρική δομή πάνω σε ένα σύνολο στοιχείων μαζί με τους δυαδικούς τελεστές + και -.

1.3. Αξιώματα Huntington

Τα αξιώματα που ικανοποιούνται είναι τα παρακάτω:

- Αξίωμα A1: Ισοδυναμία.

Υπάρχει ένα σύνολο K με αντικείμενα ή στοιχεία, που υπακούουν σε μια σχέση ισοδυναμίας, $\alpha = \beta$ (όπου το σύμβολο '=' διαβάζεται είναι ίσο με), που ικανοποιεί την αρχή της αντικατάστασης. Αν το στοιχείο α ανήκει στο σύνολο

K , γράφουμε $[a \in K]$, (όπου το σύμβολο \in διαβάζεται ανήκει στο). Γράφοντας $a = b$, εννοούμε ότι το a μπορεί να αντικατασταθεί από το b , σε οποιαδήποτε λογική έκφραση που περιέχει το a , χωρίς να επηρεαστεί η τιμή της έκφρασης αυτής. Ιδιότητες της σχέσης ισοδυναμίας είναι η ανακλαστική ιδιότητα ($a = a$), η συμμετρική ιδιότητα ($a = b \Leftrightarrow b = a$), (όπου το σύμβολο \Leftrightarrow διαβάζεται ταυτίζεται με το), και η μεταβατική ιδιότητα ($a = b$ και $b = \gamma \Rightarrow a = \gamma$), (όπου το σύμβολο \Rightarrow διαβάζεται συνεπάγεται).

- Αξίωμα A2.1: Πράξη πρόσθεσης.

Ένας κλειστός νόμος (σύμβολο '+' διαβάζεται συν), που θα τον λέμε πρόσθεση, ορίζεται έτσι, ώστε αν $a \in K$ και $b \in K$, τότε $(a + b) \in K$.

- Αξίωμα A2.2: Πράξη πολλαπλασιασμού.

Ένας κλειστός νόμος (σύμβολο '•' διαβάζεται επί), που θα τον λέμε πολλαπλασιασμό ορίζεται έτσι, ώστε αν $a \in K$ και $b \in K$, τότε $(a \cdot b) \in K$.

- Αξίωμα A3.1: Ουδέτερο στοιχείο πρόσθεσης.

Υπάρχει μόνο ένα στοιχείο $0 \in K$ τέτοιο, ώστε (για κάθε $a \in K$) $(a + 0) = a$. Το 0 λέγεται ουδέτερο στοιχείο της πρόσθεσης.

- Αξίωμα A3.2: Ουδέτερο στοιχείο πολλαπλασιασμού.

Υπάρχει μόνο ένα στοιχείο $1 \in K$ τέτοιο, ώστε (για κάθε $a \in K$) $(a \cdot 1) = a$. Το 1 λέγεται ουδέτερο στοιχείο του πολλαπλασιασμού.

- Αξίωμα A4.1: Αντιμετάθεση προσθετέων.

Η πρόσθεση είναι αντιμεταθετική, δηλαδή $(a + b) = (b + a)$.

- Αξίωμα A4.2: Αντιμετάθεση παραγόντων.

Ο πολλαπλασιασμός είναι αντιμεταθετικός, δηλαδή $(a \cdot b) = (b \cdot a)$.

- Αξίωμα A5.1: Επιμεριστική πρόσθεση.

Η πρόσθεση είναι επιμεριστική επί του πολλαπλασιασμού, δηλαδή $a + (b \cdot \gamma) = (a + b) \cdot (a + \gamma)$. Αυτό είναι ένα αξίωμα της άλγεβρας Boole που δεν ισχύει στην άλγεβρα των πραγματικών αριθμών!

- Αξίωμα A5.2: Επιμεριστικός πολλαπλασιασμός.

Ο πολλαπλασιασμός είναι επιμεριστικός επί της πρόσθεσης, δηλαδή $a \cdot (\beta + \gamma) = (a \cdot \beta) + (a \cdot \gamma)$. Σημείωση : Όταν δεν υπάρχει περίπτωση παρανόησης, παραλείπουμε την αναγραφή του επί ‘ \cdot ’ και χρησιμοποιούμε απλή παράθεση των παραγόντων. Για παράδειγμα, η σχέση εδώ μπορεί να γραφτεί έτσι : $a (\beta + \gamma) = a \beta + a \gamma$.

- Αξίωμα A6: Συμπληρώματα.

Για κάθε στοιχείο $a \in K$ υπάρχει μόνο ένα στοιχείο a' , για το οποίο ισχύει ότι $a + a' = 0$ (A6.1) και $a \cdot a' = 1$ (A6.2)

- Αξίωμα A7: Διακριτά στοιχεία.

Υπάρχουν τουλάχιστον δυο στοιχεία a και β μέσα στο K που δεν είναι ισοδύναμα. Ανάλογα με το πλήθος και το είδος των στοιχείων του K , καθορίζεται και μια άλγεβρα. Η απλούστερη άλγεβρα Boole έχει μόνο δυο στοιχεία, δηλαδή το $K = \{0, 1\}$. Για τα στοιχεία αυτά ισχύουν τα εξής : $1' = 0$ και $0' = 1$, $0 + 0 = 0$ και $1 \cdot 1 = 1$, $0 + 1 = 1$ και $1 \cdot 0 = 0$, $1 + 0 = 1$ και $0 \cdot 1 = 0$, $1 + 1 = 1$ και $0 \cdot 0 = 0$ (A7).

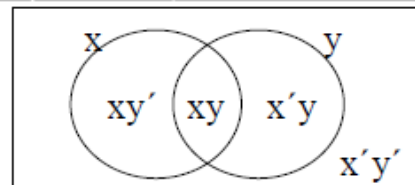
Τα αξιώματα και τα θεωρήματα της Άλγεβρας Boole, συνοψίζονται ως εξής:

Αξιώματα και θεωρήματα της άλγεβρας Boole

Αξίωμα 2	(a) $x + 0 = x$	(b) $x \cdot 1 = x$
Αξίωμα 5	(a) $x + x' = 1$	(b) $x \cdot x' = 0$
Θεώρημα 1	(a) $x + x = x$	(b) $x \cdot x = x$
Θεώρημα 2	(a) $x + 1 = 1$	(b) $x \cdot 0 = 0$
Θεώρημα 3, (δύο αρνήσεις)	$(x')' = x$	
Αξίωμα 3, αντιμεταθετική	(a) $x + y = y + x$	(b) $xy = yx$
Θεώρημα 4, προσεταιριστική	(a) $x + (y + z) = (x + y) + z$	(b) $x(yz) = (xy)z$
Αξίωμα 4, επιμεριστική	(a) $x(y + z) = xy + xz$	(b) $x + yz = (x + y)(x + z)$
Θεώρημα 5, De Morgan	(a) $(x + y)' = x' y'$	(b) $(xy)' = x' + y'$
Θεώρημα 6, απορρόφηση	(a) $x + xy = x$	(b) $x(x + y) = x$

Προτεραιότητα Τελεστών

1. Παρενθέσεις
2. Οχι
3. Και
4. Ή



Εικόνα 1-1 .Αξιώματα και θεωρήματα της Άλγεβρας Boole.

Πηγή: M. Morris Mano, Ψηφιακή Σχεδίαση, 2^η έκδοση, Εκδόσεις Παπασωτηρίου, 1992.

1.3.1. Διαφορές με συνήθη Άλγεβρα

Οι διαφορές της Άλγεβρας Boole σε σχέση με τη συνήθη Άλγεβρα, είναι οι εξής:

1. Τα αξιώματα Huntington δεν περιλαμβάνουν τον προσεταιριστικό νόμο που όμως αποδεικνύεται ότι ισχύει.
2. Ο επιμεριστικός νόμος του $+$ ως προς τον \cdot ισχύει για την άλγεβρα Boole αλλά όχι για την συνήθη άλγεβρα.
3. Η άλγεβρα Boole δεν έχει προσθετικά ή πολλαπλασιαστικά αντίστροφα άρα δεν υπάρχει αφαίρεση - διαίρεση.
4. Το συμπλήρωμα δεν υπάρχει στην συνήθη άλγεβρα.
5. Η συνήθης άλγεβρα ασχολείται με το απειροσύνολο των πραγματικών. Η Boole έχει δύο στοιχεία, τα 0, 1.

1.3.2. Η δίτιμη Άλγεβρα Boole

Δυϊσμός: Ό,τι ισχύει από τα αξιώματα Huntington για το $+$ (\cdot) μπορεί να προκύψει από το (\cdot) με εναλλαγή τελεστών και ουδέτερων στοιχείων.¹

Οι βασικές πράξεις της Άλγεβρας φαίνονται στον παρακάτω πίνακα.

Πίνακας 1-1. Η δίτιμη άλγεβρα Boole.

Πηγή: Διδάσκων.

x	y	x'	$x \cdot y$	$x + y$
0	0	1	1	0
0	1	1	0	1
1	0	0	1	1
1	1	0	0	1

1.3.3. Συναρτήσεις Boole

Μια συνάρτηση είναι μια έκφραση από δυαδικές μεταβλητές, τους δύο δυαδικούς τελεστές, παρενθέσεις και ένα ίσον.

Παράδειγμα 1.3

¹ Βλέπε [4].

x	y	z	F_1	F_2	F_3	F_4
0	0	0	0	0	0	0
0	0	1	0	1	1	1
0	1	0	0	0	0	0
0	1	1	0	0	1	1
1	0	0	0	1	1	1
1	0	1	0	1	1	1
1	1	0	1	1	0	0
1	1	1	0	1	0	0

Εικόνα 1-2. Πίνακας αληθείας μιας συνάρτησης Boole με 3 εισόδους x, y, z και 4 εξόδους F_1, F_2, F_3 και F_4 .

Πηγή: Διδάσκων.

Όπως προκύπτει από την παραπάνω εικόνα:

$F_1(x, y, z) = x \cdot y \cdot z'$, αφού η F_1 γίνεται 1 μόνο όταν $x=1, y=1$ και $z=0$. Ομοίως:

$F_2(x, y, z) = x + y' \cdot z$

$F_3(x, y, z) = x' \cdot y' \cdot z + x' \cdot y \cdot z + x \cdot y'$

$F_4(x, y, z) = x \cdot y' + x' \cdot z$

Παρατηρούμε ότι η F_3 και η F_4 είναι ίσες.

Εφόσον οι F_3, F_4 είναι ίσες και το κύκλωμα για την F_4 είναι μικρότερο, συμφέρει να βρίσκουμε τις απλούστερες εκφράσεις με χρήση αλγεβρικών μετασχηματισμών (ελαχιστοποίηση παραγόντων – όρων), χρησιμοποιώντας τα θεωρήματα και τα αξιώματα της άλγεβρας Boole.

1.3.4. Άλλες λογικές πράξεις

Υπάρχουν $(2^2)^n$ διαφορετικές συναρτήσεις η δυαδικών μεταβλητών. Για $n=2$ έχουμε 16 διαφορετικές συναρτήσεις Boole. Οι AND και OR είναι απλά 2 από τις 16. Στην Εικόνα 2, φαίνονται και οι 16 πράξεις.

1.4. Λογικές Πύλες

Οι λογικές πύλες που θα μελετηθούν είναι οι εξής (Εικόνες 3 και 4)²:

AND

OR

² Βλέπε [4].

NOT

απομονωτής

NAND

NOR

XOR

Οι πύλες εκτός του αντιστροφέα και του απομονωτή, μπορούν να επεκταθούν σε περισσότερες από δύο εισόδους. Βασική προϋπόθεση να είναι αντιμεταθετικές – επιμεριστικές.

Συναρτήσεις Boole	Σύμβολο τελεστή	Όνομα	Σχόλια
$F_0 = 0$		Ουδέτερη	Διαδική σταθερά 0
$F_1 = xy$	$x \cdot y$	ΚΑΙ (AND)	x ΚΑΙ y
$F_2 = xy'$	x/y	Αποτροπή	x αλλά όχι y
$F_3 = x$		Μεταφορά	x
$F_4 = x'y$	y/x	Αποτροπή	y αλλά όχι x
$F_5 = y$		Μεταφορά	y
$F_6 = xy' + x'y$	$x \oplus y$	Αποκλειστικό- Η	x Ή y αλλά όχι και τα δύο
$F_7 = x + y$	$x + y$	Ή (OR)	x Ή y
$F_8 = (x + y)'$	$x \downarrow y$	ΟΥΤΕ (NOR)	ΟΧΙ- Ή
$F_9 = xy + x'y'$	$x \odot y$	Ισοδυναμία*	x ίσον y
$F_{10} = y'$	y'	Συμπλήρωμα	ΟΧΙ y
$F_{11} = x + y'$	$x \supset y$	Συνεπαγωγή	Αν y τότε x
$F_{12} = x'$	x'	Συμπλήρωμα	ΟΧΙ x
$F_{13} = x' + y$	$x \supset y$	Συνεπαγωγή	Αν x τότε y
$F_{14} = (xy)'$	$x \uparrow y$	NAND (ΟΧΙ-ΚΑΙ)	ΟΧΙ-ΚΑΙ
$F_{15} = 1$		Ταυτότητα	Διαδική σταθερά 1

* Η ισοδυναμία ("equivalence") λέγεται επίσης και "ισότητα" ("equality"), "σύμπτωση" ("coincidence") ή "αποκλειστικό-ΟΥΤΕ" ("exclusive NOR").

Εικόνα 1-3. Άλλες λογικές πράξεις.

Πηγή: Γ. Αλεξίου, Σημειώσεις για το μάθημα Λογικός Σχεδιασμός Ι,

Πανεπιστήμιο Πατρών, Τμήμα Μηχανικών Η/Υ και Πληροφορικής, 2010,

διαθέσιμο από:

http://www.ceid.upatras.gr/faculty/alexioi/dig_design/notes/2_Boolean_Algebra.pdf

Όνομα	Γραφικό Σύμβολο	Αλγεβρική Συνάρτηση	Πίνακας Αληθείας															
AND ΚΑΙ		$F = xy$	<table border="1"> <thead> <tr> <th>x</th> <th>y</th> <th>F</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	x	y	F	0	0	0	0	1	0	1	0	0	1	1	1
x	y	F																
0	0	0																
0	1	0																
1	0	0																
1	1	1																
OR Ή		$F = x + y$	<table border="1"> <thead> <tr> <th>x</th> <th>y</th> <th>F</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	x	y	F	0	0	0	0	1	1	1	0	1	1	1	1
x	y	F																
0	0	0																
0	1	1																
1	0	1																
1	1	1																
Αντιστροφέας		$F = x'$	<table border="1"> <thead> <tr> <th>x</th> <th>F</th> </tr> </thead> <tbody> <tr><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td></tr> </tbody> </table>	x	F	0	1	1	0									
x	F																	
0	1																	
1	0																	
Απομονωτής		$F = x$	<table border="1"> <thead> <tr> <th>x</th> <th>F</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td></tr> </tbody> </table>	x	F	0	0	1	1									
x	F																	
0	0																	
1	1																	

Εικόνα 1-4. Οι πύλες AND, OR, NOT και απομονωτή.

Πηγή: Γ. Αλεξίου, Σημειώσεις για το μάθημα Λογικός Σχεδιασμός Ι, Πανεπιστήμιο Πατρών, Τμήμα Μηχανικών Η/Υ και Πληροφορικής, 2010, διαθέσιμο από:

http://www.ceid.upatras.gr/faculty/alexiou/dig_design/notes/2_Boolean_Algebra.pdf

Όνομα	Γραφικό Σύμβολο	Αλγεβρική Συνάρτηση	Πίνακας Αληθείας															
NAND ΟΧΙ-ΚΑΙ		$F = (xy)'$	<table border="1"> <thead> <tr> <th>x</th> <th>y</th> <th>F</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </tbody> </table>	x	y	F	0	0	1	0	1	1	1	0	1	1	1	0
x	y	F																
0	0	1																
0	1	1																
1	0	1																
1	1	0																
NOR ΟΥΤΕ		$F = (x + y)'$	<table border="1"> <thead> <tr> <th>x</th> <th>y</th> <th>F</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </tbody> </table>	x	y	F	0	0	1	0	1	0	1	0	0	1	1	0
x	y	F																
0	0	1																
0	1	0																
1	0	0																
1	1	0																
XOR Αποκλειστό - Ή		$F = xy' + x'y$ $= x \oplus y$	<table border="1"> <thead> <tr> <th>x</th> <th>y</th> <th>F</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </tbody> </table>	x	y	F	0	0	0	0	1	1	1	0	1	1	1	0
x	y	F																
0	0	0																
0	1	1																
1	0	1																
1	1	0																
Ισοδυναμία ή Αποκλειστικό -ΟΥΤΕ		$F = xy + x'y'$ $= x \odot y$	<table border="1"> <thead> <tr> <th>x</th> <th>y</th> <th>F</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	x	y	F	0	0	1	0	1	0	1	0	0	1	1	1
x	y	F																
0	0	1																
0	1	0																
1	0	0																
1	1	1																

Εικόνα 1-5. Οι πύλες NAND, NOR, XOR και ισοδυναμίας.

Πηγή: Γ. Αλεξίου, Σημειώσεις για το μάθημα Λογικός Σχεδιασμός Ι, Πανεπιστήμιο Πατρών, Τμήμα Μηχανικών Η/Υ και Πληροφορικής, 2010, διαθέσιμο από:

http://www.ceid.upatras.gr/faculty/alexiou/dig_design/notes/2_Boolean_Algebra.pdf

1.5. Ολοκληρωμένα κυκλώματα

Τα ολοκληρωμένα που θα χρησιμοποιηθούν σ' αυτό το κεφάλαιο, είναι τα εξής³:

7404 – αντιστροφέας NOT.

7408 – AND δύο εισόδων.

7432 – OR δύο εισόδων.

1.6. Εργαστηριακή Άσκηση 1

1.6.1. Εκφώνηση

Σχεδιάστε ένα ψηφιακό κύκλωμα με τρεις εισόδους A, B, C και μία έξοδο F. Η έξοδος F θα ενεργοποιείται (θα είναι στην λογική κατάσταση 1), όταν ισχύει μία από τις παρακάτω συνθήκες στις εισόδους.

α) A=0, C=0.

β) A=1, B=1.

γ) A=1, C=0.

Βρείτε την συνάρτηση που περιγράφει την λειτουργία του κυκλώματος, συμπληρώστε τον πίνακα αλήθειας και στη συνέχεια υλοποιήστε το κύκλωμα χρησιμοποιώντας τα ολοκληρωμένα 7404, 7408 και 7432.

1.6.2. Παραδοτέα

- i. Ο πίνακας αλήθειας.
- ii. Η συνάρτηση του κυκλώματος.
- iii. Η απλοποιημένη συνάρτηση του κυκλώματος.
- iv. Η σχεδίαση του κυκλώματος στο Multisim ή στο Multimedia Logic, πριν και μετά την απλοποίηση.
- v. Ποιο κύκλωμα, από τις δύο μορφές, πιστεύετε ότι θα υλοποιηθεί στο εργαστήριο και γιατί;

1.6.3. Στόχοι

Να αποκτήσουν οι σπουδαστές εξοικείωση με τις συναρτήσεις της Άλγεβρας Boole και την εφαρμογή των αξιωμάτων και των θεωρημάτων, στην απλοποίηση αυτών.

1.6.4. Ενδεικτική λύση

Ο πίνακας αλήθειας είναι ο εξής:

Πίνακας 1-2. Πίνακας αλήθειας 1ης Εργαστηριακής Άσκησης.

A	B	C	F
0	0	0	1

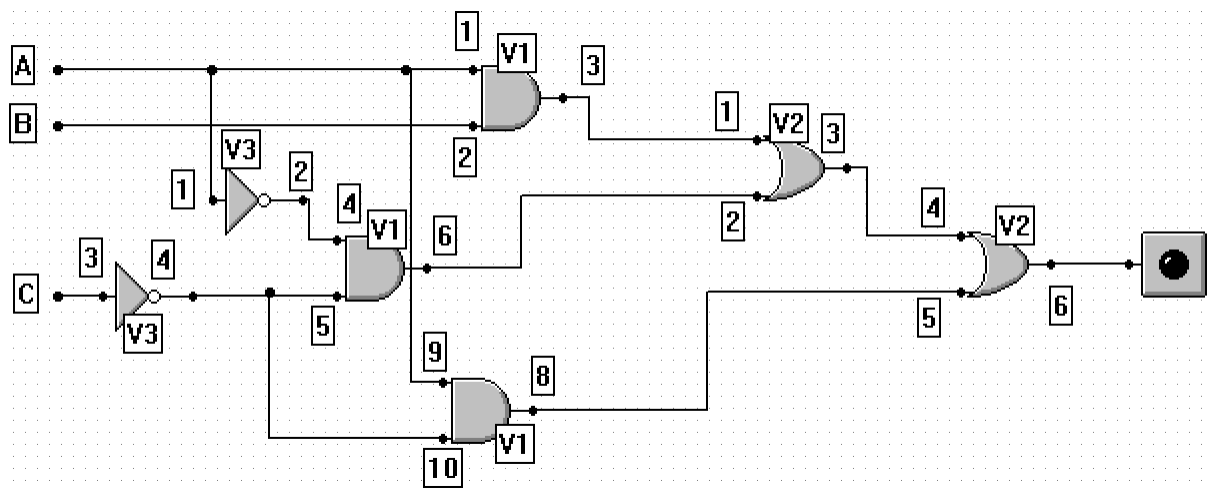
³ Όλα τα ολοκληρωμένα αναλύονται στο Παράρτημα Γ.

A	B	C	F
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

Η συνάρτηση που περιγράφει τη λειτουργία του κυκλώματος είναι:

$$F(A,B,C) = A' \cdot C' + A \cdot B + A \cdot C'$$

Το αντίστοιχο κύκλωμα (με τη βοήθεια του Multimedia Logic) είναι το εξής:



Εικόνα 1-6. Το κύκλωμα της 1^{ης} Εργαστηριακής Άσκησης (πριν την απλοποίηση).

Πηγή: Διδάσκων.

Τα ολοκληρωμένα που χρησιμοποιήθηκαν πριν την απλοποίηση είναι τα:

- 1 ολοκληρωμένο 7408 – AND δύο εισόδων (V1).
- 1 ολοκληρωμένο 7432 – OR δύο εισόδων (V2).
- 1 ολοκληρωμένο 7404 – αντιστροφέας NOT (V3).

Η συνάρτηση αυτή μπορεί να απλοποιηθεί – χρησιμοποιώντας τα αξιώματα και τα θεωρήματα της άλγεβρας Boole – ως εξής:

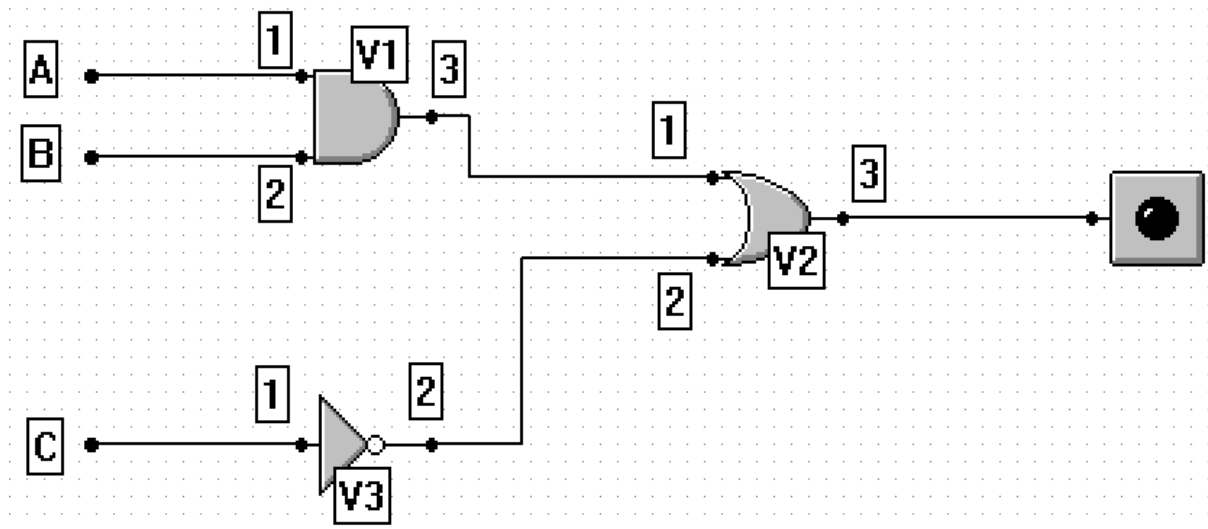
$$F(A,B,C) = A' \cdot C' + A \cdot B + A \cdot C' \Leftrightarrow$$

$$F(A,B,C) = C' \cdot (A' + A) + A \cdot B \Leftrightarrow \text{(αξίωμα 4α)}$$

$$F(A,B,C) = C' \cdot 1 + A \cdot B \Leftrightarrow \text{(αξίωμα 5α)}$$

$$F(A,B,C) = C' + A \cdot B \text{ (αξίωμα 2β)}$$

Το αντίστοιχο απλοποιημένο κύκλωμα (με τη βοήθεια του Multimedia Logic) είναι το εξής:



Εικόνα 1-7. Το κύκλωμα της 1^{ης} Εργαστηριακής Ασκήσης (μετά την απλοποίηση).

Πηγή: Διδάσκων.

Τα ολοκληρωμένα που χρησιμοποιήθηκαν μετά την απλοποίηση είναι τα:

- 1 ολοκληρωμένο 7408 – AND δύο εισόδων (V1).
- 1 ολοκληρωμένο 7432 – OR δύο εισόδων (V2).
- 1 ολοκληρωμένο 7404 – αντιστροφέας NOT (V3).

Παρατηρούμε, ότι είτε κάνοντας απλοποίηση είτε όχι, τον ίδιο αριθμό ολοκληρωμένων θα χρησιμοποιήσουμε. Όμως, είναι προφανές, ότι με την απλοποιημένη μορφή, κερδίζουμε σημαντικά στο πλήθος των συνδέσεων. Επομένως, για την υλοποίηση στο εργαστήριο θα χρησιμοποιηθεί η 2^η μορφή.

1.7. Χάρτες Karnaugh

Οι **χάρτες Karnaugh** είναι ένας τρόπος αναπαράστασης των λογικών συναρτήσεων. Η μέθοδος απλοποίησης λογικών συναρτήσεων με **χάρτη Karnaugh (ΧΚ)**, σε αντίθεση με την άλγεβρα Boole δίνει γρήγορα την απλούστερη μορφή των λογικών συναρτήσεων, ειδικά όταν η συνάρτηση έχει μέχρι 6 μεταβλητές. Ο ΧΚ είναι ισοδύναμος σε πληροφορία με τον πίνακα αληθείας της λογικής συνάρτησης. Ωστόσο, είναι ευκολότερο να κάνουμε απλοποιήσεις πάνω στην κανονική μορφή της λογικής συνάρτησης μέσω του ΧΚ, παρά μέσω του πίνακα αληθείας της.

Ο ΧΚ αποτελείται από τετράγωνα, ένα για κάθε όρο της συνάρτησης, επομένων το πλήθος τους δίνεται από τη σχέση: $\text{πλήθος} = 2^n$, όπου n το πλήθος των μεταβλητών της συνάρτησης. Ο χάρτης Karnaugh είναι ένας πίνακας όπου το κάθε τετράγωνο αναπαριστά ένα συνδυασμό των μεταβλητών, δηλαδή κάθε τετράγωνο ενός χάρτη Karnaugh αντιστοιχεί σε έναν όρο της λογικής συνάρτησης που αναπαριστά.

Η αναπαράσταση μίας λογικής συνάρτησης με χάρτη Karnaugh γίνεται θέτοντας “1” σε κάθε τετράγωνο του χάρτη Karnaugh που αντιστοιχεί σε όρο που η συνάρτηση έχει τιμή 1 και θέτοντας “0” (ή τίποτα) σε κάθε τετράγωνο του χάρτη Karnaugh που αντιστοιχεί σε όρο που η συνάρτηση έχει τιμή 0.

Σε πολλές περιπτώσεις, μερικοί συνδυασμοί των μεταβλητών εισόδου δεν έχουν νόημα και δεν πρόκειται να συμβούν. Αυτοί οι συνδυασμοί καλούνται συνθήκες αδιαφορίας γιατί δεν ενδιαφέρει η τιμή της συνάρτησης για τους συνδυασμούς αυτούς. Στον πίνακα αληθείας και στο χάρτη Karnaugh μίας τέτοιας συνάρτησης οι τιμές της συνάρτησης στις **συνθήκες αδιαφορίας** συμβολίζονται με X.

Όλη η διαδικασία για την απλοποίηση μιας λογικής συνάρτησης εκτελείται σε πέντε βήματα.⁴

Φέρνουμε τη λογική συνάρτηση σε κανονική μορφή. Δηλαδή σε μορφή αθροίσματος γινομένων (ελαχιστόρων) ή σε μορφή γινομένου αθροισμάτων (μεγιστόρων). Αν δηλαδή η αρχική λογική συνάρτηση δεν είναι σε τέτοια μορφή, θα πρέπει να τη μετατρέψουμε, προσθέτοντας σε κάθε όρο (για τη μορφή ελαχιστόρων) ή πολλαπλασιάζοντας κάθε όρο (για τη μορφή μεγιστόρων) τη μεταβλητή που λείπει. Π.χ. αν λείπει η μεταβλητή X από την έκφραση της λογικής συνάρτησης και η λογική συνάρτηση είναι εκφρασμένη ως άθροισμα γινομένων, τότε πρέπει να προσθέσουμε σε κάθε όρο της συνάρτησης αυτής το $X \cdot X'$. Αν η μορφή της λογικής συνάρτησης είναι εκφρασμένη ως γινόμενο αθροισμάτων, τότε θα πρέπει να πολλαπλασιάσουμε κάθε όρο της με το $(X+X')$.

Υπολογίζουμε το πλήθος των τετραγώνων του ΧΚ από τη σχέση $\text{πλήθος} = 2^n$, όπου n το πλήθος των μεταβλητών της συνάρτησης. Για $n = 2, 3, 4, 5$ και 6, θα χρειαστούμε αντίστοιχα 4, 8, 16, 32 και 64 τετράγωνα αντίστοιχα. Καθένα από τα τετράγωνα έχει «συντεταγμένες», όπως φαίνονται στη συνέχεια.

Κάθε συνδυασμός των μεταβλητών αντιστοιχεί σε ένα τετράγωνο του ΧΚ. Τοποθετούμε την προς απλοποίηση συνάρτηση στον ΧΚ ως εξής: Βάζουμε έναν (1) στο αντίστοιχο τετράγωνο αν η λογική συνάρτηση είναι εκφρασμένη ως άθροισμα γινομένων ή ένα (0) αν είναι εκφρασμένη ως γινόμενο αθροισμάτων. Τυχόν αδιάφορους όρους τους σημειώνουμε με X ή d.

Μετά τη συμπλήρωση του ΧΚ και ανάλογα με τη λογική που θα χρησιμοποιήσουμε στην κατασκευή του λογικού κυκλώματος, σχηματίζουμε ομάδες γειτονικών διαδοχικών τετραγώνων, σχήματος ορθογωνίου, τετραγώνου ή «κύβου», με μονάδες ή μηδενικά, ακολουθώντας τους παρακάτω κανόνες:

Να ληφθούν υπόψη όλες οι μονάδες ή όλα τα μηδενικά.

Το πλήθος των μονάδων ή μηδενικών των ομάδων αν υπακούει στη σχέση $m=2^k$, όπου $k=0,1,2,3,4,5,\dots$.

⁴ Βλέπε [5].

Οι ομάδες να είναι όσο το δυνατό λιγότερες και ταυτόχρονα όσο το δυνατό μεγαλύτερου πλήθους τετραγώνων.

Οι αδιάφοροι όροι χρησιμοποιούνται είτε ως μονάδες είτε ως μηδενικά ανάλογα με την έκφραση της αρχικής λογικής συνάρτησης.

Κάθε μονάδα ή μηδενικό ή αδιάφορος όρος χρησιμοποιείται όσες φορές χρειάζεται στις ομάδες ώστε να πετύχουμε τη μεγαλύτερη και καλύτερη απλοποίηση.

Από τις ομάδες που σχηματίσαμε εξάγουμε την απλοποιημένη λογική συνάρτηση που είναι και η τελική έκφραση της αρχικής λογικής συνάρτησης.

Το τελευταίο βήμα είναι να σχεδιάσουμε το κύκλωμα της απλοποιημένης λογικής συνάρτησης. Αν είναι εκφρασμένη ως άθροισμα γινομένων το κύκλωμα σχεδιάζεται με λογική σχεδίασης AND-OR ή NAND. Αν είναι εκφρασμένη ως γινόμενο αθροισμάτων, το κύκλωμα σχεδιάζεται με λογική σχεδίασης OR-AND ή NOR.

Υπάρχουν περιπτώσεις, όπου δύο τετράγωνα στο χάρτη, θεωρούνται γειτονικά αν και δεν «ακουμπούν» μεταξύ τους.

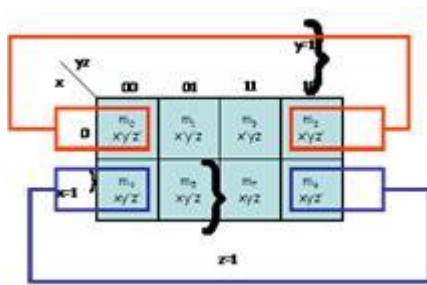
Π.χ. το m_0 είναι γειτονικό του m_2 και το m_4 είναι γειτονικό του m_6 , γιατί οι ελαχιστόροι αυτοί διαφέρουν κατά μία μεταβλητή.

$$m_0 + m_2 = x'y'z' + x'yz' = x'z' (y'+y) = x'z'$$

$$m_4 + m_6 = xy'z' + xyz' = xz' (y'+y) = xz'$$

Ωστόσο, επειδή και οι τέσσερις αυτοί άσσοι μπορούν να ομαδοποιηθούν, καλύτερη ομαδοποίηση (και έτσι πρέπει να γίνεται) είναι η επόμενη:

$$m_0 + m_2 + m_4 + m_6 = x'z' + xz' = z'(x'+x) = z'$$



Εικόνα 1-8. Παράδειγμα χρήσης χάρτη Karnaugh.

Πηγή: G. Patsis, ΤΕΙ Αθήνας, Τμήμα Ηλεκτρονικής, 2010, διαθέσιμο από:

http://users.teiath.gr/patsisg/DIGITAL_LABS/index_files/Page913.htm

1.8. Εργαστηριακή Άσκηση 2

1.8.1. Εκφώνηση

Σχεδιάστε ένα ψηφιακό κύκλωμα που αντιστοιχεί στον παρακάτω πίνακα αληθείας. Αφού βρείτε τη λογική συνάρτηση, απλοποιήστε την όσο γίνεται και σχεδιάστε το κύκλωμα χρησιμοποιώντας πύλες AND, OR (δύο εισόδων) και NOT.

Πίνακας 1-3. Πίνακας αλήθειας 2ης Εργαστηριακής Άσκησης.

Πηγή: Διδάσκων.

A	B	C	D	F
0	0	0	0	1
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

1.8.2. Παραδοτέα

- i. Η συνάρτηση του κυκλώματος
- ii. Η απλοποιημένη συνάρτηση του κυκλώματος
- iii. Η σχεδίαση του κυκλώματος στο Multisim ή στο Multimedia Logic, μετά την απλοποίηση.

1.8.3. Στόχοι

Να αποκτήσουν οι σπουδαστές εξοικείωση με τις απλοποιήσεις των συναρτήσεων μέσω των χαρτών Karnaugh.

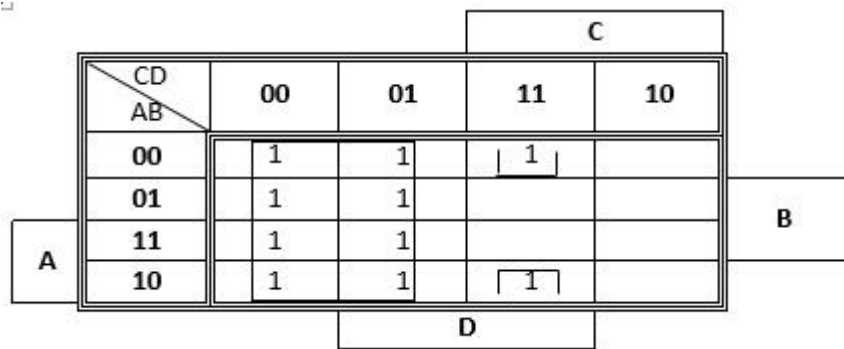
1.8.4. Ενδεικτική λύση

Η συνάρτηση που περιγράφει τη λειτουργία του κυκλώματος είναι:

$$F(A,B,C,D) = A' \cdot B' \cdot C' \cdot D' + A' \cdot B' \cdot C' \cdot D + A' \cdot B' \cdot C \cdot D + A' \cdot B \cdot C' \cdot D + A' \cdot B \cdot C' \cdot D + A \cdot B' \cdot C' \cdot D' + A \cdot B' \cdot C' \cdot D + A \cdot B' \cdot C \cdot D + A \cdot B \cdot C' \cdot D' + A \cdot B \cdot C' \cdot D$$

Η συνάρτηση αυτή μπορεί να απλοποιηθεί είτε χρησιμοποιώντας τα αξιώματα και τα θεωρήματα της άλγεβρας Boole (όπως στην Άσκηση 1) είτε με χρήση του πίνακα

Karnaugh. Στη συγκεκριμένη άσκηση, θα χρησιμοποιήσουμε τη δεύτερη μέθοδο. Η περιοχή του χάρτη που καλύπτεται απ' αυτή τη συνάρτηση αποτελείται από τα σημειωμένα τετράγωνα:



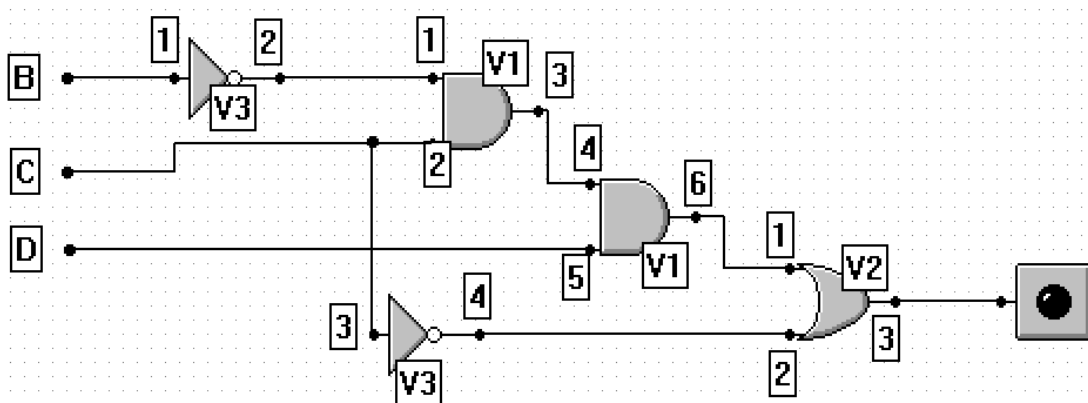
Εικόνα 1-9. Χάρτης Karnaugh 2ης Εργαστηριακής Άσκησης.

Πηγή: Διδάσκων.

Οι 8 άσσοι που εσωκλείστηκαν σε ένα τετράγωνο καθώς και οι 2 άσσοι στις θέσεις 0011 και 1011 απλοποιούνται ως εξής:

$$F(A, B, C, D) = C' + B' \cdot C \cdot D$$

Το αντίστοιχο απλοποιημένο κύκλωμα (με τη βοήθεια του Multimedia Logic) είναι το εξής:



Εικόνα 1-10 – Το κύκλωμα της 2^{ης} Εργαστηριακής Άσκησης.

Πηγή: Διδάσκων.

Τα ολοκληρωμένα που χρησιμοποιήθηκαν μετά την απλοποίηση είναι τα:

- 1 ολοκληρωμένο 7408 – AND δύο εισόδων (V1).
- 1 ολοκληρωμένο 7432 – OR δύο εισόδων (V2).
- 1 ολοκληρωμένο 7404 – αντιστροφέας NOT (V3).

Όπως παρατηρούμε, θα είναι πολύ πιο δύσκολο να υλοποιήσουμε τη συνάρτηση στο εργαστήριο χωρίς την απλοποίηση.

1.9. Προτεινόμενες Ασκήσεις

α) Απλοποιήστε τις παρακάτω εκφράσεις Boole:

i. $F = xy + x'y'z' + x'yz'$.

ii. $F = x'y' + yz + x'yz'$.

β) Να απλοποιήσετε τη λογική συνάρτηση $F(A,B,C)=A'+A(A+B')(B+C')$ χρησιμοποιώντας χάρτη Karnaugh.

γ) Να υλοποιήσετε τη λογική συνάρτηση:

$F(A,B,C,D) = AB'D + ABC'D + ABC + A'BC$ χρησιμοποιώντας μόνο πύλες NAND δύο εισόδων.

2. ΚΕΦΑΛΑΙΟ 2: ΣΥΝΔΥΑΣΤΙΚΑ ΚΥΚΛΩΜΑΤΑ

Ένα **Συνδυαστικό Κύκλωμα** (ΣΚ) n εισόδων και m εξόδων περιγράφεται από m λογικές συναρτήσεις n μεταβλητών. Η κάθε μία από τις n μεταβλητές εισόδου μπορεί να πάρει δύο μόνο τιμές, το λογικό “1” και το λογικό “0”. Επομένως, οι δυνατοί συνδυασμοί των μεταβλητών εισόδου είναι 2^n . Για κάθε συνδυασμό των μεταβλητών εισόδου, η κάθε μία μεταβλητή εξόδου παίρνει μία μόνο τιμή: το λογικό “1” ή το λογικό “0”. Ο πίνακας αληθείας της λογικής συνάρτησης περιγράφει αυτή τη σχέση εισόδων-εξόδου.

2.1. Σχεδίαση Συνδυαστικών Κυκλωμάτων

Για να σχεδιάσουμε ένα Συνδυαστικό Κύκλωμα ακολουθούμε τα εξής βήματα:

- Κατασκευάζουμε τον πίνακα αληθείας του Συνδυαστικού Κυκλώματος.
- Γράφουμε τις λογικές συναρτήσεις των εξόδων συναρτήσει των εισόδων.
- Απλοποιούμε τις συναρτήσεις χρησιμοποιώντας χάρτες Karnaugh.
- Σχεδιάζουμε το κύκλωμα τηρώντας την προτεραιότητα των πράξεων.

2.2. Παράδειγμα σχεδίασης Συνδυαστικού Κυκλώματος

Να σχεδιαστεί ένα Συνδυαστικό Κύκλωμα (ΣΚ) που αναγνωρίζει αν ένας 3-bit αριθμός είναι μικρότερος από 3, χρησιμοποιώντας μόνο πύλες NOT και πύλες AND και OR δύο εισόδων.

Το ΣΚ έχει τρεις εισόδους A, B και C, που αποτελούν τη δυαδική αναπαράσταση ενός δεκαδικού αριθμού από το 0 έως και το 7 (με 3 bit μπορούμε να μετρήσουμε $2^3=8$ αριθμούς) και μία έξοδο Y. Η έξοδος του ΣΚ είναι “1” όταν το δεκαδικό ισοδύναμο του 3-bit δυαδικού αριθμού των εισόδων του ΣΚ είναι μικρότερο από 3.

Πίνακας 2-1. Πίνακας αλήθειας παραδείγματος.

Πηγή: Διδάσκων.

δεκαδικός	A	B	C	Y
0	0	0	0	1
1	0	0	1	1
2	0	1	0	1
3	0	1	1	0
4	1	0	0	0
5	1	0	1	0
6	1	1	0	0
7	1	1	1	0

Από τον Πίνακα Αληθείας του ΣΚ προκύπτει ότι η συνάρτηση εξόδου του ΣΚ είναι $Y=1$ όταν:

A=0 και (AND) B=0 και (AND) C=0

ή (OR)

A=0 και (AND) B=0 και (AND) C=1

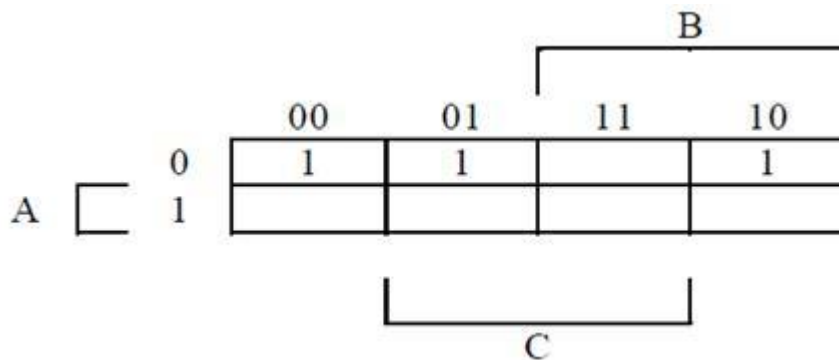
ή (OR)

A=0 και (AND) B=1 και (AND) C=0

Επομένως, η συνάρτηση εξόδου του ΣΚ βρίσκεται ως συνάρτηση των εισόδων του:

$$Y=A'B'C'+A'B'C+A'BC'$$

Ο χάρτης Karnaugh της συνάρτησης εξόδου του ΣΚ είναι:



Εικόνα 2-1. Χάρτης Karnaugh της συνάρτησης εξόδου

Πηγή: Διδάσκων.

Η απλοποιημένη συνάρτηση είναι:

$$Y=A'B'+A'C'$$

Η συνάρτηση γράφεται:

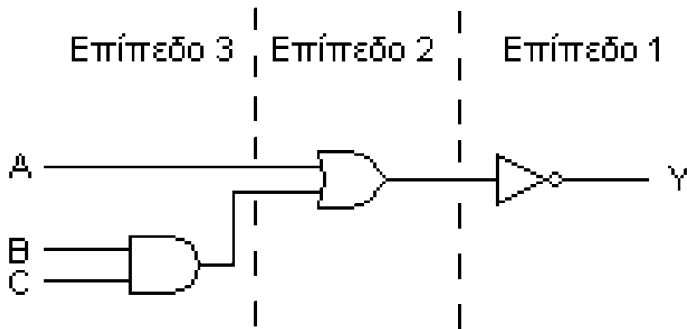
$$Y=A'B'+A'C'=A'(B'+C')=A'(BC)'=(A+BC)'$$

Για τη σχεδίαση του κυκλώματος, ξεκινώντας από την έξοδο προς τις εισόδους του κυκλώματος, σχεδιάζονται οι πύλες του κυκλώματος λαμβάνοντας υπόψη τις λογικές πράξεις της συνάρτησης εξόδου του ΣΚ. Το κύκλωμα χωρίζεται σε επίπεδα που περιέχουν τις πύλες, με βάση την προτεραιότητα των πράξεων. Ξεκινώντας από την έξοδο του ΣΚ προς τις εισόδους του ΣΚ, το κύκλωμα χωρίζεται σε τρία επίπεδα πυλών.

Επίπεδο 1. Μία πύλη NOT που χρησιμοποιείται για την εύρεση της εξόδου $Y=(A+BC)'$ του ΣΚ, αποτελεί το τελευταίο επίπεδο πυλών.

Επίπεδο 2. Μία πύλη OR δύο εισόδων που χρησιμοποιείται για τον υπολογισμό $A+BC$, αποτελεί το δεύτερο επίπεδο πυλών.

Επίπεδο 3. Μία πύλη AND δύο εισόδων, που χρησιμοποιείται για τον υπολογισμό BC , αποτελεί το πρώτο επίπεδο πυλών.



Εικόνα 2-2. Επίπεδα πυλών παραδείγματος.

Πηγή: Διδάσκων.

2.3. Εργαστηριακή Άσκηση 3

2.3.1. Εκφώνηση

Ένα σύστημα κεντρικής θέρμανσης μιας πολυκατοικίας, αποτελείται από τα παρακάτω στοιχεία: Ένα λέβητα στον οποίο ζεσταίνεται το νερό, ένα κυκλοφορητή ΚΥΚΛ και δύο ηλεκτροβάνες ΗΛ1 και ΗΛ2, που αντιστοιχούν στα δύο διαμερίσματα που θερμαίνονται από το κεντρικό σύστημα θέρμανσης.

Το κάθε διαμέρισμα έχει ένα θερμοστάτη $\Theta 1$ και $\Theta 2$, αντίστοιχα, οι οποίοι στέλνουν 1 όταν η θερμοκρασία στο διαμέρισμα είναι χαμηλότερη από την επιθυμητή και 0, όταν η θερμοκρασία υπερβαίνει ή είναι ίση με την επιθυμητή. Ο λέβητας έχει έναν παρόμοιο θερμοστάτη $\Theta 3$, ο οποίος είναι ρυθμισμένος στους 65 βαθμούς. Αν η θερμοκρασία του νερού είναι κάτω από την ρυθμισμένη θερμοκρασία του κάθε θερμοστάτη, ο θερμοστάτης στέλνει την τιμή 0, αλλιώς στέλνει την τιμή 1. Για παράδειγμα, αν το νερό έχει θερμοκρασία 40 βαθμούς ο $\Theta 3$ θα στέλνει την τιμή 0, ενώ αν το νερό έχει θερμοκρασία 70 βαθμούς ο $\Theta 3$ θα στέλνει 1.

Επίσης, στη δεξαμενή του πετρελαίου υπάρχει ένας **αισθητήρας** A. Αν η στάθμη του πετρελαίου είναι μεγαλύτερη ή ίση από μια ρυθμιζόμενη τιμή (10% της συνολικής ποσότητας), ο αισθητήρας θα στέλνει 1, αλλιώς θα στέλνει 0.

Σχεδιάστε ένα ψηφιακό κύκλωμα που θα ενεργοποιεί τις δύο ηλεκτροβάνες και τον κυκλοφορητή με βάση τις παρακάτω προδιαγραφές:

- Ηλεκτροβάννα ΗΛ1: Θα ανοίγει (θα παίρνει την τιμή 1) αν το νερό στο λέβητα έχει θερμοκρασία τουλάχιστον 65 βαθμούς και η θερμοκρασία στο διαμέρισμα που αντιστοιχεί στον θερμοστάτη Θ1 είναι κάτω από την επιθυμητή.
- Ηλεκτροβάννα ΗΛ2: Θα ανοίγει (θα παίρνει την τιμή 1) αν το νερό στο λέβητα έχει θερμοκρασία τουλάχιστον 65 βαθμούς και η θερμοκρασία στο διαμέρισμα που αντιστοιχεί στον θερμοστάτη Θ2 είναι κάτω από την επιθυμητή.
- Κυκλοφορητής ΚΥΚΛ: Θα ανοίγει (θα παίρνει την τιμή 1) αν το νερό στο λέβητα έχει θερμοκρασία τουλάχιστον 65 βαθμούς, η θερμοκρασία σε κάποιο από τα δύο διαμερίσματα είναι κάτω από την επιθυμητή και ο αισθητήρας της δεξαμενής πετρελαίου δείχνει τουλάχιστον στο 10% της συνολικής της ποσότητας.

Υλοποιήστε το κύκλωμα με όσο το δυνατόν λιγότερα ολοκληρωμένα 7404, 7408 και 7432. Δείξτε αναλυτικά τις συναρτήσεις που βρήκατε, την αντιστοιχία τους με τις πύλες που χρησιμοποιήσατε και επαληθεύστε την σωστή λειτουργία του κυκλώματος χρησιμοποιώντας τον πίνακα αλήθειας για κάθε συνάρτηση.

2.3.2. Παραδοτέα

- i) Ο πίνακας αλήθειας.
- ii) Η απλοποιημένη συνάρτηση του κυκλώματος.
- iii) Η σχεδίαση του κυκλώματος στο Multisim ή στο Multimedia Logic, μετά την απλοποίηση.

2.3.3. Στόχοι

Να αποκτήσουν οι σπουδαστές εξοικείωση με τις απλοποιήσεις των συναρτήσεων μέσω των χαρτών Karnaugh, συνδυάζοντας γνώσεις για την επίλυση πραγματικών προβλημάτων.

2.3.4. Ενδεικτική λύση

Ο πίνακας αλήθειας είναι ο εξής:

Πίνακας 2-2. Πίνακας αλήθειας 3ης Εργαστηριακής Άσκησης.

Πηγή: Διδάσκων.

Θ1	Θ2	Θ3	A	ΗΛ1	ΗΛ2	ΚΥΚΛ
0	0	0	0	0	0	0
0	0	0	1	0	0	0
0	0	1	0	0	0	0
0	0	1	1	0	0	0
0	1	0	0	0	1	0
0	1	0	1	0	1	1
0	1	1	0	0	0	0
0	1	1	1	0	0	0
1	0	0	0	1	0	0
1	0	0	1	1	0	0
1	0	1	0	0	0	0
1	0	1	1	0	0	0
1	1	0	0	1	1	0
1	1	0	1	1	1	1
1	1	1	0	0	0	0
1	1	1	1	0	0	0

Η συνάρτηση που περιγράφει τη λειτουργία της 1^{ης} ηλεκτροβάνας είναι:

$$ΗΛ1(Θ1, Θ3) = Θ1 \cdot Θ3'$$

Η συνάρτηση που περιγράφει τη λειτουργία της 2^{ης} ηλεκτροβάνας είναι:

$$ΗΛ2(Θ2, Θ3) = Θ2 \cdot Θ3'$$

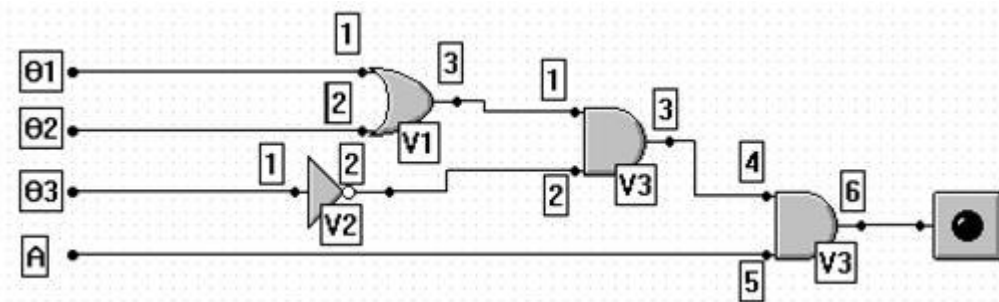
Η συνάρτηση που περιγράφει τη λειτουργία του κυκλοφορητή είναι:

$$ΚΥΚΛ(Θ1, Θ2, Θ3, A) = ΗΛ1(Θ1, Θ3) + ΗΛ2(Θ2, Θ3) \Leftrightarrow$$

$$ΚΥΚΛ(Θ1, Θ2, Θ3, A) = (Θ1 \cdot Θ3' + Θ2 \cdot Θ3') \cdot A \Leftrightarrow$$

$$ΚΥΚΛ(Θ1, Θ2, Θ3, A) = (Θ1 + Θ2) \cdot Θ3' \cdot A$$

Το αντίστοιχο απλοποιημένο κύκλωμα (με τη βοήθεια του Multimedia Logic) το οποίο ενεργοποιεί τις δύο ηλεκτροβάνες και τον κυκλοφορητή είναι το εξής:



Εικόνα 2-3. Το κύκλωμα της 3ης Εργαστηριακής Άσκησης

Πηγή: Διδάσκων.

Τα ολοκληρωμένα που χρησιμοποιήθηκαν μετά την απλοποίηση είναι τα:

- 1 ολοκληρωμένο 7432 – OR δύο εισόδων (V1).
- 1 ολοκληρωμένο 7404 – αντιστροφέας NOT (V2).
- 1 ολοκληρωμένο 7408 – AND δύο εισόδων (V3).

2.4. Εργαστηριακή Άσκηση 4

2.4.1. Εκφώνηση

Ένα σύστημα κεντρικής θέρμανσης μιας πολυκατοικίας, αποτελείται από τα παρακάτω στοιχεία: Ένα λέβητα στον οποίο ζεσταίνεται το νερό, ένα κυκλοφορητή ΚΥΚΛ και δύο ηλεκτροβάνες ΗΛ1 και ΗΛ2, που αντιστοιχούν στα δύο διαμερίσματα που θερμαίνονται από το κεντρικό σύστημα θέρμανσης.

Το κάθε διαμέρισμα έχει ένα θερμοστάτη Θ1 και Θ2, αντίστοιχα, οι οποίοι στέλνουν 1 όταν η θερμοκρασία στο διαμέρισμα είναι χαμηλότερη από την επιθυμητή και 0, όταν η θερμοκρασία υπερβαίνει ή είναι ίση με την επιθυμητή. Ο λέβητας έχει επίσης δύο παρόμοιους θερμοστάτες Θ3 και Θ4 ο οποίος είναι ρυθμισμένος ο Θ3 στους 50 βαθμούς και ο Θ4 στους 80. Αν η θερμοκρασία του νερού είναι κάτω από την ρυθμισμένη θερμοκρασία του κάθε θερμοστάτη, ο θερμοστάτης στέλνει την τιμή 1 αλλιώς στέλνει την τιμή 0. Για παράδειγμα αν το νερό έχει θερμοκρασία 40 βαθμούς και ο Θ3 και ο Θ4 θα στέλνουν την τιμή 1, ενώ αν το νερό έχει θερμοκρασία 70 βαθμούς ο Θ3 θα στέλνει 0 και ο Θ4 θα στέλνει 1.

Σχεδιάστε ένα ψηφιακό κύκλωμα που θα ενεργοποιεί τις δύο ηλεκτροβάνες και τον κυκλοφορητή με βάση τις παρακάτω προδιαγραφές:

Ηλεκτροβάνη ΗΛ1: Θα ανοίγει (θα παίρνει την τιμή 1) αν το νερό στο λέβητα έχει θερμοκρασία τουλάχιστον 65 βαθμούς και η θερμοκρασία στο διαμέρισμα που αντιστοιχεί στον θερμοστάτη Θ1 είναι κάτω από την επιθυμητή.

Ηλεκτροβάννα ΗΛ2: Θα ανοίγει (θα παίρνει την τιμή 1) αν το νερό στο λέβητα έχει θερμοκρασία τουλάχιστον 65 βαθμούς και η θερμοκρασία στο διαμέρισμα που αντιστοιχεί στον θερμοστάτη Θ2 είναι κάτω από την επιθυμητή.

Κυκλοφορητής ΚΥΚΛ: Θα ανοίγει (θα παίρνει την τιμή 1) αν το νερό στο λέβητα έχει θερμοκρασία μεταξύ 50 και 80 βαθμούς και η θερμοκρασία σε κάποιο από τα δύο διαμερίσματα είναι κάτω από την επιθυμητή.

Υλοποιήστε το κύκλωμα με όσο το δυνατόν λιγότερα ολοκληρωμένα 7404, 7408 και 7432. Δείξτε αναλυτικά τις συναρτήσεις που βρήκατε, την αντιστοιχία τους με τις πύλες που χρησιμοποιήσατε και επαληθεύστε την σωστή λειτουργία του κυκλώματος χρησιμοποιώντας τον πίνακα αλήθειας για κάθε συνάρτηση.

2.4.2. Παραδοτέα

- i. Ο πίνακας αλήθειας
- ii. Η απλοποιημένη συνάρτηση του κυκλώματος
- iii. Η σχεδίαση του κυκλώματος στο Multisim ή στο Multimedia Logic, μετά την απλοποίηση.

2.4.3. Στόχοι

Να αποκτήσουν οι σπουδαστές εξοικείωση με τις απλοποιήσεις των συναρτήσεων μέσω των χαρτών Karnaugh, συνδυάζοντας γνώσεις για την επίλυση πραγματικών προβλημάτων.

2.4.4. Ενδειξτική λύση

Ο πίνακας αλήθειας είναι ο εξής:

Πίνακας 2-3. Πίνακας αλήθειας 4ης Εργαστηριακής Άσκησης

Θ1	Θ2	Θ3	Θ4	ΗΛ1	ΗΛ2	ΚΥΚΛ
0	0	0	0	0	0	0
0	0	0	1	0	0	0
0	0	1	0	0	0	0
0	0	1	1	0	0	0
0	1	0	0	0	0	0
0	1	0	1	0	1	1
0	1	1	0	0	0	0
0	1	1	1	0	0	0
1	0	0	0	0	0	0
1	0	0	1	1	0	1
1	0	1	0	0	0	0
1	0	1	1	0	0	0
1	1	0	0	0	0	0
1	1	0	1	1	1	1
1	1	1	0	0	0	0
1	1	1	1	0	0	0

Η συνάρτηση που περιγράφει τη λειτουργία της 1^{ης} ηλεκτροβάνας είναι:

$$ΗΛ1(\Theta1, \Theta3, \Theta4) = \Theta1 \cdot \Theta3' \cdot \Theta4$$

Η συνάρτηση που περιγράφει τη λειτουργία της 2^{ης} ηλεκτροβάνας είναι:

$$ΗΛ2(\Theta2, \Theta3, \Theta4) = \Theta2 \cdot \Theta3' \cdot \Theta4$$

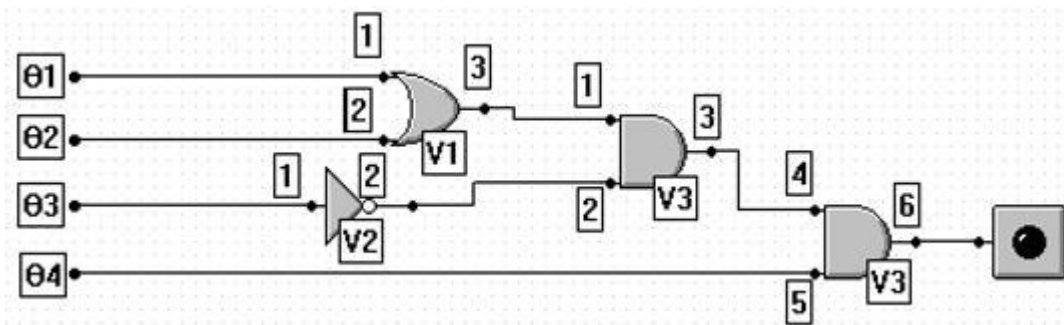
Η συνάρτηση που περιγράφει τη λειτουργία του κυκλοφορητή είναι:

$$ΚΥΚΛ(\Theta1, \Theta2, \Theta3, \Theta4) = ΗΛ1(\Theta1, \Theta3, \Theta4) + ΗΛ2(\Theta2, \Theta3, \Theta4) \Leftrightarrow$$

$$ΚΥΚΛ(\Theta1, \Theta2, \Theta3, \Theta4) = (\Theta1 \cdot \Theta3' + \Theta2 \cdot \Theta3') \cdot \Theta4 \Leftrightarrow$$

$$ΚΥΚΛ(\Theta1, \Theta2, \Theta3, \Theta4) = (\Theta1 + \Theta2) \cdot \Theta3' \cdot \Theta4$$

Το αντίστοιχο απλοποιημένο κύκλωμα (με τη βοήθεια του Multimedia Logic) το οποίο ενεργοποιεί τις δύο ηλεκτροβάνες και τον κυκλοφορητή είναι το εξής:



Εικόνα 2-4. Το κύκλωμα της 4ης Εργαστηριακής Άσκησης.

Πηγή: Διδάσκων.

Τα ολοκληρωμένα που χρησιμοποιήθηκαν μετά την απλοποίηση είναι τα:

- 1 ολοκληρωμένο 7432 – OR δύο εισόδων (V1).
- 1 ολοκληρωμένο 7404 – αντιστροφέας NOT (V2).
- 1 ολοκληρωμένο 7408 – AND δύο εισόδων (V3).

2.5. Εργαστηριακή Άσκηση 5

2.5.1. Εκφώνηση

Να υλοποιήσετε ένα κύκλωμα με τέσσερις εισόδους που θα «οδηγεί» σε ένα φωτεινό ενδείκτη 7 τμημάτων.

Θα κατασκευάσετε ένα κύκλωμα με 4 εισόδους (A, B, C, D) και επτά εξόδους (a, b, c, d, e, f, g), το οποίο θα διαβάζει τον δεκαεξαδικό αριθμό της εισόδου (που είναι σε

δυναμική μορφή με 4 bit) και θα δείχνει στο πρώτο ψηφίο του Display τον ίδιο δεκαεξαδικό αριθμό σε κανονική μορφή (με ένα ψηφίο, από 0-F).

Το LED Display αποτελείται από 7 φωτεινά τμήματα (φωτοδίοδοι), στην μορφή που φαίνεται παρακάτω. Το Display που θα χρησιμοποιήσετε είναι κοινής ανόδου, δηλαδή, τα επτά τμήματα όλες τις ανόδους βραχυκυκλωμένες (που θα συνδεθούν στα +5V) και για να ανάψουμε κάποιο τμήμα πρέπει το κύκλωμα οδήγησης να βγάλει λογικό 0.

Θα συμπληρώσετε τον παρακάτω πίνακα αλήθειας και θα υπολογίσετε τις επτά συναρτήσεις εξόδου.

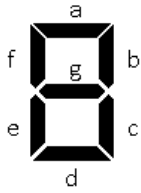
Επιπρόσθετα, για λόγους απλούστερης υλοποίησης, θα υπολογίσετε τις συναρτήσεις εξόδου και θα σχεδιάσετε το αντίστοιχο κύκλωμα για τις 4 πρώτες γραμμές του πίνακα αλήθειας, δηλαδή για τους αριθμούς 0-3.

Στο εργαστήριο θα υλοποιήσετε τις συναρτήσεις για εξόδους μόνο από 0-3 (για το πρώτο ψηφίο).

ΕΙΣΟΔΟΙ				ΑΚΡΟΔΕΚΤΕΣ 7 SEGMENT DISPLAY							
A	B	C	D	ΔΕΚΑΕΞΑΔΙΚΟΣ	A	b	c	d	e	f	g
0	0	0	0	0 (0)							
0	0	0	1	1 (1)							
0	0	1	0	2 (2)							
0	0	1	1	3 (3)							
0	1	0	0	4 (4)							
0	1	0	1	5 (5)							
0	1	1	0	6 (6)							
0	1	1	1	7 (7)							
1	0	0	0	8 (8)							
1	0	0	1	9 (9)							
1	0	1	0	A (A)							
1	0	1	1	b (b)							
1	1	0	0	C (C)							
1	1	0	1	d (d)							
1	1	1	0	E (E)							
1	1	1	1	F (F)							

Εικόνα 2-5. Πίνακας της Άσκησης 5.

Πηγή: Διδάσκων.



Εικόνα 2-6 – Ο ενδείκτης 7 τομέων.

Πηγή: Διδάσκων.

2.5.2. Παραδοτέα

- i. Για τη θεωρητική υλοποίηση:
 - i.1 Ο πίνακας αλήθειας συμπληρωμένος
 - i.2 Οι χάρτες Karnaugh, ένας για κάθε συνάρτηση εξόδου
 - i.3 Οι απλοποιημένες συναρτήσεις του κυκλώματος
- ii. Για την υλοποίηση στο εργαστήριο:
 - ii.1 Ο πίνακας αλήθειας συμπληρωμένος
 - ii.2 Οι χάρτες Karnaugh, ένας για κάθε συνάρτηση εξόδου
 - ii.3 Οι απλοποιημένες συναρτήσεις του κυκλώματος
 - ii.4 Η σχεδίαση του κυκλώματος στο Multisim ή στο Multimedia Logic, μετά την απλοποίηση.

2.5.3. Στόχοι

Να αποκτήσουν οι σπουδαστές εξοικείωση με τις απλοποιήσεις των συναρτήσεων μέσω των χαρτών Karnaugh, συνδυάζοντας γνώσεις για την επίλυση πραγματικών προβλημάτων. Να αντιληφθούν, ότι το display είναι πολύ χρήσιμο για την αναπαράσταση των πληροφοριών εξόδου.

2.5.4. Ενδεικτική Λύση

Ο συμπληρωμένος πίνακας αλήθειας είναι ο εξής:

ΕΙΣΟΔΟΙ				ΑΚΡΟΔΕΚΤΕΣ 7 SEGMENT DISPLAY							
A	B	C	D	ΔΕΚΑΕΞΑΔΙΚΟΣ	a	B	C	d	e	f	g
0	0	0	0	0 (0)	0	0	0	0	0	0	1
0	0	0	1	1 (1)	1	0	0	1	1	1	1
0	0	1	0	2 (2)	0	0	1	0	0	1	0
0	0	1	1	3 (3)	0	0	0	0	1	1	0
0	1	0	0	4 (4)	1	0	0	1	1	0	0
0	1	0	1	5 (5)	0	1	0	0	1	0	0
0	1	1	0	6 (6)	0	1	0	0	0	0	0
0	1	1	1	7 (7)	0	0	0	1	1	1	1
1	0	0	0	8 (8)	0	0	0	0	0	0	0
1	0	0	1	9 (9)	0	0	0	0	1	0	0
1	0	1	0	A (A)	0	0	0	1	0	0	0
1	0	1	1	b (b)	1	1	0	0	0	0	0
1	1	0	0	C (C)	0	1	1	0	0	0	1
1	1	0	1	d (d)	1	0	0	0	0	1	0
1	1	1	0	E (E)	0	1	1	0	0	0	0
1	1	1	1	F (F)	0	1	1	1	0	0	0

Εικόνα 2-7. Πίνακας αλήθειας 5^{ης} Εργαστηριακής Άσκησης.

Πηγή: Διδάσκων.

Δημιουργούμε επτά (7) χάρτες Karnaugh, έναν για κάθε μία από τις συναρτήσεις εξόδου.

		C			
CD		00	01	11	10
A	AB		1		
	00				
	01	1			
	11		1		
	10			1	
		B			
		D			

Εικόνα 2-8. Χάρτης Karnaugh συνάρτησης εξόδου a.

Πηγή: Διδάσκων.

Η συνάρτηση α είναι η εξής:

$$\alpha(A,B,C,D) = A' \cdot B \cdot C' \cdot D' + A' \cdot B' \cdot C' \cdot D + A \cdot B \cdot C' \cdot D + A \cdot B \cdot C \cdot D$$

		C			
		00	01	11	10
A	00				
	01		1		1
	11	1		1	1
	10			1	
		D			

Εικόνα 2-9. Χάρτης Karnaugh συνάρτησης εξόδου b.

Πηγή: Διδάσκων.

Η συνάρτηση b είναι η εξής:

$$b(A,B,C,D) = A \cdot B \cdot C' \cdot D' + A' \cdot B \cdot C' \cdot D + A \cdot C \cdot D + B \cdot C \cdot D'$$

		C			
		00	01	11	10
A	00				1
	01				
	11	1		1	1
	10				
		D			

Εικόνα 2-10. Χάρτης Karnaugh συνάρτησης εξόδου c.

Η συνάρτηση c είναι η εξής:

$$c(A,B,C,D) = A \cdot B \cdot C' \cdot D' + A' \cdot B' \cdot C \cdot D' + A \cdot B \cdot C$$

		C			
		00	01	11	10
A	CD AB	00	01	11	10
	00		1		
	01	1		1	
	11			1	
	10				1
		D			

Εικόνα 2-11. Χάρτης Karnaugh συνάρτησης εξόδου d.

Πηγή: Διδάσκων.

Η συνάρτηση d είναι η εξής:

$$d(A,B,C,D) = A' \cdot B \cdot C' \cdot D' + A' \cdot B' \cdot C' \cdot D + A \cdot B' \cdot C \cdot D' + B \cdot C \cdot D$$

		C			
		00	01	11	10
A	CD AB	00	01	11	10
	00		1	1	
	01	1	1	1	
	11				
	10		1		
		D			

Εικόνα 2-12. Χάρτης Karnaugh συνάρτησης εξόδου e.

Πηγή: Διδάσκων.

Η συνάρτηση e είναι η εξής:

$$e(A,B,C,D) = A' \cdot B \cdot C' \cdot D' + A' \cdot D + A \cdot B' \cdot C' \cdot D$$

		C			
		00	01	11	10
A	B	00	1	1	1
	01			1	
D	11		1		
	10				

Εικόνα 2-13. Χάρτης Karnaugh συνάρτησης εξόδου f

Πηγή: Διδάσκων.

Η συνάρτηση f είναι η εξής:

$$f(A, B, C, D) = A \cdot B \cdot C' \cdot D + A' \cdot B' \cdot D + A' \cdot C \cdot D + A' \cdot B' \cdot C$$

		C			
		00	01	11	10
A	B	00	1	1	
	01			1	
D	11	1			
	10				

Εικόνα 2-14. Χάρτης Karnaugh συνάρτησης εξόδου g.

Πηγή: Διδάσκων.

Η συνάρτηση g είναι η εξής:

$$g(A, B, C, D) = A \cdot B \cdot C' \cdot D' + A' \cdot B \cdot C \cdot D + A' \cdot B' \cdot C'$$

Όλες οι συναρτήσεις μαζί συνθέτουν το τελικό κύκλωμα.

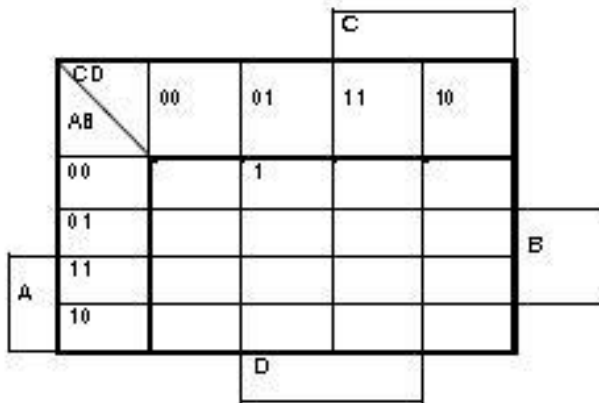
Ειδικότερα για το εργαστήριο, ζητείται να υλοποιηθούν οι συναρτήσεις για εξόδους μόνο από 0-3 (για το πρώτο ψηφίο).

ΕΙΣΟΔΟΙ					ΑΚΡΟΔΕΚΤΕΣ 7 SEGMENT DISPLAY						
A3	A2	A1	A0	ΔΕΚΑΕΞΑΔΙΚΟΣ	a	b	c	d	e	f	g
0	0	0	0	0 (0)	0	0	0	0	0	0	1
0	0	0	1	1 (1)	1	0	0	1	1	1	1
0	0	1	0	2 (2)	0	0	1	0	0	1	0
0	0	1	1	3 (3)	0	0	0	0	1	1	0

Εικόνα 2-15. Πίνακας αλήθειας 5ης Εργαστηριακής Άσκησης (εργαστήριο).

Πηγή: Διδάσκων.

Δημιουργούμε τους αντίστοιχους επτά (7) χάρτες Karnaugh, έναν για κάθε μία από τις συναρτήσεις εξόδου.

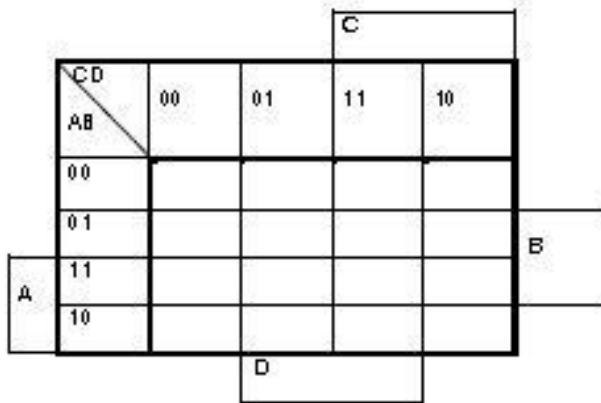


Εικόνα 2-16. Χάρτης Karnaugh συνάρτησης εξόδου a (εργαστήριο).

Πηγή: Διδάσκων.

Η συνάρτηση a είναι η εξής:

$$a(A,B,C,D) = A \cdot B \cdot C \cdot D$$



Εικόνα 2-17. Χάρτης Karnaugh συνάρτησης εξόδου b (εργαστήριο).

Πηγή: Διδάσκων.

Η συνάρτηση b είναι η εξής:

$$b(A, B, C, D) = 0 \text{ (γειωμένο)}$$

		C			
		00	01	11	10
A	00				1
	01				
	11				
	10				
		B			
		D			

Εικόνα 2-18. Χάρτης Karnaugh συνάρτησης εξόδου c (εργαστήριο).

Πηγή: Διδάσκων.

Η συνάρτηση c είναι η εξής:

$$c(A, B, C, D) = A' \cdot B' \cdot C \cdot D'$$

		C			
		00	01	11	10
A	00		1		
	01				
	11				
	10				
		B			
		D			

Εικόνα 2-19. Χάρτης Karnaugh συνάρτησης εξόδου d (εργαστήριο).

Πηγή: Διδάσκων.

Η συνάρτηση d είναι η εξής:

$$d(A, B, C, D) = A' \cdot B' \cdot C' \cdot D$$

		C			
		00	01	11	10
A	CD \ AB				
	00		1	1	
	01				
	11				
	10				
		D			
		B			

Εικόνα 2-20. Χάρτης Karnaugh συνάρτησης εξόδου e (εργαστήριο).

Πηγή: Διδάσκων.

Η συνάρτηση e είναι η εξής:

$$e(A, B, C, D) = A' \cdot B' \cdot D$$

Πίνακας 2-4 – Χάρτης Karnaugh συνάρτησης εξόδου f (εργαστήριο)

		C			
		00	01	11	10
A	CD \ AB				
	00		1	1	1
	01				
	11				
	10				
		D			
		B			

Εικόνα 2-21. Χάρτης Karnaugh συνάρτησης εξόδου f (εργαστήριο).

Πηγή: Διδάσκων.

Η συνάρτηση f είναι η εξής:

$$f(A, B, C, D) = A' \cdot B' \cdot D + A' \cdot B' \cdot C$$

Πίνακας 2-5 – Χάρτης Karnaugh συνάρτησης εξόδου g (εργαστήριο)

		C			
		00	01	11	10
A	CD AB				
	00	1	1		
	01				
	11				
	10				
		D			

Εικόνα 2-22. Χάρτης Karnaugh συνάρτησης εξόδου g (εργαστήριο).

Πηγή: Διδάσκων.

Η συνάρτηση g είναι η εξής:

$$g(A, B, C, D) = A' \cdot B' \cdot C'$$

Εξαιτίας του γεγονότος ότι οι είσοδοι A και B είναι συνέχεια στο 0, οι τελικές συναρτήσεις ξαναγράφονται ως εξής:

$$a(A, B, C, D) = C' \cdot D$$

$$b(A, B, C, D) = 0 \text{ (γειωμένο)}$$

$$c(A, B, C, D) = C \cdot D'$$

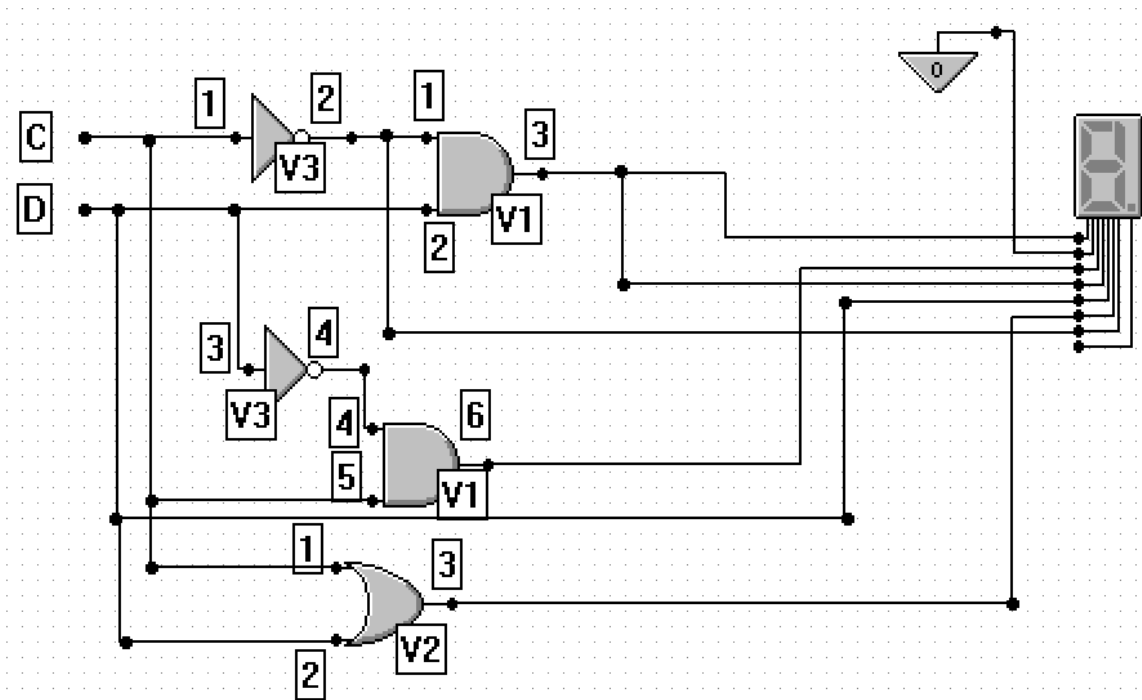
$$d(A, B, C, D) = C' \cdot D$$

$$e(A, B, C, D) = D$$

$$f(A, B, C, D) = D + C$$

$$g(A, B, C, D) = C'$$

Το αντίστοιχο απλοποιημένο κύκλωμα (με τη βοήθεια του Multimedia Logic) για τα πρώτα 4 νούμερα είναι το εξής:



Εικόνα 2-23 – Το κύκλωμα της 5^{ης} Εργαστηριακής Άσκησης

Πηγή: Διδάσκων.

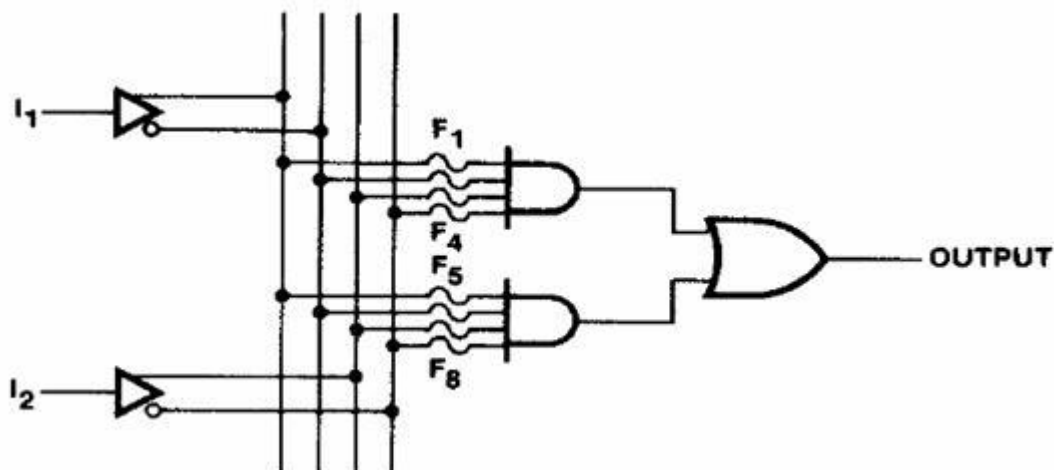
Τα ολοκληρωμένα που χρησιμοποιήθηκαν μετά την απλοποίηση είναι τα:

- 1 ολοκληρωμένο 7408 – AND δύο εισόδων (V1).
- 1 ολοκληρωμένο 7432 – OR δύο εισόδων (V2).
- 1 ολοκληρωμένο 7404 – αντιστροφέας NOT (V3).

2.6. Σχεδιάζοντας με PAL

Η PAL είναι ένας πίνακας από πύλες τις οποίες μπορεί να προγραμματίσει ο χρήστης δημιουργώντας διάφορα κυκλώματα. Η PAL είναι μία επέκταση της “τεχνολογίας ασφαλειών” που μας επιτρέπει να σχεδιάσουμε κυκλώματα καίγοντας απλά κάποιες ασφάλειες (δηλαδή καταργώντας κάποιες ενώσεις).

Η παρακάτω εικόνα, δείχνει τη δομή ενός απλού κυκλώματος PAL με 2 εισόδους και 1 έξοδο. Όπως βλέπουμε, υπάρχουν ήδη όλες οι δυνατές ενώσεις μέσω των ασφαλειών F1 έως F8. Καίγοντας όμως κάποιες από αυτές τις ασφάλειες μπορούμε να δημιουργήσουμε διάφορα κυκλώματα. Στις PAL μπορούμε να σχεδιάσουμε αθροίσματα λογικών γινομένων, χρησιμοποιώντας τις προγραμματιζόμενες πύλες AND, των οποίων οι έξοδοι τροφοδοτούν τις εισόδους της πύλης OR. Η άθροιση των γινομένων μπορεί να εκφραστεί μέσω της άλγεβρας Boole.



Εικόνα 2-24. Απλό κύκλωμα PAL με 2 εισόδους και 1 έξοδο.

Πηγή: Διδάσκων.

Προφανώς, η ικανότητα χρήσης των PAL βοηθά στον περιορισμό των καλωδίων και των επιμέρους ολοκληρωμένων, γι' αυτό και θα ζητείται σε αρκετές εργαστηριακές ασκήσεις, κάνοντας χρήση του `wincupl`.⁵

2.7. Εργαστηριακή Άσκηση 6

2.7.1. Εκφώνηση

Στις προηγούμενες ασκήσεις υλοποιήσατε τα τμήματα του κυκλώματος λειτουργίας ενός συστήματος κεντρικής θέρμανσης. Συγκεκριμένα, θεωρήσαμε ότι έχουμε ένα κύκλωμα ψηφιακού θερμοστάτη που μετράει τη θερμοκρασία του νερού του λέβητα και επιτρέπει την κυκλοφορία του νερού, εάν αυτή βρίσκεται εντός ορίων (50 – 80 βαθμούς Κελσίου). Επιπλέον δύο Θερμοστάτες Θ1 και Θ2 εγκατεστημένοι σε δύο διαμερίσματα ελέγχουν τις ηλεκτροβάνες ΗΛ1 και ΗΛ2 που αντιστοιχούν στα δύο διαμερίσματα και τον κυκλοφορητή ΚΥΚΛ.

Σ' αυτή την εργασία, η θερμοκρασία του νερού θα δίνεται από έναν ψηφιακό θερμοστάτη με τέσσερα ψηφία A3, A2, A1 και A0. Ο θερμοστάτης θα μας δίνει τη θερμοκρασία του νερού προσεγγιστικά από 0 – 159 βαθμούς Κελσίου, κάθε μία δηλαδή από τις ενδείξεις θα αντιστοιχεί σε ένα εύρος 10 βαθμών Κελσίου. Θα σχεδιάσετε το νέο κύκλωμα αντικαθιστώντας τους θερμοστάτες Θ3 και Θ4 της προηγούμενης αντίστοιχης άσκησης, με το νέο μας ψηφιακό 4-bit θερμοστάτη.

Σε αυτήν την εργασία θα συνδυαστούν τα παραπάνω τμήματα, για να υλοποιηθεί ένα ολοκληρωμένο σύστημα κεντρικής θέρμανσης.

⁵ Βλέπε [7].

Συγκεκριμένα:

- Θα χρησιμοποιήσετε μια PAL για να οδηγήσετε ένα HEX display, το οποίο θα δείχνει την θερμοκρασία προσεγγιστικά σε δεκαεξαδική τιμή 0, 1, 2, ..., C, D, E, F.
- Θα χρησιμοποιήσετε μια δεύτερη PAL στην οποία θα έχετε ως εισόδους τα T1, T2, A3, A2, A1, A0 και εξόδους τα ΗΛ1, ΗΛ2 και ΚΥΚΛ.
- Θα υλοποιήσετε σε PAL τα κυκλώματα A και B (θα φέρετε τα αρχεία pld και jed σε usb disk)
- Θα σχεδιάσετε το συνολικό σχέδιο του συστήματος θέρμανσης. Για τις PAL θα δημιουργήσετε ένα νέο Ολοκληρωμένο με τους απαιτούμενους ακροδέκτες εισόδων και εξόδων.

Στο εργαστήριο θα υλοποιήσετε το συνολικό σύστημα θέρμανσης με τις δύο PAL. Στις θέσεις του κυκλοφορητή και των ηλεκτροβάνων θα συνδέσετε LEDs τα οποία θα δείχνουν τότε ενεργοποιούνται αυτές οι έξοδοι.

2.7.2. Παραδοτέα

- Για την 1^ο PAL:
 - Ο πίνακας αλήθειας για το Display
 - Οι χάρτες Karnaugh, ένας για κάθε συνάρτηση εξόδου
 - Οι απλοποιημένες συναρτήσεις του κυκλώματος
 - Τα αρχεία .jed και .pld
- Για τη 2^ο PAL:
 - Ο πίνακας αλήθειας των ηλεκτροβανών και του κυκλοφορητή
 - Ο χάρτες Karnaugh, για τη συνάρτηση εξόδου
 - Η απλοποιημένη συνάρτηση του κυκλώματος
 - Τα αρχεία .jed και .pld
- Η σχεδίαση του κυκλώματος στο Multisim ή στο Multimedia Logic, μετά τις απλοποιήσεις.

2.7.3. Στόχοι

Να αντιληφθούν οι σπουδαστές την αξία των PAL. Να εξοικειωθούν με τη χρήση του προγράμματος Wincupl.

2.7.4. Ενδεικτική λύση

Όπως παρατηρήσαμε, οι ασκήσεις, εξαιτίας της σταδιακής αύξησης της πολυπλοκότητάς τους, οδηγούν σε επιπλέον συνδέσεις, δηλαδή επιπλέον καλώδια, κατά την υλοποίηση στο εργαστήριο. Γι' αυτό το λόγο, είναι αναγκαία η χρήση PAL. Στη συγκεκριμένη άσκηση, θα δημιουργήσουμε δύο PAL (g20v8a).

Η 1^η PAL για το Display και η 2^η για τις ηλεκτροβάνες και τον κυκλοφορητή.

Ο συμπληρωμένος πίνακας αλήθειας της 1^{ης} PAL είναι ο εξής:

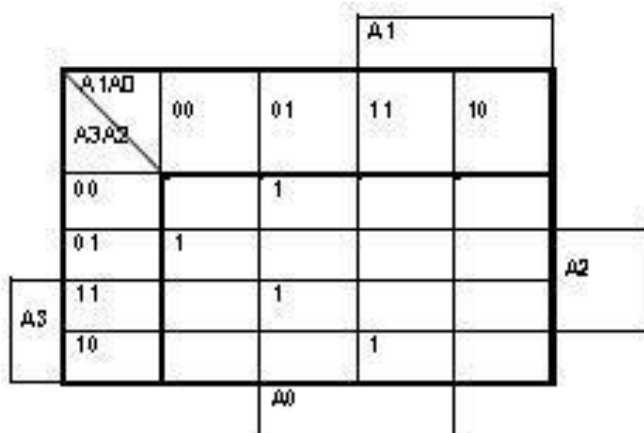
Πίνακας 2-6 – Πίνακας αλήθειας 6^{ης} Εργαστηριακής Άσκησης (1^η PAL)

ΕΙΣΟΔΟΙ				ΑΚΡΟΔΕΚΤΕΣ 7 SEGMENT DISPLAY							
A3	A2	A1	A0	ΔΕΚΑΕΞΑΔΙΚΟΣ	a	B	C	d	E	f	g
0	0	0	0	0 (0)	0	0	0	0	0	0	1
0	0	0	1	1 (1)	1	0	0	1	1	1	1
0	0	1	0	2 (2)	0	0	1	0	0	1	0
0	0	1	1	3 (3)	0	0	0	0	1	1	0
0	1	0	0	4 (4)	1	0	0	1	1	0	0
0	1	0	1	5 (5)	0	1	0	0	1	0	0
0	1	1	0	6 (6)	0	1	0	0	0	0	0
0	1	1	1	7 (7)	0	0	0	1	1	1	1
1	0	0	0	8 (8)	0	0	0	0	0	0	0
1	0	0	1	9 (9)	0	0	0	0	1	0	0
1	0	1	0	A (A)	0	0	0	1	0	0	0
1	0	1	1	b (b)	1	1	0	0	0	0	0
1	1	0	0	C (C)	0	1	1	0	0	0	1
1	1	0	1	d (d)	1	0	0	0	0	1	0
1	1	1	0	E (E)	0	1	1	0	0	0	0
1	1	1	1	F (F)	0	1	1	1	0	0	0

Εικόνα 2-25. Πίνακας αλήθειας 6ης Εργαστηριακής Άσκησης (1η PAL).

Πηγή: Διδάσκων.

Δημιουργούμε επτά (7) χάρτες Karnaugh, έναν για κάθε μία από τις συναρτήσεις εξόδου.



Εικόνα 2-26. Χάρτης Karnaugh συνάρτησης εξόδου Fa.

Πηγή: Διδάσκων.

Η συνάρτηση Fa είναι η εξής:

$$F_a(A_3, A_2, A_1, A_0) = A_3' \cdot A_2 \cdot A_1' \cdot A_0' + A_3' \cdot A_2' \cdot A_1' \cdot A_0 + A_3 \cdot A_2 \cdot A_1' \cdot A_0 + A_3 \cdot A_2' \cdot A_1 \cdot A_0$$

		A ₁				
		A ₁ A ₀	00	01	11	10
A ₃	A ₂ A ₃	00				
	01		1		1	
A ₃	11	1		1	1	
	10			1		
						A ₂
						A ₀

Εικόνα 2-27. Χάρτης Karnaugh συνάρτησης εξόδου Fb.

Πηγή: Διδάσκων.

Η συνάρτηση Fb είναι η εξής:

$$F_b(A_3, A_2, A_1, A_0) = A_3 \cdot A_2 \cdot A_1' \cdot A_0' + A_3' \cdot A_2 \cdot A_1' \cdot A_0 + A_3 \cdot A_1 \cdot A_0 + A_2 \cdot A_3 \cdot A_0'$$

		A ₁				
		A ₁ A ₀	00	01	11	10
A ₃	A ₂ A ₃	00				1
	01					
A ₃	11	1		1	1	
	10					
						A ₂
						A ₀

Εικόνα 2-28. Χάρτης Karnaugh συνάρτησης εξόδου Fc.

Πηγή: Διδάσκων.

Η συνάρτηση Fc είναι η εξής:

$$F_c(A_3, A_2, A_1, A_0) = A_3 \cdot A_2 \cdot A_1' \cdot A_0' + A_3' \cdot A_2' \cdot A_1 \cdot A_0' + A_3 \cdot A_2 \cdot A_1$$

		A ₁			
		00	01	11	10
A ₃	A ₁ A ₀ \ A ₃ A ₂	00	1		
	01	1		1	
	11			1	
	10				1
		A ₀			
		A ₂			

Εικόνα 2-29. Χάρτης Karnaugh συνάρτησης εξόδου F_d.

Πηγή: Διδάσκων.

Η συνάρτηση F_d είναι η εξής:

$$F_d(A_3, A_2, A_1, A_0) = A_3' \cdot A_2 \cdot A_1' \cdot A_0' + A_3' \cdot A_2' \cdot A_1' \cdot A_0 + A_3 \cdot A_2' \cdot A_1 \cdot A_0' + A_2 \cdot A_1 \cdot A_0$$

		A ₁			
		00	01	11	10
A ₃	A ₁ A ₀ \ A ₃ A ₂	00	1	1	
	01	1	1	1	
	11				
	10		1		
		A ₀			
		A ₂			

Εικόνα 2-30. Χάρτης Karnaugh συνάρτησης εξόδου F_e.

Πηγή: Διδάσκων.

Η συνάρτηση F_e είναι η εξής:

$$F_e(A_3, A_2, A_1, A_0) = A_3' \cdot A_2 \cdot A_1' \cdot A_0' + A_3' \cdot A_0 + A_3 \cdot A_2' \cdot A_1' \cdot A_0$$

		A1			
A1A0		00	01	11	10
A3	A3A2				
	00		1	1	1
	01			1	
	11		1		
	10				
		A0			
		A2			

Εικόνα 2-31. Χάρτης Karnaugh συνάρτησης εξόδου Ff.

Πηγή: Διδάσκων.

Η συνάρτηση Ff είναι η εξής:

$$Ff(A3, A2, A1, A0) = A3 \cdot A2 \cdot A1' \cdot A0 + A3' \cdot A2' \cdot A0 + A3' \cdot A1 \cdot A0 + A3' \cdot A2' \cdot A3$$

		A1			
A1A0		00	01	11	10
A3	A3A2				
	00	1	1		
	01			1	
	11	1			
	10				
		A0			
		A2			

Εικόνα 2-32. Χάρτης Karnaugh συνάρτησης εξόδου Fg.

Η συνάρτηση Fg είναι η εξής:

$$Fg(A3, A2, A1, A0) = A3 \cdot A2 \cdot A1' \cdot A0' + A3' \cdot A2 \cdot A1 \cdot A0 + A3' \cdot A2' \cdot A1'$$

Ο συμπληρωμένος πίνακας αλήθειας της 2^{ης} PAL είναι ο εξής:

Πίνακας 2-7. Πίνακας αλήθειας 6ης Εργαστηριακής Άσκησης (2η PAL).

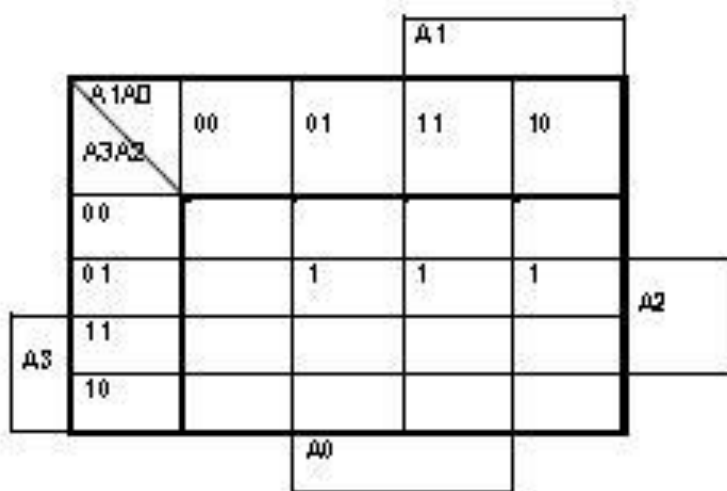
Πηγή: Διδάσκων.

A3	A2	A1	A0	Θερμοκρασία νερού (°C)	Θ _N
0	0	0	0	0-9	0
0	0	0	1	10-19	0
0	0	1	0	20-29	0
0	0	1	1	30-39	0
0	1	0	0	40-49	0
0	1	0	1	50-59	1
0	1	1	0	60-69	1
0	1	1	1	70-79	1
1	0	0	0	80-89	0
1	0	0	1	90-99	0
1	0	1	0	100-109	0
1	0	1	1	110-119	0
1	1	0	0	120-129	0
1	1	0	1	130-139	0
1	1	1	0	140-149	0
1	1	1	1	150-159	0

Παρατηρούμε, ότι γίνεται 1 μόνο όταν η θερμοκρασία είναι ανάμεσα στους 50-80 βαθμούς Κελσίου.

Δημιουργούμε τον αντίστοιχο χάρτη Karnaugh:

Πίνακας 2-8 – Χάρτης Karnaugh συνάρτησης εξόδου Θ_N



Εικόνα 2-33. Χάρτης Karnaugh συνάρτησης εξόδου Θ_N.

Πηγή: Διδάσκων.

Η συνάρτηση Θ_N είναι η εξής:

$$\Theta_N(A3, A2, A1, A0) = A3' \cdot A2 \cdot A0 + A3' \cdot A2 \cdot A1 \Leftrightarrow$$

$$\Theta_N(A3, A2, A1, A0) = A3' \cdot A2 \cdot (A0 + A1)$$

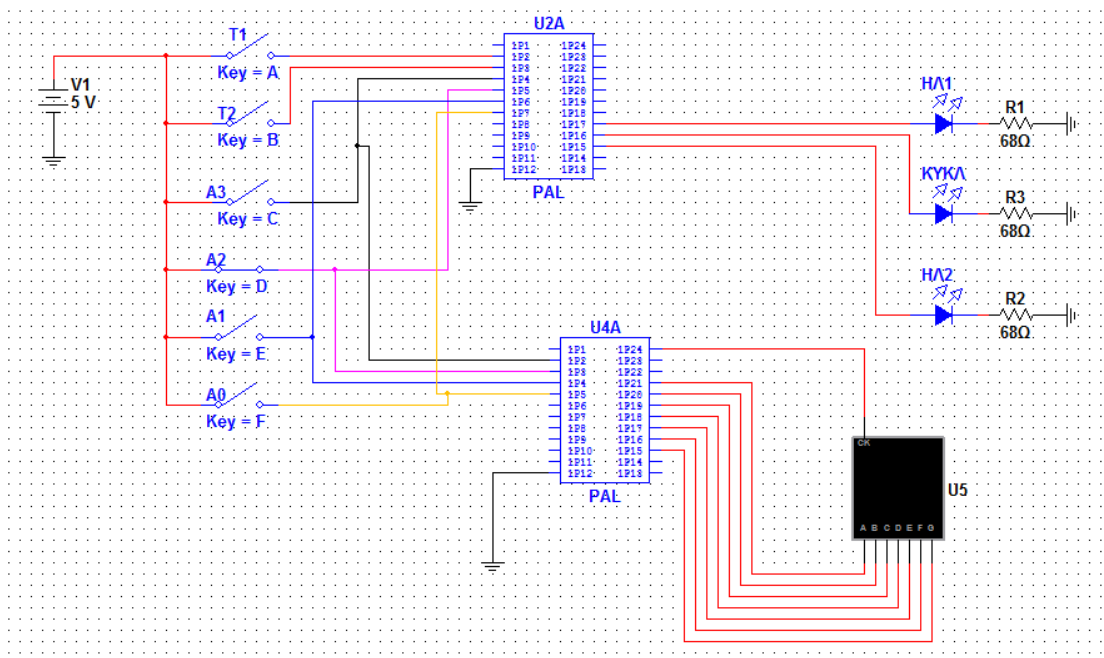
Επομένως, οι συναρτήσεις για τις ηλεκτροβάνες και τον κυκλοφορητή γίνονται ως εξής:

$$ΗΛ1(T1, A3, A2, A1, A0) = T1 \cdot \Theta_N$$

$$ΗΛ2(T2, A3, A2, A1, A0) = T2 \cdot \Theta_N$$

$$ΚΥΚΛ(T1, T2, A3, A2, A1, A0) = (T1 + T2) \cdot \Theta_N$$

Το αντίστοιχο απλοποιημένο κύκλωμα (με τη βοήθεια του Multisim) είναι το εξής:



Εικόνα 2-34 – Το κύκλωμα της 6^{ης} Εργαστηριακής Άσκησης.

Πηγή: Διδάσκων.

Τα ολοκληρωμένα που χρησιμοποιήθηκαν μετά την απλοποίηση είναι τα:

2 PAL (g20v8a)

Μέσω του **wincupl**, φτιάχτηκαν και προγραμματίστηκαν οι 2 PAL. Τα αποτελέσματα παρατίθενται στο Παράρτημα Α.

2.8. Προτεινόμενες Ασκήσεις

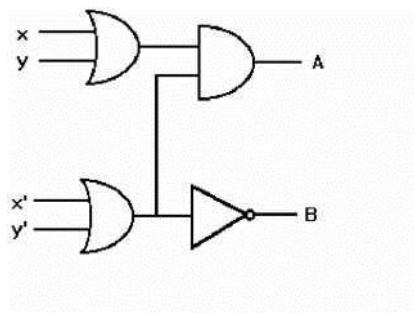
A). Συναγερμός. Ένα συνδυαστικό κύκλωμα χρησιμοποιείται για την ενεργοποίηση ενός συναγερμού σε ένα βενζινάδικο. Στο βενζινάδικο υπάρχουν δεξαμενές καυσίμων. Στην δεξαμενή της βενζίνης super υπάρχει ένας αισθητήρας SA που δίνει “1” όταν η στάθμη πέσει κάτω από κάποιο προκαθορισμένο όριο. Στην δεξαμενή της βενζίνης unleaded υπάρχει ένας αισθητήρας SB που δίνει “1” όταν η στάθμη πέσει κάτω από κάποιο προκαθορισμένο όριο. Στην δεξαμενή της βενζίνης super unleaded υπάρχει ένας αισθητήρας SC που δίνει “1” όταν η στάθμη πέσει κάτω από κάποιο προκαθορισμένο όριο. Στην δεξαμενή του πετρελαίου κίνησης υπάρχει ένας αισθητήρας SD που δίνει “0” όταν η θερμοκρασία υπερβεί κάποιο προκαθορισμένο όριο.

Το κύκλωμα έχει εισόδους A, B, C και D, που συνδέονται με διακόπτες οι οποίοι είναι συνδεδεμένοι με τους αισθητήρες.

Το κύκλωμα έχει μία έξοδο Y που δίνει “1” για να ενεργοποιηθεί ο συναγερμός όταν η στάθμη μίας τουλάχιστον από τις δεξαμενές βενζίνης πέσει κάτω από το προκαθορισμένο όριο και ταυτόχρονα η θερμοκρασία της δεξαμενής του πετρελαίου κίνησης υπερβεί το προκαθορισμένο όριο.

- i. Να κατασκευάσετε τον πίνακα αληθείας του προβλήματος.
- ii. Να γράψετε τη συνάρτηση εξόδου Y του κυκλώματος ως άθροισμα ελάχιστων όρων των μεταβλητών εισόδου A, B, C και D.
- iii. Να γράψετε την απλοποιημένη συνάρτηση εξόδου (να χρησιμοποιήσετε χάρτη Karnaugh).
- iv. Να σχεδιάσετε το κύκλωμα χρησιμοποιώντας το ελάχιστο δυνατό πλήθος πυλών NOT, AND και OR.

B. Να εξηγήσετε τη λειτουργία του παρακάτω κυκλώματος:



3. ΚΕΦΑΛΑΙΟ 3: ΔΥΑΔΙΚΗ ΠΡΟΣΘΕΣΗ ΚΑΙ ΑΦΑΙΡΕΣΗ

3.1. Ημιαθροιστής

x	y	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

$$S=x'y+xy'=x\oplus y$$

$$C=xy$$

Εικόνα 3-1. Χάρτης Karnaugh ημιαθροιστή.

Πηγή: Διδάσκων.

Το κύκλωμα που πραγματοποιεί την πρόσθεση δυο ψηφίων χωρίς να λαμβάνει υπόψη τυχόν προηγούμενο κρατούμενο ονομάζεται Ημιαθροιστής. Ο Ημιαθροιστής έχει δυο εισόδους x και y (τα bit που προστίθενται) και δυο εξόδους C (κρατούμενο-carry) και S (άθροισμα- sum).⁶

3.2. Εργαστηριακή Άσκηση 7

3.2.1. Εκφώνηση

Να υλοποιηθεί το κύκλωμα του πλήρους αθροιστή τριών bits εισόδου. Υλοποιήστε το κύκλωμα με όσο το δυνατόν λιγότερα ολοκληρωμένα 7404, 7408, 7432 και 7411. Δείξτε αναλυτικά τις συναρτήσεις που βρήκατε, την αντιστοιχία τους με τις πύλες που χρησιμοποιήσατε και επαληθεύστε την σωστή λειτουργία του κυκλώματος χρησιμοποιώντας τον πίνακα αλήθειας για κάθε συνάρτηση.

3.2.2. Παραδοτέα

- i. Ο πίνακας αλήθειας
- ii. Οι χάρτες Karnaugh, ένας για κάθε συνάρτηση εξόδου
- iii. Οι απλοποιημένες συναρτήσεις του κυκλώματος
- iv. Η σχεδίαση του κυκλώματος στο Multisim ή στο Multimedia Logic, μετά την απλοποίηση.

3.2.3. Στόχοι

Να κατανοήσουν οι σπουδαστές τη λειτουργία του πλήρους αθροιστή, ώστε να μπορούν να τον προσαρμόσουν και για περισσότερα bits εισόδου.

⁶ Βλέπε [3].

3.2.4. Ενδεικτική λύση

Ο πίνακας αλήθειας του πλήρους αθροιστή είναι ο εξής:

A	B	Cin	Cout	Si
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Εικόνα 3-2. Πίνακας αλήθειας 7ης Εργαστηριακής Άσκησης.

Πηγή: Διδάσκων.

Δημιουργούμε τους χάρτες Karnaugh των δύο συναρτήσεων εξόδου (χάρτες 3 μεταβλητών).

		B			
		00	01	11	10
A	BC				
0	1				
1	1				
1	1				
		C			

Εικόνα 3-3. Χάρτης Karnaugh συνάρτησης Si.

Πηγή: Διδάσκων.

Η συνάρτηση Si είναι η εξής:

$$S_i(A,B,C) = A' \cdot B' \cdot C + A' \cdot B \cdot C + A \cdot B' \cdot C' + A \cdot B \cdot C$$

		B			
		00	01	11	10
A	\ BC				
0				1	
1			1	1	1
		C			

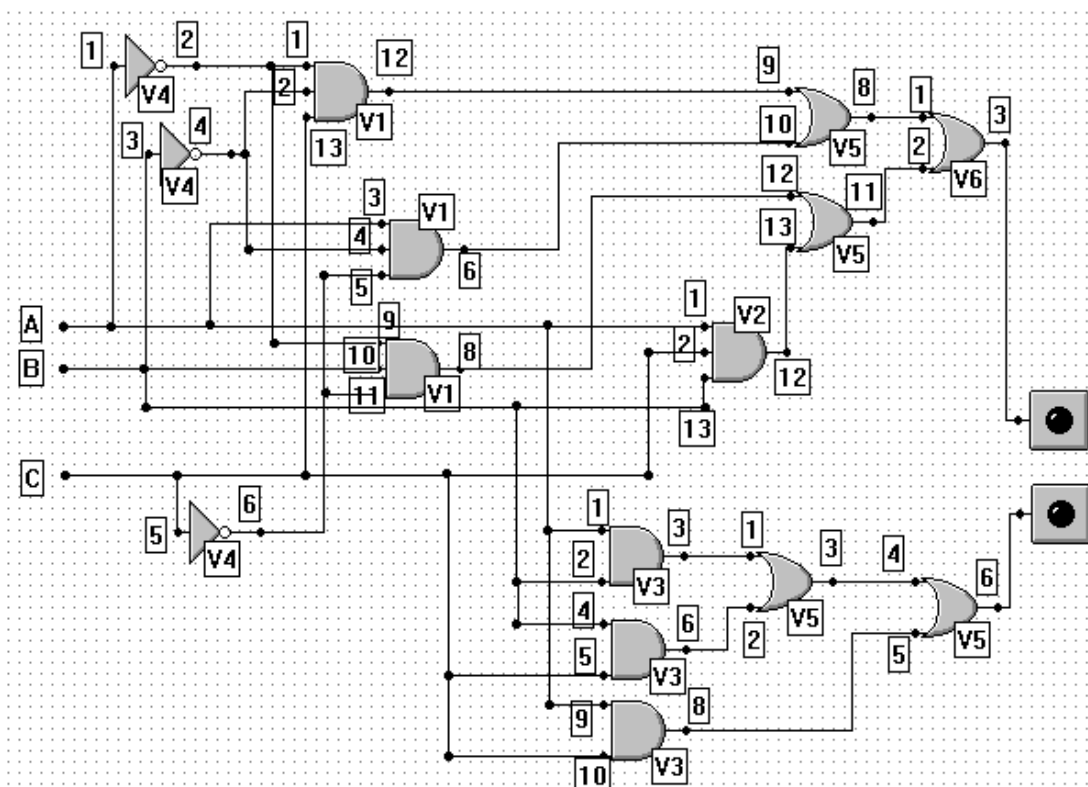
Εικόνα 3-4. Χάρτης Karnaugh συνάρτησης Cout.

Πηγή: Διδάσκων.

Η συνάρτηση C_{out} είναι η εξής:

$$C_{out}(A,B,C) = A \cdot C + B \cdot C + A \cdot B$$

Το αντίστοιχο απλοποιημένο κύκλωμα (με τη βοήθεια του Multimedia Logic) είναι το εξής:



Εικόνα 3-5. Το κύκλωμα της 7ης Εργαστηριακής Άσκησης

Πηγή: Διδάσκων.

Τα ολοκληρωμένα που χρησιμοποιήθηκαν μετά την απλοποίηση είναι τα:

- 2 ολοκληρωμένα 7411 – AND τριών εισόδων (V1, V2).
- 1 ολοκληρωμένο 7408 – AND δύο εισόδων (V3).
- 2 ολοκληρωμένα 7432 – OR δύο εισόδων (V5, V6).
- 1 ολοκληρωμένο 7404 – αντιστροφέας NOT (V4).

3.3. Ημιαφαιρέτης

Το κύκλωμα που πραγματοποιεί την αφαίρεση των ψηφίων χωρίς να υπολογίζει τυχόν προηγούμενο δανεικό ονομάζεται Ημιαφαιρέτης. Ο Ημιαφαιρέτης έχει δυο εισόδους x και y (τα bit που αφαιρούνται) και δυο εξόδους B (δανεικό) και D (διαφορά).⁷

x	y	B	D
0	0	0	0
0	1	1	1
1	0	0	1
1	1	0	0

$$D=x\oplus y$$

$$B=x'y$$

Εικόνα 3-6. Χάρτης Karnaugh ημιαφαιρέτη.

Πηγή: Διδάσκων.

3.4. Εργαστηριακή Άσκηση 8

3.4.1. Εκφώνιση

Να υλοποιηθεί το κύκλωμα του πλήρους αφαιρέτη τριών bits εισόδου. Υλοποιήστε το κύκλωμα με όσο το δυνατόν λιγότερα ολοκληρωμένα 7404, 7408, 7432 και 7411. Δείξτε αναλυτικά τις συναρτήσεις που βρήκατε, την αντιστοιχία τους με τις πύλες που χρησιμοποιήσατε και επαληθεύστε την σωστή λειτουργία του κυκλώματος χρησιμοποιώντας τον πίνακα αλήθειας για κάθε συνάρτηση.

3.4.2. Παραδοτέα

- i. Ο πίνακας αλήθειας.
- ii. Οι χάρτες Karnaugh, ένας για κάθε συνάρτηση εξόδου.
- iii. Οι απλοποιημένες συναρτήσεις του κυκλώματος.
- iv. Τι παρατηρείτε σε σχέση με την προηγούμενη άσκηση;
- v. Η σχεδίαση του κυκλώματος στο Multisim ή στο Multimedia Logic, μετά την απλοποίηση.

⁷ Βλέπε [3].

3.4.3. Στόχοι

Να κατανοήσουν οι σπουδαστές τη λειτουργία του πλήρους αφαιρέτη, ώστε να μπορούν να τον προσαρμόσουν και για περισσότερα bits εισόδου. Να είναι σε θέση να συνδυάζουν γνώσεις από προηγούμενες ασκήσεις.

3.4.4. Ενδεικτική λύση

Ο πίνακας αλήθειας του πλήρους αφαιρέτη είναι ο εξής:

x	y	z	B	D
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	1	0
1	0	0	0	1
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

Εικόνα 3-7. Πίνακας αλήθειας 8ης Εργαστηριακής Άσκησης.

Πηγή: Διδάσκων.

Δημιουργούμε τους χάρτες Karnaugh των δύο συναρτήσεων εξόδου (χάρτες 3 μεταβλητών).

		y			
	xz	00	01	11	10
x	0		1		1
z	1	1		1	

Εικόνα 3-8. Χάρτης Karnaugh συνάρτησης D.

Πηγή: Διδάσκων.

Η συνάρτηση D είναι η εξής:

$$D(x,y,z) = x'y'z + x'yz + xy'z' + xy'z$$

		B				
		BC	00	01	11	10
A	0		1	1	1	
A	1			1		
		C				

Εικόνα 3-9. Χάρτης Karnaugh συνάρτησης B.

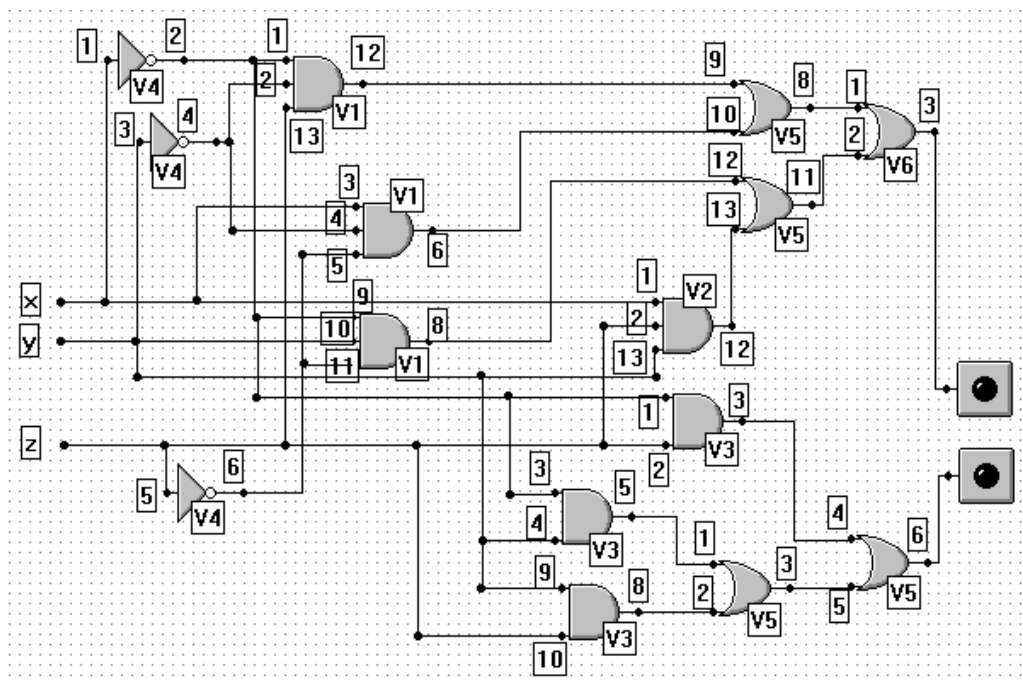
Πηγή: Διδάσκων.

Η συνάρτηση B είναι η εξής:

$$B(x,y,z) = x'z + x'y + yz$$

Παρατηρούμε, ότι η συνάρτηση D είναι ακριβώς ίδια με τη συνάρτηση S_i της προηγούμενης εργαστηριακής άσκησης. Επομένως, μπορούμε να χρησιμοποιήσουμε το μισό σχεδόν κύκλωμα από εκεί.

Το αντίστοιχο απλοποιημένο κύκλωμα (με τη βοήθεια του Multimedia Logic) είναι το εξής:



Εικόνα 3-10. Το κύκλωμα της 8^{ης} Εργαστηριακής Άσκησης.

Πηγή: Διδάσκων.

Τα ολοκληρωμένα που χρησιμοποιήθηκαν μετά την απλοποίηση είναι τα:

- 2 ολοκληρωμένα 7411 – AND τριών εισόδων (V1, V2).
- 1 ολοκληρωμένο 7408 – AND δύο εισόδων (V3).
- 2 ολοκληρωμένα 7432 – OR δύο εισόδων (V5, V6).
- 1 ολοκληρωμένο 7404 – αντιστροφέας NOT (V4).

3.5. Εργαστηριακή Άσκηση 9

3.5.1. Εκφώνηση

Να υλοποιηθεί ένα ψηφιακό κύκλωμα, το οποίο θα μπορεί να πραγματοποιεί πρόσθεση 2 τετραψήφιων δυαδικών αριθμών (nibbles). Θεωρήστε ότι ο πρώτος αριθμός είναι ο A3A2A1A0 και ο δεύτερος ο B3B2B1B0. Το άθροισμα θα εμφανίζεται σε ένα 7-segment display. Θα χρειαστεί να προγραμματίσετε μία PAL στην οποία θα περιέχεται το κύκλωμα του αθροιστή, μία PAL στην οποία θα περιέχεται το κύκλωμα οδήγησης του display και ένα 7-segment display.

3.5.2. Παραδοτέα

- Για την 1^η PAL:
 - Οι πίνακες αλήθειας για το κύκλωμα του αθροιστή
 - Οι χάρτες Karnaugh, ένας για κάθε συνάρτηση εξόδου
 - Οι απλοποιημένες συναρτήσεις του κυκλώματος
 - Τα αρχεία .jed και .pld
- Για τη 2^η PAL:
 - Ο πίνακας αλήθειας για το κύκλωμα οδήγησης του Display
 - Οι απλοποιημένες συναρτήσεις του κυκλώματος
 - Τα αρχεία .jed και .pld
- Η σχεδίαση του κυκλώματος στο Multisim ή στο Multimedia Logic, μετά τις απλοποιήσεις.

3.5.3. Στόχοι

Να εμπεδώσουν οι σπουδαστές τη σημασία χρήσης των PAL. Να είναι σε θέση να συνδυάζουν γνώσεις από προηγούμενες ασκήσεις.

3.5.4. Ενδεικτική Λύση

Ο πίνακας αλήθειας του πλήρους αθροιστή είναι ο εξής:

A0	B0	C0	C1	S0
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

A1	B1	C1	C2	S1
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

A2	B2	C2	C3	S2
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

A3	B3	C3	C4	S3
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Εικόνα 3-11. Πίνακας αλήθειας 9ης Εργαστηριακής Άσκησης (1η PAL).

Πηγή: Διδάσκων.

Ο χάρτης Karnaugh γενικά για τη συνάρτηση S_i είναι ο εξής:

		B				
		BC	00	01	11	10
A	0		1		1	
A	1	1		1		
		C				

Εικόνα 3-12. Χάρτης Karnaugh γενικά της συνάρτησης S_i .

Πηγή: Διδάσκων.

Ο χάρτης Karnaugh γενικά για τη συνάρτηση C_{out} είναι ο εξής:

		B				
		BC	00	01	11	10
A	0			1		
A	1	1	1	1	1	
		C				

Εικόνα 3-13. Χάρτης Karnaugh γενικά της συνάρτησης C_{out} .

Πηγή: Διδάσκων.

Από την άσκηση με τον πλήρη αθροιστή, είχαμε τα εξής:

$$S_i(A, B, C) = A' \cdot B' \cdot C + A' \cdot B \cdot C' + A \cdot B' \cdot C' + A \cdot B \cdot C$$

και

$$C_{out}(A, B, C) = A \cdot C + B \cdot C + A \cdot B$$

Από τους προηγούμενους πίνακες αλήθειας, παρατηρούμε ότι για κάθε ψηφίο που προστίθεται, προκύπτει παρόμοια συνάρτηση εξόδου. Επομένως, οι συναρτήσεις εξόδου του αθροιστή μας είναι:

$$S_0(A_0, B_0, C_0) = A_0' \cdot B_0' \cdot C_0 + A_0' \cdot B_0 \cdot C_0' + A_0 \cdot B_0' \cdot C_0' + A_0' \cdot B_0' \cdot C_0'$$

$$S_1(A_1, B_1, C_1) = A_1' \cdot B_1' \cdot C_1 + A_1' \cdot B_1 \cdot C_1' + A_1 \cdot B_1' \cdot C_1' + A_1' \cdot B_1' \cdot C_1'$$

$$S_2(A_2, B_2, C_2) = A_2' \cdot B_2' \cdot C_2 + A_2' \cdot B_2 \cdot C_2' + A_2 \cdot B_2' \cdot C_2' + A_2 \cdot B_2 \cdot C_2'$$

$$S_3(A_3, B_3, C_3) = A_3' \cdot B_3' \cdot C_3 + A_3' \cdot B_3 \cdot C_3' + A_3 \cdot B_3' \cdot C_3' + A_3 \cdot B_3 \cdot C_3'$$

$$C_1(A_0, B_0, C_0) = A_0 \cdot C_0 + B_0 \cdot C_0 + A_0 \cdot B_0$$

$$C_2(A_1, B_1, C_1) = A_1 \cdot C_1 + B_1 \cdot C_1 + A_1 \cdot B_1$$

$$C_3(A_2, B_2, C_2) = A_2 \cdot C_2 + B_2 \cdot C_2 + A_2 \cdot B_2$$

$$C_4(A_3, B_3, C_3) = A_3 \cdot C_3 + B_3 \cdot C_3 + A_3 \cdot B_3$$

Ο συμπληρωμένος πίνακας αλήθειας της 2^{ης} PAL είναι ο εξής:

ΕΙΣΟΔΟΙ				ΑΚΡΟΔΕΚΤΕΣ 7 SEGMENT DISPLAY							
S3	S2	S1	S0	ΔΕΚΑΕΞΑΔΙΚΟΣ	a	B	C	d	E	f	g
0	0	0	0	0 (0)	0	0	0	0	0	0	1
0	0	0	1	1 (1)	1	0	0	1	1	1	1
0	0	1	0	2 (2)	0	0	1	0	0	1	0
0	0	1	1	3 (3)	0	0	0	0	1	1	0
0	1	0	0	4 (4)	1	0	0	1	1	0	0
0	1	0	1	5 (5)	0	1	0	0	1	0	0
0	1	1	0	6 (6)	0	1	0	0	0	0	0
0	1	1	1	7 (7)	0	0	0	1	1	1	1
1	0	0	0	8 (8)	0	0	0	0	0	0	0
1	0	0	1	9 (9)	0	0	0	0	1	0	0
1	0	1	0	A (A)	0	0	0	1	0	0	0
1	0	1	1	b (b)	1	1	0	0	0	0	0
1	1	0	0	C (C)	0	1	1	0	0	0	1
1	1	0	1	d (d)	1	0	0	0	0	1	0
1	1	1	0	E (E)	0	1	1	0	0	0	0
1	1	1	1	F (F)	0	1	1	1	0	0	0

Εικόνα 3-14. Πίνακας αλήθειας 9ης Εργαστηριακής Άσκησης (2η PAL).

Πηγή: Διδάσκων.

Παρατηρούμε ότι είναι ίδιος με προηγούμενη εργαστηριακή άσκηση. Η μόνη διαφορά είναι ότι το κρατούμενο C4 που προκύπτει από την πρόσθεση των ψηφίων A3, B3 και C3. Στην έξοδο h του display, μπορούμε να ενεργοποιήσουμε την τελεία. Με άλλα λόγια, όταν από την πρόσθεση των αριθμών θα έχει προκύψει στο τέλος αριθμός πάνω από 15, η τελεία θα είναι αναμμένη, αλλιώς θα είναι σβηστή.

Οι συναρτήσεις εξόδου είναι οι εξής:

$$F_a = S_3' \cdot S_2 \cdot S_1' \cdot S_0' + S_3' \cdot S_2' \cdot S_1' \cdot S_0 + S_3 \cdot S_2 \cdot S_1' \cdot S_0 + S_3 \cdot S_2' \cdot S_1 \cdot S_0$$

$$F_b = S_3 \cdot S_2 \cdot S_1' \cdot S_0' + S_3' \cdot S_2 \cdot S_1' \cdot S_0 + S_3 \cdot S_1 \cdot S_0 + S_2 \cdot S_3 \cdot S_0'$$

$$F_c = S_3 \cdot S_2 \cdot S_1' \cdot S_0' + S_3' \cdot S_2' \cdot S_1 \cdot S_0' + S_3 \cdot S_2 \cdot S_1$$

$$F_d = S_3' \cdot S_2 \cdot S_1' \cdot S_0' + S_3' \cdot S_2' \cdot S_1' \cdot S_0 + S_3 \cdot S_2' \cdot S_1 \cdot S_0' + S_2 \cdot S_1 \cdot S_0$$

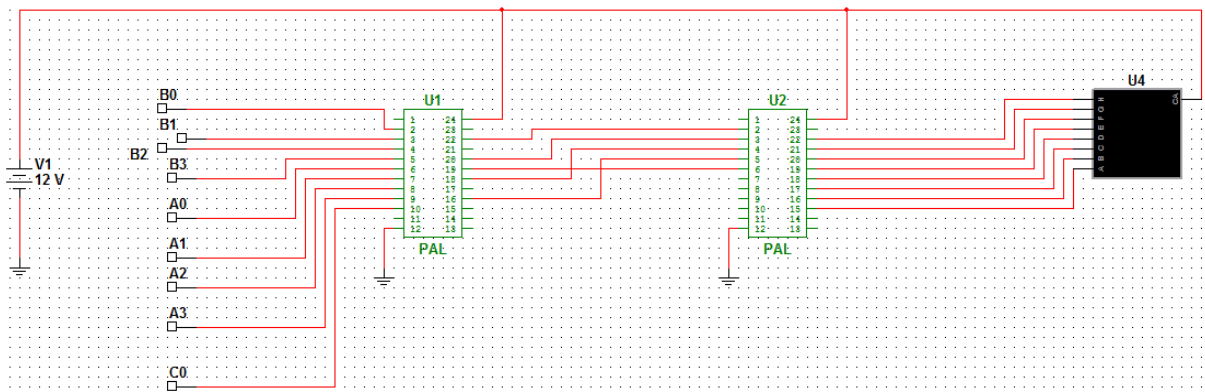
$$F_e = S_3' \cdot S_2 \cdot S_1' \cdot S_0' + S_3' \cdot S_0 + S_3 \cdot S_2' \cdot S_1' \cdot S_0$$

$$F_f = S_3 \cdot S_2 \cdot S_1' \cdot S_0 + S_3' \cdot S_2' \cdot S_0 + S_3' \cdot S_1 \cdot S_0 + S_3' \cdot S_2' \cdot S_3$$

$$F_g = S_3 \cdot S_2 \cdot S_1' \cdot S_0' + S_3' \cdot S_2 \cdot S_1 \cdot S_0 + S_3' \cdot S_2' \cdot S_1'$$

$$F_h = S_0 \cdot S_1 \cdot S_2 \cdot S_3 \cdot C_4'$$

Το αντίστοιχο απλοποιημένο κύκλωμα (με τη βοήθεια του Multisim) είναι το εξής:



Εικόνα 3-15 – Το κύκλωμα της 9^{ης} Εργαστηριακής Άσκησης.

Πηγή: Διδάσκων.

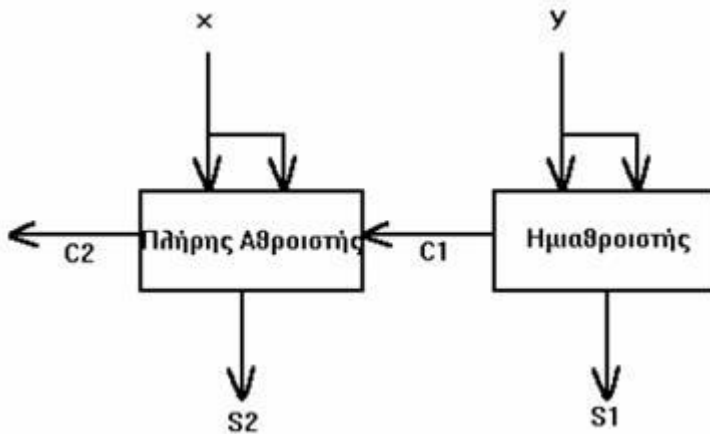
Τα ολοκληρωμένα που χρησιμοποιήθηκαν μετά την απλοποίηση είναι τα:

2 PAL (g20v8a)

Μέσω του wincpl, φτιάχτηκαν και προγραμματίστηκαν οι 2 PAL. Τα αποτελέσματα παρατίθενται στο Παράρτημα Α.

3.6. Προτεινόμενες Ασκήσεις

- a) Να σχεδιάσετε έναν Ημιαφαιρέτη (Half Subtractor) χρησιμοποιώντας έναν Ημιαθροιστή (Half Adder) και δύο πύλες NOT.
- b) Δίνεται το παρακάτω συνδυαστικό κύκλωμα:
 - i. Να βρεθούν οι συναρτήσεις εξόδου C2, S2 και S1.
 - ii. Να εξηγήσετε την λειτουργία του κυκλώματος.



4. ΚΕΦΑΛΑΙΟ 4: ΑΚΟΛΟΥΘΙΑΚΑ ΚΥΚΛΩΜΑΤΑ

Τα ψηφιακά κυκλώματα που ασχοληθήκαμε μέχρι στιγμής, ήταν συνδυαστικά κυκλώματα (combinational circuits). Στα συνδυαστικά κυκλώματα οι εξοδοι σε κάθε χρονική στιγμή εξαρτώνται αποκλειστικά και μόνο από τις εισόδους οι οποίες εφαρμόζονται την συγκεκριμένη εκείνη στιγμή. Δεν εξαρτώνται ούτε από την σειρά με την οποία αυτές οι εισοδοι εφαρμόστηκαν, ούτε από την κατάσταση του κυκλώματος πριν αυτές εφαρμοσθούν. Όμως, ανεξάρτητα από το μέγεθος ή την πολυπλοκότητα ενός ψηφιακού κυκλώματος, η χρονική σειρά (ακολουθία) των γεγονότων είναι πολλές φορές καθοριστικής σημασίας, και πρέπει να ληφθεί υπόψη στο σχεδιασμό του ψηφιακού κυκλώματος.

Σκοπός του κεφαλαίου αυτού είναι η μελέτη των σύγχρονων ακολουθιακών κυκλωμάτων. Τα κυκλώματα αυτά αποτελούνται από Flip Flops των οποίων η λειτουργία συγχρονίζεται από τους παλμούς ενός και μόνον ρολογιού. Στην ουσία, αποτελούν το βασικό κύτταρο μνήμης του ενός bit.

4.1. Τα Flip-Flop

4.1.1. Η λειτουργία του Flip – Flop

Το flip-flop έχει μία ή δύο σύγχρονες εισόδους και δύο εξόδους, την κατάσταση του flip-flop που συμβολίζεται με Q και το συμπλήρωμά της που συμβολίζεται με Q'. Έχει μία είσοδο ρολογιού (clock), η άφιξη των παλμών του οποίου είναι υπεύθυνη για την

πιθανή αλλαγή της κατάστασης του flip-flop, ανάλογα με τα δεδομένα των σύγχρονων εισόδων του. Η διαδικασία αυτή ονομάζεται σκανδαλισμός (triggering).⁸

Το flip-flop έχει δύο ασύγχρονες εισόδους CLEAR και PRESET που υπερισχύουν των σύγχρονων εισόδων και μπορούν να οδηγήσουν την έξοδο, ανεξάρτητα του παλμού ρολογιού.

Ο πίνακας λειτουργίας του φαίνεται στον ακόλουθο πίνακα:

Πίνακας 4-1. Ο πίνακας λειτουργίας του Flip-Flop

CLEAR	PRESET	ΛΕΙΤΟΥΡΓΙΑ
0	0	Αχρησιμοποίητη Κατάσταση
0	1	Ασύγχρονος Μηδενισμός
1	0	Ασύγχρονη Θέση
1	1	Σύγχρονη Λειτουργία

4.1.2. Η διέγερση του Flip- Flop

Τα flip-flop διεγείρονται με τους παλμούς του ρολογιού (clock) τους. Οι παλμοί του ρολογιού μπορεί να είναι θετικοί ή αρνητικοί. Μία πηγή θετικών παλμών ρολογιού παραμένει στο “0” κατά το διάστημα μεταξύ παλμών και πάει στο “1” κατά τη διάρκεια του παλμού. Μία πηγή αρνητικών παλμών ρολογιού παραμένει στο “1” κατά το διάστημα μεταξύ παλμών και πάει στο “0” κατά τη διάρκεια του παλμού.

4.1.3. Τα JK Flip-Flop

Η χαρακτηριστική εξίσωση των JK Flip-Flop είναι η εξής:

$$Q(t+1)=JQ'(t)+K'Q(t)$$

Ο πίνακας διέγερσής του είναι ο εξής:

Πίνακας 4-2. Πίνακας διέγερσης JK Flip-Flop

Q(t)	Q(t+i)	J	K
0	0	0	X
0	1	1	X
1	0	X	1

⁸ Βλέπε [3].

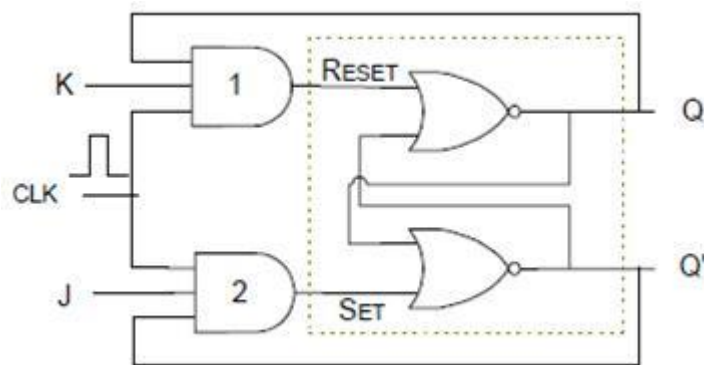
Q(t)	Q(t+i)	J	K
1	1	X	0

Ο χαρακτηριστικός του πίνακας είναι ο εξής:

Πίνακας 4-3 – Χαρακτηριστικός πίνακας JK Flip-Flop

T	Q(t+i)	ΛΕΙΤΟΥΡΓΙΑ
0	Q(t)	Αμετάβλητη Κατάσταση
1	Q'(t)	Αντιστροφή (Toggle)

Ένα JK Flip-Flop, βλέπουμε στην ακόλουθη εικόνα:



Εικόνα 4-1. JK Flip-Flop.

Πηγή: Διδάσκων.

4.1.4. Τα T Flip-Flop

Η χαρακτηριστική εξίσωση των T Flip-Flop είναι η εξής:

$$Q(t+1) = TQ'(t) + T'Q(t)$$

Ο πίνακας διέγερσής του είναι ο εξής:

Πίνακας 4-4. Πίνακας διέγερσης T Flip-Flop

Q(t)	Q(t+1)	T
0	0	0
0	1	1
1	0	1

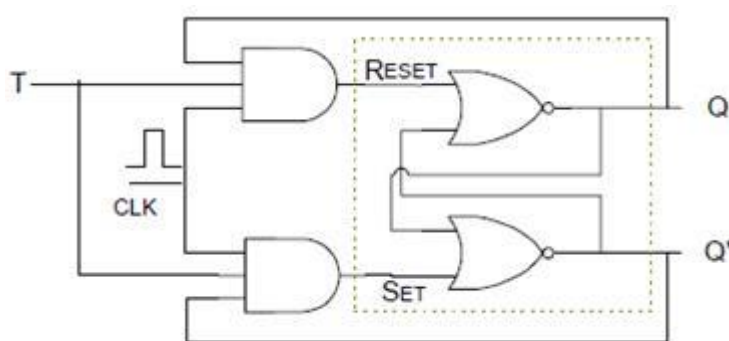
Q(t)	Q(t+1)	T
1	1	0

Ο χαρακτηριστικός του πίνακας είναι ο εξής:

Πίνακας 4-5 – Χαρακτηριστικός πίνακας T Flip-Flop

T	Q(t+i)	ΛΕΙΤΟΥΡΓΙΑ
0	Q(t)	Αμετάβλητη Κατάσταση
1	Q'(t)	Αντιστροφή (Toggle)

Ένα T Flip-Flop, βλέπουμε στην ακόλουθη εικόνα:



Εικόνα 4-2 – T Flip-Flop.

Πηγή: Διδάσκων.

4.1.5. Τα D Flip-Flop

Η χαρακτηριστική εξίσωση των D Flip-Flop είναι η εξής: $Q(t+1)=D$

Ο πίνακας διέγερσής του είναι ο εξής:

Πίνακας 4-6 . Πίνακας διέγερσης D Flip-Flop

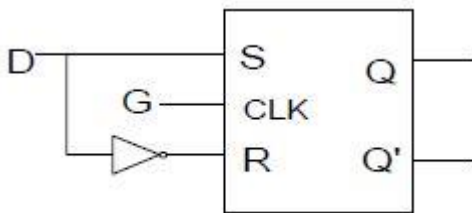
Q(t)	Q(t+1)	D
0	0	0
0	1	1
1	0	0
1	1	1

Ο χαρακτηριστικός του πίνακας είναι ο εξής:

Πίνακας 4-7 . Χαρακτηριστικός πίνακας D Flip-Flop

D	Q(t+i)	ΛΕΙΤΟΥΡΓΙΑ
0	0	Σύγχρονος Μηδενισμός
1	1	Σύγχρονη Θέση

Ένα D Flip-Flop, βλέπουμε στην ακόλουθη εικόνα:



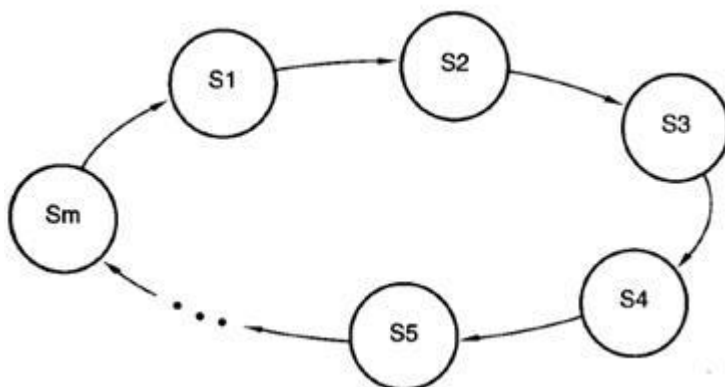
Εικόνα 4-3. D Flip-Flop.

Πηγή: Διδάσκων.

4.1.6. Μετρητές

Οποιοδήποτε ακολουθιακό κύκλωμα του οποίου το διάγραμμα καταστάσεων περιλαμβάνει μόνο ένα κύκλο είναι ένας μετρητής (counter). Ο αριθμός καταστάσεων του κύκλου ονομάζεται υπόλοιπο διαίρεσης του μετρητή (modulus).⁹

Ένας μετρητής με m καταστάσεις ονομάζεται μετρητής υπολοίπου διαίρεσης ως προς m (modulo- m counter). Όταν $m \neq 2^k$ ο μετρητής έχει επιπλέον καταστάσεις που δε χρησιμοποιούνται στη κανονική του λειτουργία. Όταν $m=2^k$, έχουμε έναν δυαδικό μετρητή που περνάει από τις τιμές $0, 1, \dots, 2^k-1, 0, 1, \dots$



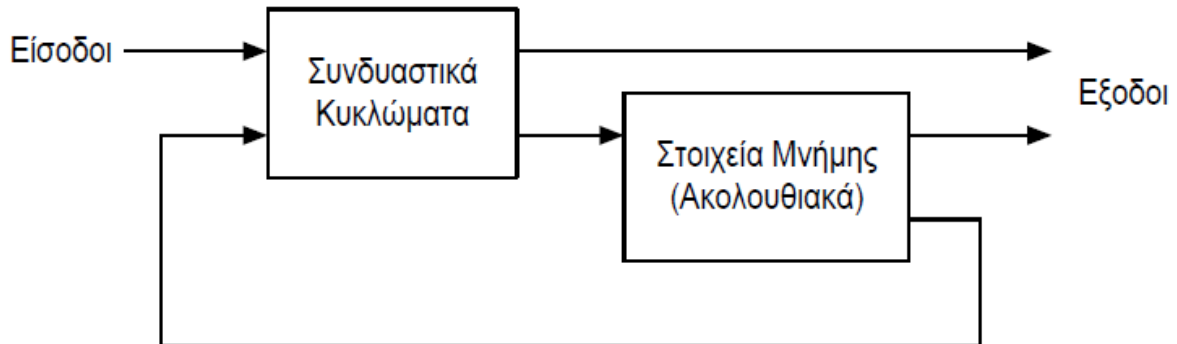
Εικόνα 4-4 . Μετρητής.

⁹ Βλέπε [1].

Πηγή: Διδάσκων.

4.2. Ανάλυση και σχεδίαση ακολουθιακών κυκλωμάτων

Το γενικό μοντέλο ενός πλήρους κυκλώματος είναι το εξής¹⁰:



Εικόνα 4-5. Το γενικό μοντέλο ενός πλήρους κυκλώματος.

Η ανάλυση ενός ακολουθιακού κυκλώματος, γίνεται σε τρία βήματα ως εξής¹¹:

- i. Γράφουμε τις συναρτήσεις εισόδου των FFs (Flip-Flop).
- ii. Καταστρώνουμε τον πίνακα καταστάσεων.
- iii. Σχεδιάζουμε το διάγραμμα καταστάσεων.

Πολύ χρήσιμες είναι οι εξής παρατηρήσεις:

- Ο πίνακας καταστάσεων αποτελείται από τρία ή τέσσερα τμήματα, ανάλογα με το αν το προς ανάλυση κύκλωμα έχει ή δεν έχει εξωτερικές εξόδους. Το πλήθος των γραμμών (δυνατών περιπτώσεων) του πίνακα καταστάσεων εξαρτάται από το πλήθος των FFs του κυκλώματος και το πλήθος των εξωτερικών εισόδων.
- Έτσι, αν ένα ακολουθιακό κύκλωμα αποτελείται από n FFs (n καταστάσεις) και m εξωτερικές εισοδοί εφαρμόζονται σ' αυτό, τότε το πλήθος των δυνατών συνδυασμών που θα περιέχει ο πίνακας καταστάσεων θα ισούται με $2n+m$.
- Το διάγραμμα καταστάσεων αποτελεί μια εποπτική αναπαράσταση του πίνακα καταστάσεων. Με άλλα λόγια, το διάγραμμα και ο πίνακας καταστάσεων ενός κυκλώματος παρέχουν την ίδια πληροφορία.
- Οι ωρολογιακοί παλμοί δεν περιλαμβάνονται στον πίνακα ή στο διάγραμμα καταστάσεων ενός κυκλώματος.
- Για την ανάλυση ενός ακολουθιακού κυκλώματος είναι απαραίτητοι οι

¹⁰ Βλέπε [1].

¹¹ Βλέπε [2].

πίνακες λειτουργίας των FFs του κυκλώματος.

- Το τμήμα του πίνακα καταστάσεων το οποίο περιέχει τις τιμές των εξωτερικών εξόδων ενός τέτοιου κυκλώματος, συμπληρώνεται με βάση τις τιμές της παρούσας κατάστασης και των πιθανών εξωτερικών εισόδων, δηλαδή τις τιμές του πρώτου τμήματος του πίνακα καταστάσεων και όχι με βάση τις τιμές της επόμενης κατάστασης.

4.3. Εργαστηριακή Άσκηση 10

4.3.1. Εκφώνηση

Σχεδιάστε ένα ακολουθιακό κύκλωμα με 2 D-Flip Flop Q1 και Q0 , και μία είσοδο X. Όταν X=0 η κατάσταση του κυκλώματος θα παραμένει η ίδια. Όταν X=1, στο κύκλωμα γίνονται μεταβάσεις καταστάσεων από 00 σε 01 σε 11 σε 10 πίσω στην 00 κ.ο.κ.

Το κύκλωμα θα υλοποιηθεί σε δύο τμήματα (σε δύο PAL). Το πρώτο τμήμα θα αποτελείται από 2 D-Flip Flop τα Q1, Q0 και τις απαιτούμενες πύλες και θα εμφανίζει τις εξόδους των πυλών σε δύο LED. Θα δέχεται παλμούς από μια γεννήτρια τετραγωνικών παλμών.

Το δεύτερο τμήμα θα λαμβάνει σαν εισόδους τις εξόδους των Flip Flop και θα εμφανίζει στον ενδείκτη (LED Display κοινής ανόδου) το αντίστοιχο γράμμα (A,E,F,H).

Οι αριθμοί A,e,f,h θα εμφανίζονται στις αντίστοιχες καταστάσεις εξόδου του πρώτου τμήματος 00, 01, 10, 11.

4.3.2. Παραδοτέα

- Για την 1^η PAL:
 - Οι πίνακες αλήθειας για το τμήμα των D-Flip Flop
 - Οι χάρτες Karnaugh, ένας για κάθε συνάρτηση εξόδου
 - Οι απλοποιημένες συναρτήσεις του κυκλώματος
 - Τα αρχεία .jed και .pld
- Για τη 2^η PAL:
 - Ο πίνακας αλήθειας για το κύκλωμα οδήγησης του Display
 - Οι απλοποιημένες συναρτήσεις του κυκλώματος
 - Τα αρχεία .jed και .pld
- Η σχεδίαση του κυκλώματος στο Multisim ή στο Multimedia Logic, μετά τις απλοποιήσεις.

4.3.3. Στόχοι

Να κατανοήσουν οι σπουδαστές τη χρήση των flip-flop. Να είναι σε θέση να σχεδιάζουν ακολουθιακά κυκλώματα με ή χωρίς εξωτερικές εισόδους.

4.3.4. Ενδεικτική λύση

Ο πίνακας αλήθειας της 1^{ης} PAL είναι ο εξής:

x	Q_1	Q_0	D_1	D_0
0	0	0	0	0
0	0	1	0	1
0	1	0	1	0
0	1	1	1	1
1	0	0	0	1
1	0	1	1	1
1	1	0	0	0
1	1	1	1	1

Εικόνα 4-6. Πίνακας αλήθειας 10ης Εργαστηριακής Άσκησης (1η PAL).

Πηγή: Διδάσκων.

Ο χάρτης Karnaugh για το D_1 είναι ο εξής:

		Q_1			
		00	01	11	10
x	Q_0			1	1
0				1	1
1			1	1	
		Q_0			

Εικόνα 4-7. Χάρτης Karnaugh της συνάρτησης D_1 .

Πηγή: Διδάσκων.

Επομένως, η συνάρτηση D_1 είναι:

$$D_1 = x \cdot Q_0 + x' \cdot Q_1$$

Ο χάρτης Karnaugh για το D_0 είναι ο εξής:

		Q_1			
$Q_1 Q_0$	x	00	01	11	10
0			1	1	
1	x	1	1		
		Q_0			

Εικόνα 4-8. Χάρτης Karnaugh της συνάρτησης D_0 .

Επομένως, η συνάρτηση D_0 είναι:

$$D_0 = x \cdot Q_1' + x' \cdot Q_0$$

Στο wincuhl, δεν πρέπει να ξεχάσουμε ότι τις συναρτήσεις θα τις ονομάσουμε d1.d και d0.d για να ενεργοποιηθεί το flip-flop.

Ο συμπληρωμένος πίνακας αλήθειας της 2^{ης} PAL είναι ο εξής:

ΕΙΣΟΔΟΙ		ΔΕΚΑΕΞΑΔΙΚΟΣ	ΑΡΧΟΔΕΚΤΕΣ 7 SEGMENT DISPLAY						
Q_1	Q_0		a	b	c	d	e	f	g
0	0	A (A)	0	0	0	1	0	0	0
0	1	E (E)	0	1	1	0	0	0	0
1	0	F (F)	0	1	1	1	0	0	0
1	1	H (H)	1	0	0	1	0	0	0

Εικόνα 4-9. Πίνακας αλήθειας 10ης Εργαστηριακής Άσκησης (2η PAL).

Πηγή: Διδάσκων.

Οι συναρτήσεις εξόδου είναι οι εξής:

$$F_a = Q_1 \cdot Q_0$$

$$F_b = Q_1 \cdot \overline{Q_0} + Q_0 \cdot \overline{Q_1}$$

$$F_c = \overline{Q_1} \cdot Q_0 + Q_0 \cdot Q_1 = F_b$$

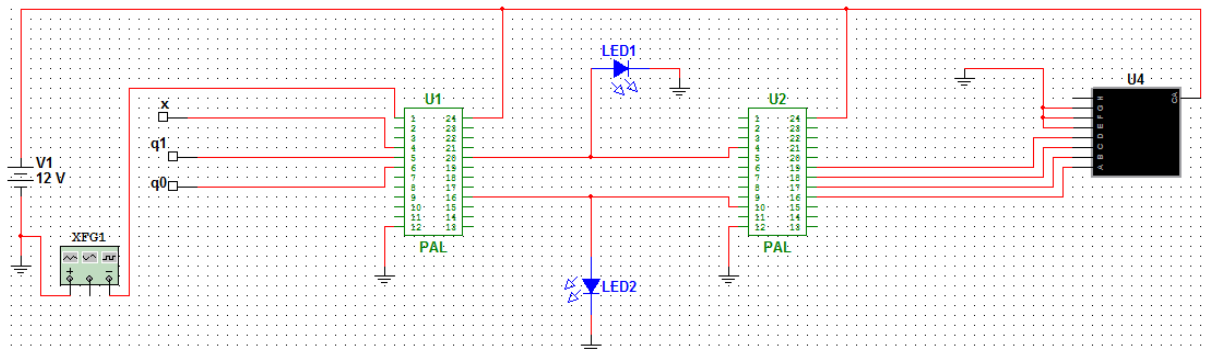
$$F_d = \overline{Q_0} + Q_1$$

$$F_e = 0$$

$$F_f = 0$$

$$F_g = 0$$

Το αντίστοιχο απλοποιημένο κύκλωμα (με τη βοήθεια του Multisim) είναι το εξής:



Εικόνα 4-10. Το κύκλωμα της 10^{ης} Εργαστηριακής Άσκησης.

Τα ολοκληρωμένα που χρησιμοποιήθηκαν μετά την απλοποίηση είναι τα:

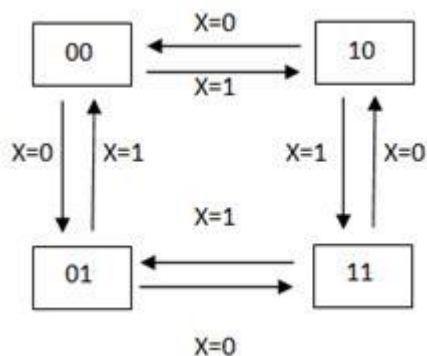
- 2 PAL (g20v8a).

Μέσω του wincupl, φτιάχτηκαν και προγραμματίστηκαν τα οι PAL. Τα αποτελέσματα παρατίθενται στο Παράρτημα Α.

4.4. Εργαστηριακή Άσκηση 11

4.4.1. Εκφώνηση

Σχεδιάστε ένα ακολουθιακό κύκλωμα με 2 D-Flip Flop Q1 και Q0 , και μία είσοδο X. Το κύκλωμα θα πραγματοποιεί τις παρακάτω μεταβάσεις $00 \leftrightarrow 10 \leftrightarrow 11 \leftrightarrow 01 \leftrightarrow 00$ κ.ο.κ. Όταν $X=1$ θα επιλέγεται η δεξιά φορά εναλλαγής των καταστάσεων ενώ για $X=0$ θα επιλέγεται η αριστερή φορά σύμφωνα με το παρακάτω σχήμα.



- Να δοθεί ο πίνακας επόμενων καταστάσεων του κυκλώματος.
- Να γραφούν οι εξισώσεις εισόδου για κάθε flip flop.
- Να γραφούν οι εξισώσεις έτσι ώστε να χρησιμοποιηθούν στο πρόγραμμα Wincupl.

Η υλοποίηση του κυκλώματος θα γίνει με μια PAL.

Στη συνέχεια να υλοποιηθεί η απεικόνιση των παραπάνω καταστάσεων. Το κύκλωμα απεικόνισης θα λαμβάνει σαν εισόδους τις εξόδους των Flip Flop και θα εμφανίζει στον ενδείκτη το αντίστοιχο αριθμό (7,5,3,1). Το τμήμα αυτό θα υλοποιηθεί με μια δεύτερη PAL. Οι αριθμοί **7,5,3,1** θα εμφανίζονται στις αντίστοιχες καταστάσεις εξόδου του πρώτου τμήματος 00, 01, 10, 11.

4.4.2. Παραδοτέα

- i. Για την 1^η PAL:
 - i.1 Οι πίνακες αλήθειας για το τμήμα των D-Flip Flop
 - i.2 Οι χάρτες Karnaugh, ένας για κάθε συνάρτηση εξόδου
 - i.3 Οι απλοποιημένες συναρτήσεις του κυκλώματος
 - i.4 Τα αρχεία .jed και .pld
- ii. Για τη 2^η PAL:
 - ii.1 Ο πίνακας αλήθειας για το κύκλωμα οδήγησης του Display
 - ii.2 Οι απλοποιημένες συναρτήσεις του κυκλώματος
 - ii.3 Τα αρχεία .jed και .pld
- iii. Η σχεδίαση του κυκλώματος στο Multisim ή στο Multimedia Logic, μετά τις απλοποιήσεις.

4.4.3. Στόχοι

Να κατανοήσουν οι σπουδαστές τη χρήση των flip-flop. Να είναι σε θέση να συνδυάζουν γνώσεις από προηγούμενες ασκήσεις.

4.4.4. Ενδεικτική λύση

Ο πίνακας αλήθειας του 1^{ης} PAL είναι ο εξής:

		i=0		i=1	
Q1	Q0	D1	D0	D1	D0
0	0	0	1	1	0
0	1	1	1	0	0
1	0	0	0	1	1
1	1	1	0	0	1

Εικόνα 4-11. Πίνακας αλήθειας 11^{ης} Εργαστηριακής Άσκησης (1η PAL).

Πηγή: Διδάσκων.

Ή αλλιώς:

X	Q1	Q0	D1	D0
0	0	0	0	1
0	0	1	1	1
0	1	0	0	0
0	1	1	1	0
1	0	0	1	0
1	0	1	0	0
1	1	0	1	1
1	1	1	0	1

Εικόνα 4-12. Διαφορετική μορφή του Πίνακα αλήθειας 11^{ης} Εργαστηριακής Άσκησης (1η PAL).

Πηγή: Διδάσκων.

Ο χάρτης Karnaugh για το D1 είναι ο εξής:

		Q ₁			
		Q ₀			
	Q ₁ Q ₀	00	01	11	10
x	0		1	1	
ε	1	1			1

Εικόνα 4-13. Χάρτης Karnaugh της συνάρτησης D₁.

Πηγή: Διδάσκων.

Επομένως, η συνάρτηση D₁ είναι:

$$D1 = x \cdot Q_0' + x' \cdot Q_0$$

Ο χάρτης Karnaugh για το D₀ είναι ο εξής:

		Q_1			
$Q_1 Q_0$	$\bar{Q}_1 \bar{Q}_0$	00	01	11	10
\bar{Q}_1	0	1	1		
Q_1	1			1	1
		Q_0			

Εικόνα 4-14. Χάρτης Karnaugh της συνάρτησης D_0 .

Πηγή: Διδάσκων.

Επομένως, η συνάρτηση D_0 είναι:

$$D_0 = x' \cdot Q_1' + x \cdot Q_1$$

Στο wincupr, δεν πρέπει να ξεχάσουμε ότι τις συναρτήσεις θα τις ονομάσουμε $d_{1,d}$ και $d_{0,d}$ για να ενεργοποιηθεί το flip-flop.

Ο συμπληρωμένος πίνακας αλήθειας της 2^{ης} PAL είναι ο εξής:

ΕΙΣΟΔΟΙ			ΑΡΧΟΔΕΚΤΕΣ 7 SEGMENT DISPLAY						
Q_1	Q_0	ΔΕΚΑΕΞΑΔΙΚΟΣ	a	b	c	d	e	f	g
0	0	7	0	0	0	1	1	1	1
0	1	5	0	1	0	0	1	0	0
1	0	3	0	0	0	0	1	1	0
1	1	1	1	0	0	1	1	1	1

Εικόνα 4-15. Πίνακας αλήθειας 11ης Εργαστηριακής Άσκησης (2η PAL).

Πηγή: Διδάσκων.

Οι συναρτήσεις εξόδου είναι οι εξής:

$$F_a = Q_1 \cdot Q_0$$

$$F_b = Q_0 \cdot \bar{Q}_1$$

$$F_c = 0$$

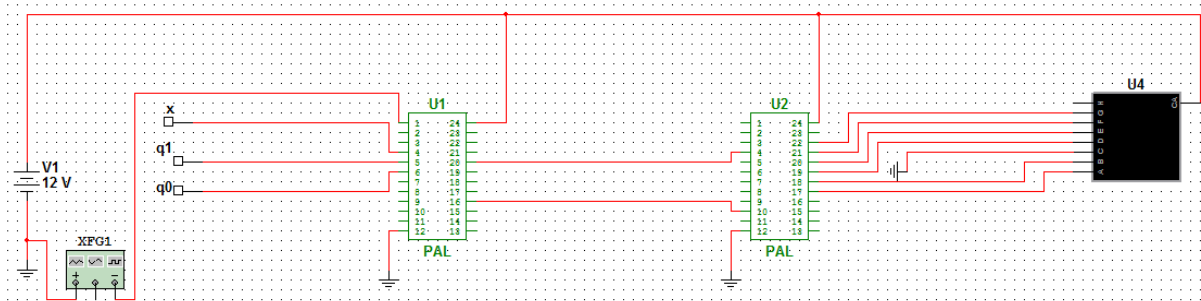
$$F_d = \bar{Q}_0 \cdot \bar{Q}_1 + Q_0 \cdot Q_1$$

$$F_e = 1$$

$$F_f = Q_1 + \bar{Q}_0$$

$$Fg = \overline{Q_0} \cdot \overline{Q_1} + Q_0 \cdot Q_1 = Fd$$

Το αντίστοιχο απλοποιημένο κύκλωμα (με τη βοήθεια του Multisim) είναι το εξής:



Εικόνα 4-16 – Το κύκλωμα της 11^{ης} Εργαστηριακής Άσκησης.

Πηγή: Διδάσκων.

Τα ολοκληρωμένα που χρησιμοποιήθηκαν μετά την απλοποίηση είναι τα:

2 PAL (g20v8a).

Μέσω του wincpl, φτιάχτηκαν και προγραμματίστηκαν οι 2 PAL. Τα αποτελέσματα παρατίθενται στο Παράρτημα Α.

4.5. Εργαστηριακή Άσκηση 12

4.5.1. Εκφώνηση

Στις προηγούμενες ασκήσεις υλοποιήσατε τα τμήματα του κυκλώματος λειτουργίας ενός συστήματος κεντρικής θέρμανσης. Στην σημερινή άσκηση θα ολοκληρώσουμε το σύστημα προσθέτοντας και τη λειτουργία του καυστήρα.

Συγκεκριμένα, ο καυστήρας θα ανάβει όταν η θερμοκρασία του νερού είναι κάτω από 50 βαθμούς, θα συνεχίζει να είναι αναμμένος μέχρι τα νερά να φτάσει στους 80 βαθμούς και θα σβήνει όσο η θερμοκρασία του νερού πέφτει, μέχρι να φτάσει ξανά κάτω από 50 βαθμούς. Η λειτουργία του συστήματος του καυστήρα φαίνεται στον παρακάτω πίνακα, όπου υπάρχουν πέντε καταστάσεις και η θερμοκρασία του νερού δίνεται από δύο θερμοστάτες T3 και T4.

		T3 T4					
ΚΑΤΑΣΤΑΣΗ	Q2 Q1 Q0	00	01	10	11	ΚΑΥΣΤ ΗΡΑΣ	
Θ < 50							
Θ > 80							
50 < Θ < 80, Θ ▲							
50 < Θ < 80, Θ ▼							
Ειρήνη							

Επί πλέον, δύο θερμοστάτες T1 και T2, εγκατεστημένοι σε δύο διαμερίσματα ελέγχουν τις ηλεκτροβάνες ΗΛ1 και ΗΛ2, που αντιστοιχούν στα δύο διαμερίσματα και τον κυκλοφορητή ΚΥΚΛ.

A) Θα χρησιμοποιήσετε μια PAL στην οποία θα έχετε ως εισόδους τα T1, T2, T3, T4, Q2, Q1 και Q0 και εξόδους τα ΗΛ1, ΗΛ2 και ΚΥΚΛ, ΚΑΥΣΤΗΡΑ και d2, d1, d0 που αντιστοιχούν στις πέντε καταστάσεις του συστήματος που ελέγχει τον καυστήρα.

B) Θα χρησιμοποιήσετε μια δεύτερη PAL που θα έχει ως εισόδους τα d2, d1, d0 και θα οδηγήει ένα HEX display, που θα δείχνει την κατάσταση στην οποία βρίσκεται το σύστημα.

Γ) Θα σχεδιάσετε το συνολικό σχέδιο του συστήματος θέρμανσης στο Multisim ή στο Multimedia Logic. Για τις PAL θα δημιουργήσετε ένα νέο Ολοκληρωμένο, με τους απαιτούμενους ακροδέκτες εισόδων και εξόδων.

4.5.2. Παραδοτέα

- i. Για την 1^η PAL:
 - i.1 Οι πίνακες αλήθειας για το τμήμα των D-Flip Flop
 - i.2 Οι χάρτες Karnaugh, ένας για κάθε συνάρτηση εξόδου
 - i.3 Οι απλοποιημένες συναρτήσεις του κυκλώματος
 - i.4 Τα αρχεία .jed και .pld
- ii. Για τη 2^η PAL:
 - ii.1 Ο πίνακας αλήθειας για το κύκλωμα οδήγησης του Display
 - ii.2 Οι απλοποιημένες συναρτήσεις του κυκλώματος
 - ii.3 Τα αρχεία .jed και .pld
- iii. Η σχεδίαση του κυκλώματος στο Multisim ή στο Multimedia Logic, μετά τις απλοποιήσεις.

4.5.3. Στόχοι

Να κατανοήσουν οι σπουδαστές τη χρήση των flip-flop. Να αντιληφθούν το λόγο ύπαρξης αυτών των εργαστηριακών ασκήσεων και το κατά πόσο συναντώνται στην καθημερινότητα.

4.5.4. Ενδεικτική Λύση

Το κύκλωμα αποτελείται από πέντε καταστάσεις:

A: Νερό <50 °C

B: Νερό >80 °C

C: 50 °C <Νερό<80 °C (Ζεσταίνεται)

D: 50 °C <Νερό<80 °C (Ψύχεται)

E: Βλάβη

Έτσι μπορούμε, χρησιμοποιώντας αυτές τις καταστάσεις να συμπληρώσουμε τον πίνακα ο οποίος θα μας δείχνει την παρούσα κατάσταση στην οποία βρίσκεται το σύστημα μας και ανάλογα και με τις ενδείξεις των θερμοστατών T3, T4 θα μεταβαίνει σε μια άλλη κατάσταση και τότε θα έχουμε και αλλαγή ή όχι στον καυστήρα μας.

ΚΑΤΑΣΤΑΣΗΣ	Q2 Q1 Q0	T3 T4				ΚΑΥΣΤΗΡΑΣ
		00	01	10	11	
0<60	A	B	C	E	A	1
0>80	B	B	D	E	A	0
60<0<80, 0▲	C	B	C	E	A	1
60<0<80, 0▼	D	B	D	E	A	0
Ειλόβη	E	E	E	E	E	0

Εικόνα 4-17. Πίνακας καταστάσεων.

Πηγή: Διδάσκων.

Αρχικά, θα αντικαταστήσουμε κάθε γράμμα με έναν μοναδικό 3 bit αριθμό:

Πίνακας 4- 4-8. Πίνακας συνδυασμών καταστάσεων.

Πηγή: Διδάσκων.

	Q2	Q1	Q0
A	0	0	0
B	0	0	1
C	0	1	0
D	0	1	1
E	1	1	1

Επομένως, αν κάνουμε «αντικατάσταση», προκύπτει ο εξής πίνακας:

Πίνακας 4-9. Ο Πίνακας 4-8 μετά από αντικατάσταση.

Πηγή: Διδάσκων.

ΚΑΤΑΣΤΑΣΗΣ	Q2 Q1 Q0	T3 T4				ΚΑΥΣΤΗΡΑΣ
		00	01	10	11	
0<60	000	001	010	111	000	1
0>80	001	001	011	111	000	0
60<0<80, 0▲	010	001	010	111	000	1
60<0<80, 0▼	011	001	011	111	000	0
Ειλόβη	111	111	111	111	111	0

Καταγράφουμε τον πίνακα αλήθειας της 1^{ης} PAL:

ΕΙΣΟΔΟΙ					ΕΞΟΔΟΙ		
Q2	Q1	Q0	T3	T4	D2	D1	D0
0	0	0	0	0	0	0	1
0	0	0	0	1	0	1	0
0	0	0	1	0	1	1	1
0	0	0	1	1	0	0	0
0	0	1	0	0	0	0	1
0	0	1	0	1	0	1	1
0	0	1	1	0	1	1	1
0	0	1	1	1	0	0	0
0	1	0	0	0	0	0	1
0	1	0	0	1	0	1	0
0	1	0	1	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	0	0	0	1
0	1	1	0	1	0	1	1
0	1	1	1	0	1	1	1
0	1	1	1	1	0	0	0
1	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0
1	0	0	1	0	0	0	0
1	0	0	1	1	0	0	0
1	0	1	0	0	0	0	0
1	0	1	0	1	0	0	0
1	0	1	1	0	0	0	0
1	0	1	1	1	0	0	0
1	1	0	0	0	0	0	0
1	1	0	0	1	0	0	0
1	1	0	1	0	0	0	0
1	1	0	1	1	0	0	0
1	1	1	0	0	1	1	1
1	1	1	0	1	1	1	1
1	1	1	1	0	1	1	1
1	1	1	1	1	1	1	1

Εικόνα 4-18. Πίνακας Αλήθειας 12^{ης} Εργαστηριακής Άσκησης (1η PAL).

Πηγή: Διδάσκων.

Έχουμε χάρτες 5 μεταβλητών, οπότε θα κάνουμε εις διπλούν την κατάρτισή τους, μία φορά με $Q2=0$ και μία με $Q1=0$, για κάθε συνάρτηση εξόδου.

Ο χάρτης Karnaugh για το D2 είναι ο εξής:

Αρχικά, για $Q2=0$:

		T3			
T3T4		00	01	11	10
Q1Q0	00				1
	01				1
Q1	11				1
	10				1
		T4			

Εικόνα 4-19. Χάρτης Karnaugh συνάρτησης D₂ με Q₂=0.

Πηγή: Διδάσκων.

Για Q₂=0, η συνάρτηση D₂ είναι:

$$D_2 = Q_2' \cdot T_3 \cdot T_4'$$

Για Q₂=1, έχουμε:

		T3			
T3T4		00	01	11	10
Q1Q0	00				
	01				
Q1	11	1	1	1	1
	10				
		T4			

Εικόνα 4-20. Χάρτης Karnaugh συνάρτησης D₂ με Q₂=1.

Πηγή: Διδάσκων.

Για Q₂=1, η συνάρτηση D₂ είναι:

$$D_2 = Q_2 \cdot Q_1 \cdot Q_0$$

Επομένως, συνολικά η D₂ είναι:

$$D2 = Q2' \cdot T3 \cdot T4' + Q2 \cdot Q1 \cdot Q0$$

Ο χάρτης Karnaugh για το D1 είναι ο εξής:

Αρχικά, για Q2=0:

		T3				
		00	01	11	10	
Q1	T3T4					
	Q1Q0					
	00		1		1	
	01		1		1	
	11		1		1	
	10		1		1	
		T4				

Εικόνα 4-21. Χάρτης Karnaugh συνάρτησης D1 με Q2=0.

Πηγή: Διδάσκων.

Για Q2=0, η συνάρτηση D1 είναι:

$$D1 = Q2' \cdot T3 \cdot T4' + Q2' \cdot T3' \cdot T4$$

Για Q2=1, έχουμε:

		T3				
		00	01	11	10	
Q1	T3T4					
	Q1Q0					
	00					
	01					
	11	1	1	1	1	
	10					
		T4				

Εικόνα 4-22. Χάρτης Karnaugh συνάρτησης D1 με Q2=1.

Πηγή: Διδάσκων.

Για Q2=1, η συνάρτηση D1 είναι:

$$D1 = Q2 \cdot Q1 \cdot Q0$$

Επομένως, συνολικά η D1 είναι:

$$D1 = Q2' \cdot T3 \cdot T4' + Q2' \cdot T3' \cdot T4 + Q2 \cdot Q1 \cdot Q0$$

Ο χάρτης Karnaugh για το D0 είναι ο εξής:

Αρχικά, για Q2=0:

		T3				
		00	01	11	10	
T3T4						
Q1Q0						
00		1			1	
01		1	1		1	Q0
11	Q1	1	1		1	
10		1			1	
		T4				

Εικόνα 4-23. Χάρτης Karnaugh συνάρτησης D0 με Q2=0.

Πηγή: Διδάσκων.

Για Q2=0, η συνάρτηση D0 είναι: $D0 = Q2' \cdot T4' + Q2' \cdot Q0 \cdot T3'$

Για Q2=1, έχουμε:

		T3				
		00	01	11	10	
T3T4						
Q1Q0						
00						
01						
11	Q1	1	1	1	1	Q0
10						
		T4				

Εικόνα 4-24. Χάρτης Karnaugh συνάρτησης D0 με Q2=1.

Πηγή: Διδάσκων.

Για Q2=1, η συνάρτηση D0 είναι:

$$D0 = Q2 \cdot Q1 \cdot Q0$$

Επομένως, συνολικά η D0 είναι:

$$D0 = Q2' \cdot T4' + Q2' \cdot Q0 \cdot T3' + Q2 \cdot Q1 \cdot Q0$$

Η συνάρτηση του καυστήρα K είναι:

$$K = Q2' \cdot Q1' \cdot Q0' + Q2' \cdot Q1 \cdot Q0' = Q2' \cdot Q0'$$

Από την εργαστηριακή άσκηση 4, έχουμε:

Η συνάρτηση που περιγράφει τη λειτουργία της 1^{ης} ηλεκτροβάνας είναι:

$$H1 = T1 \cdot T3' \cdot T4$$

Η συνάρτηση που περιγράφει τη λειτουργία της 2^{ης} ηλεκτροβάνας είναι:

$$H2 = T2 \cdot T3' \cdot T4$$

Η συνάρτηση που περιγράφει τη λειτουργία του κυκλοφορητή είναι:

$$ΚΥΚΛ = H1 + H2$$

Στο wincupl, δεν πρέπει να ξεχάσουμε ότι τις συναρτήσεις θα τις ονομάσουμε d2.d, d1.d, d0.d και k.d για να ενεργοποιηθεί το flip-flop.

Ο συμπληρωμένος πίνακας αλήθειας της 2^{ης} PAL είναι ο εξής:

ΕΙΣΟΔΟΙ			ΔΕΚΑΕΞΑΔΙΚΟΣ	ΑΡΧΟΔΕΚΤΕΣ 7 SEGMENT DISPLAY						
Q2	Q1	Q0		a	b	c	d	e	f	g
0	0	0	A (A)	0	0	0	1	0	0	0
0	0	1	b (b)	1	1	0	0	0	0	0
0	1	0	C (C)	0	1	1	0	0	0	1
0	1	1	d (d)	1	0	0	0	0	1	0
1	0	0		1	1	1	1	1	1	1
1	0	1		1	1	1	1	1	1	1
1	1	0		1	1	1	1	1	1	1
1	1	1	E (E)	0	1	1	0	0	0	0

Εικόνα 4-25. Πίνακας αλήθειας 12ης Εργαστηριακής Άσκησης (2η PAL).

Πηγή: Διδάσκων.

Οι συναρτήσεις εξόδου είναι οι εξής:

$$Fa = Q2' \cdot Q0 + Q2 \cdot Q1' + Q2 \cdot Q0'$$

$$Fb = Q2 + Q1 \cdot Q0' + Q1' \cdot Q0$$

$$Fc = Q2 + Q1 \cdot Q0'$$

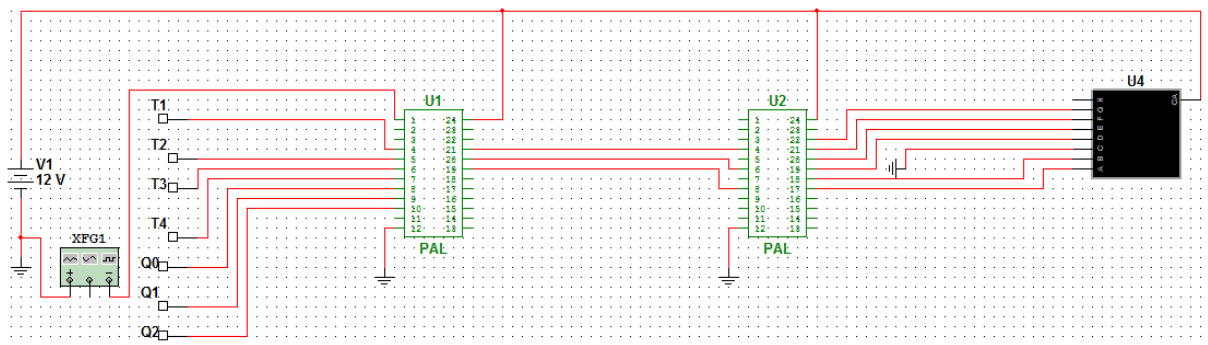
$$Fd = Q2 \cdot Q1' + Q1' \cdot Q0' + Q2 \cdot Q0'$$

$$Fe = Q2 \cdot Q1' + Q2 \cdot Q0'$$

$$Ff = Q2 \cdot Q0' + Q2 \cdot Q1' + Q2' \cdot Q1 \cdot Q0$$

$$Fg = Q2 + Q1 \cdot Q0' = Fc$$

Το αντίστοιχο απλοποιημένο κύκλωμα (με τη βοήθεια του Multisim) είναι το εξής:



Εικόνα 4-26 – Το κύκλωμα της 12^{ης} Εργαστηριακής Άσκησης.

Πηγή: Διδάσκων.

Τα ολοκληρωμένα που χρησιμοποιήθηκαν μετά την απλοποίηση είναι τα:

2 PAL (g20v8a).

Μέσω του winpcrpl, φτιάχτηκαν και προγραμματίστηκαν οι 2 PAL. Τα αποτελέσματα παρατίθενται στο Παράρτημα Α.

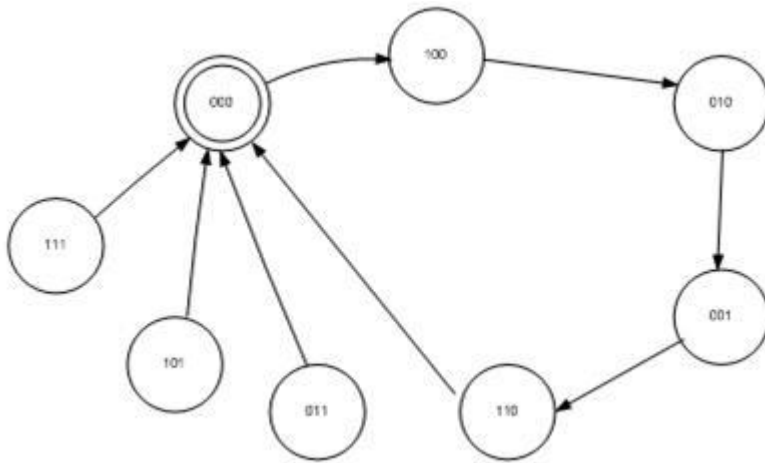
4.6. Προτεινόμενες Ασκήσεις

a) Ένα νέο είδος flip flop έχει τον ακόλουθο πίνακα αληθείας :

I1	I2	Q(t+1)
0	0	0
0	1	Q(t)
1	0	Q(t)'
1	1	1

Κατασκευάστε τον πίνακα διεγέρσεώς του.

b) Να σχεδιάσετε το διάγραμμα καταστάσεων ενός σύγχρονου μετρητή ο οποίος δίνει την επαναλαμβανόμενη ακολουθία 0, 4, 2, 1, 6.



Εικόνα 4-27. Σχηματικό διάγραμμα δεδομένων του προβλήματος.

Πηγή: Διδάσκων.

5. ΒΙΒΛΙΟΓΡΑΦΙΑ

[1] Χαρίδημος Βέργος, Σημειώσεις για το μάθημα «Λογική Σχεδίαση II», Πανεπιστήμιο Πατρών, Τμήμα Μηχανικών Η/Υ και Πληροφορικής, διαθέσιμο από:

http://pc-vlsi18.ceid.upatras.gr/logic_design_ii.html.

[2] Α. Σκόνδρας, Ψηφιακή Λογική: Ακολουθιακά κυκλώματα, Κεφ 2, Πανεπιστήμιο Πατρών, διαθέσιμο από:

<http://www.upatras.gr/ieee/skodras/courses/dd/DigDes-Chapter2%288i01%29.pdf>

[3] Ν. Ασημάκης, Γ. Βουρβουλάκης, Θ. Κακαρούντας, Ν. Λελίγκου. e-book ΛΟΓΙΚΗ ΣΧΕΔΙΑΣΗ, διαθέσιμο από:

http://elnsite.teilam.gr/ebooks/digital_design/

[4] Γ. Αλεξίου, Σημειώσεις για το μάθημα Λογικός Σχεδιασμός Ι, Πανεπιστήμιο Πατρών, Τμήμα Μηχανικών Η/Υ και Πληροφορικής, 2010, διαθέσιμο από:

http://www.ceid.upatras.gr/faculty/alexiou/dig_design/notes/2_Boolean_Algebra.pdf

[5] G. Patsis, ΤΕΙ Αθήνας, Τμήμα Ηλεκτρονικής, 2010, διαθέσιμο από:

http://users.teiath.gr/patsisg/DIGITAL_LABS/index_files/Page913.htm

[6] M. Morris Mano, Ψηφιακή Σχεδίαση, 2^η έκδοση, Εκδόσεις Παπασωτηρίου, 1992

[7] Atmel, WinCUPL Users Manual, revision B, Feb 2006, διαθέσιμο από:

<http://www.atmel.com/Images/doc0737.pdf>

6. ΠΑΡΑΡΤΗΜΑ Α. ΕΝΔΕΙΚΤΙΚΕΣ ΛΥΣΕΙΣ ΓΙΑ ΤΟ WINCUPL

Εργαστηριακή Άσκηση 6 – PAL 1

Askisi 6 – PAL 1

CUPL(WM) 5.0a Serial# 60008009
Device g20v8as Library DLIB-h-40-1
Created Tue Oct 15 12:43:35 2013
Name Askisi 6 - PAL1
Partno 00
Revision 01
Date 15/10/2013
Designer Engineer
Company teikoz
Assembly None
Location

=====

Expanded Product Terms

=====

fa =>

a0 & !a1 & !a2 & !a3
!a0 & !a1 & a2 & !a3
a0 & a1 & !a2 & a3
a0 & !a1 & a2 & a3

fb =>

a0 & !a1 & a2 & !a3
!a0 & !a1 & a2 & a3
!a0 & a1 & a2
a1 & a2 & a3
a0 & a1 & a3

fc =>

!a0 & a1 & !a2 & !a3
!a0 & !a1 & a2 & a3
a1 & a2 & a3

fd =>

a0 & !a1 & !a2 & !a3
!a0 & !a1 & a2 & !a3
!a0 & a1 & !a2 & a3
a0 & a1 & a2

fe =>

a0 & !a1 & !a2 & a3
!a1 & a2 & !a3
a0 & !a3

ff =>

a0 & !a1 & a2 & a3
a0 & !a2 & !a3
a1 & !a2 & !a3
a0 & a1 & !a3

fg =>

!a1 & !a2 & !a3
a0 & a1 & a2 & !a3
!a0 & !a1 & a2 & a3

=====
Symbol Table
=====

Pin Variable			Pterms Max Min		
Pol Name	Ext	Pin	Type	Used	Pterms Level
a0	5	V	-	-	-
a1	4	V	-	-	-
a2	3	V	-	-	-
a3	2	V	-	-	-
fa	21	V	4	8	1
fb	20	V	5	8	1
fc	19	V	3	8	1
fd	18	V	4	8	1
fe	17	V	3	8	1
ff	16	V	4	8	1
fg	15	V	3	8	1

LEGEND D : default variable F : field G : group
 I : intermediate variable N : node M : extended node
 U : undefined V : variable X : extended variable
 T : function

=====

Fuse Plot

=====

Syn 02704 - Ac0 02705 x

Pin #22 02560 Pol x 02632 Ac1 -

00000 xx
 00040 xx
 00080 xx
 00120 xx
 00160 xx
 00200 xx
 00240 xx

00280 xx
Pin #21 02561 Pol - 02633 Ac1 x
00320 -x--x---x--x-----
00360 -x--x---x--x-----
00400 x---x-x--x-----
00440 x--x---x--x-----
00480 xx
00520 xx
00560 xx
00600 xx
Pin #20 02562 Pol - 02634 Ac1 x
00640 -x-x---x--x-----
00680 x--x---x--x-----
00720 ---x--x---x-----
00760 x--x---x-----
00800 x-----x--x-----
00840 xx
00880 xx
00920 xx
Pin #19 02563 Pol - 02635 Ac1 x
00960 -x--x-x---x-----
01000 x--x---x--x-----
01040 x--x---x-----
01080 xx
01120 xx
01160 xx
01200 xx
01240 xx
Pin #18 02564 Pol - 02636 Ac1 x
01280 -x--x---x--x-----
01320 -x--x---x--x-----
01360 x---x-x---x-----
01400 ---x--x---x-----
01440 xx
01480 xx
01520 xx
01560 xx
Pin #17 02565 Pol - 02637 Ac1 x

01600 x---x---x--x-----
01640 -x--x---x-----
01680 -x-----x-----
01720 xx
01760 xx
01800 xx
01840 xx
01880 xx

Pin #16 02566 Pol - 02638 Ac1 x

01920 x---x---x--x-----
01960 -x--x---x-----
02000 -x--x--x-----
02040 -x-----x--x-----
02080 xx
02120 xx
02160 xx
02200 xx

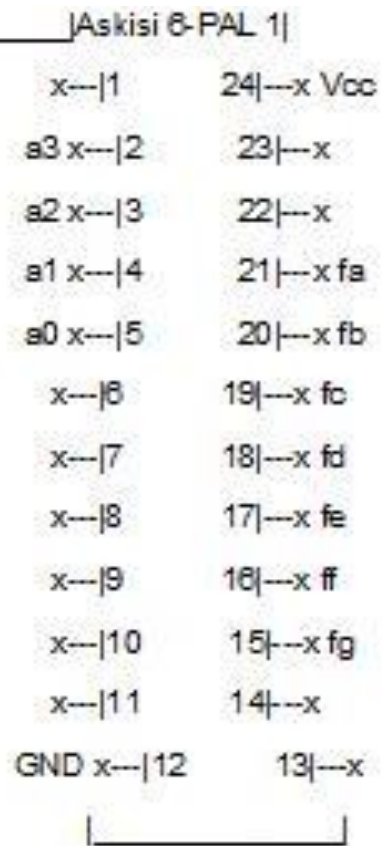
Pin #15 02567 Pol - 02639 Ac1 x

02240 -x--x---x-----
02280 -x--x---x-----
02320 x---x---x--x-----
02360 xx
02400 xx
02440 xx
02480 xx
02520 xx

LEGENDX : fuse not blown

- : fuse blown

Chip Diagram



Εργαστηριακή Άσκηση 6 – PAL 2

Askisi 6 – PAL 2

CUPL(WM) 5.0a Serial# 60008009
Device g20v8as Library DLIB-h-40-1
Created Tue Oct 15 12:57:15 2013
Name Askisi 6 - PAL 2
Partno 00
Revision 01
Date 15/10/2013
Designer Engineer
Company teikoz
Assembly None
Location

=====

Expanded Product Terms

=====

```
HL1 =>  
  a0 & a2 & !a3 & t1  
# a1 & a2 & !a3 & t1
```

```
HL2 =>  
  a0 & a2 & !a3 & t2  
# a1 & a2 & !a3 & t2
```

```
KYKL =>  
  a0 & a2 & !a3 & t1  
# a1 & a2 & !a3 & t1  
# a0 & a2 & !a3 & t2  
# a1 & a2 & !a3 & t2
```

=====

Symbol Table

=====

Pin Variable				Pterms	Max	Min
Pol Name	Ext	Pin	Type	Used	Pterms	Level
HL1	15	V	2	8	1	
HL2	17	V	2	8	1	
KYKL	16	V	4	8	1	
a0	7	V	-	-	-	
a1	6	V	-	-	-	
a2	5	V	-	-	-	
a3	4	V	-	-	-	
t1	2	V	-	-	-	
t2	3	V	-	-	-	

LEGEND D : default variable F : field G : group
 I : intermediate variable N : node M : extended node
 U : undefined V : variable X : extended variable
 T : function

=====

Fuse Plot

=====

Syn 02704 - Ac0 02705 x

Pin #22 02560 Pol x 02632 Ac1 -

00000 xxx
00040 xxx
00080 xxx
00120 xxx
00160 xxx
00200 xxx
00240 xxx
00280 xxx

Pin #21 02561 Pol x 02633 Ac1 -

00320 xxx
00360 xxx
00400 xxx
00440 xxx
00480 xxx
00520 xxx
00560 xxx
00600 xxx

Pin #20 02562 Pol x 02634 Ac1 -

00640 xxx
00680 xxx
00720 xxx
00760 xxx
00800 xxx
00840 xxx
00880 xxx
00920 xxx

Pin #19 02563 Pol x 02635 Ac1 -

00960 xxx
01000 xxx
01040 xxx
01080 xxx

01120 xx
01160 xx
01200 xx
01240 xx
Pin #18 02564 Pol x 02636 Ac1 -
01280 xx
01320 xx
01360 xx
01400 xx
01440 xx
01480 xx
01520 xx
01560 xx
Pin #17 02565 Pol - 02637 Ac1 x
01600 ---x---x-x-----x-----
01640 ---x---x-x---x-----
01680 xx
01720 xx
01760 xx
01800 xx
01840 xx
01880 xx
Pin #16 02566 Pol - 02638 Ac1 x
01920 x-----x-x-----x-----
01960 x-----x-x---x-----
02000 ---x---x-x-----x-----
02040 ---x---x-x---x-----
02080 xx
02120 xx
02160 xx
02200 xx
Pin #15 02567 Pol - 02639 Ac1 x
02240 x-----x-x-----x-----
02280 x-----x-x---x-----
02320 xx
02360 xx
02400 xx
02440 xx

Εργαστηριακή Άσκηση 9 – PAL 1

Askisi 9 – PAL 1

CUPL(WM) 5.0a Serial# 60008009
Device g20v8as Library DLIB-h-40-1
Created Tue Oct 15 15:20:14 2013
Name Askisi 9 - PAL 1
Partno 00
Revision 01
Date 15/10/2013
Designer Engineer
Company teikoz
Assembly None

=====

Expanded Product Terms

=====

c1 =>

a0 & b0
b0 & c0
a0 & c0

c2 =>

a1 & b1
b1 & c1
a1 & c1

c3 =>

a2 & b2
b2 & c2
a2 & c2

c4 =>

a3 & b3
b3 & c3
a3 & c3

s0 =>

a0 & !b0 & !c0
!a0 & b0 & !c0
!a0 & !b0 & c0
a0 & b0 & c0

s1 =>

a1 & !b1 & !c1
!a1 & b1 & !c1
!a1 & !b1 & c1
a1 & b1 & c1

s2 =>

a2 & !b2 & !c2
!a2 & b2 & !c2
!a2 & !b2 & c2
a2 & b2 & c2

=====
 Symbol Table
 =====

Pin Variable			Pterms	Max	Min
Pol Name	Ext	Pin	Type	Used	Pterms Level
a0	6	V	-	-	-
a1	7	V	-	-	-
a2	8	V	-	-	-
a3	9	V	-	-	-
b0	2	V	-	-	-
b1	3	V	-	-	-
b2	4	V	-	-	-
b3	5	V	-	-	-
d0	10	V	-	-	-
c1	21	V	3	8	1
c2	15	V	3	8	1
c3	17	V	3	8	1
c4	19	V	3	8	1
s0	22	V	4	8	1
s1	20	V	4	8	1
s2	18	V	4	8	1
s3	16	V	4	8	1

LEGEND D : default variable F : field G : group
 I : intermediate variable N : node M : extended node
 U : undefined V : variable X : extended variable
 T : function

=====
 Fuse Plot
 =====

Syn 02704 - Ac0 02705 x

Pin #22 02560 Pol - 02632 Ac1 x

00000 -x-----x-----x-----

00040 x-----x-----x-----

00080 -x-----x-----x-----
00120 x-----x-----x-----
00160 xx
00200 xx
00240 xx
00280 xx
Pin #21 02561 Pol - 02633 Ac1 x
00320 x-----x-----
00360 x-----x-----
00400 -----x-----x-----
00440 xx
00480 xx
00520 xx
00560 xx
00600 xx
Pin #20 02562 Pol - 02634 Ac1 x
00640 ----x-----x---x-----
00680 ----x-----x---x-----
00720 ----x-----x---x-----
00760 ----x-----x---x-----
00800 xx
00840 xx
00880 xx
00920 xx
Pin #19 02563 Pol - 02635 Ac1 x
00960 -----x-----x-----
01000 -----x-----x-----
01040 -----x-----x-----
01080 xx
01120 xx
01160 xx
01200 xx
01240 xx
Pin #18 02564 Pol - 02636 Ac1 x
01280 -----x-----x-----x-----
01320 -----x-----x-----x-----
01360 -----x-----x-----x-----
01400 -----x-----x-----x-----

01440 xx
01480 xx
01520 xx
01560 xx

Pin #17 02565 Pol - 02637 Ac1 x

01600 -----x-----x-----
01640 -----x-----x-----
01680 -----x-----x-----
01720 xx
01760 xx
01800 xx
01840 xx
01880 xx

Pin #16 02566 Pol - 02638 Ac1 x

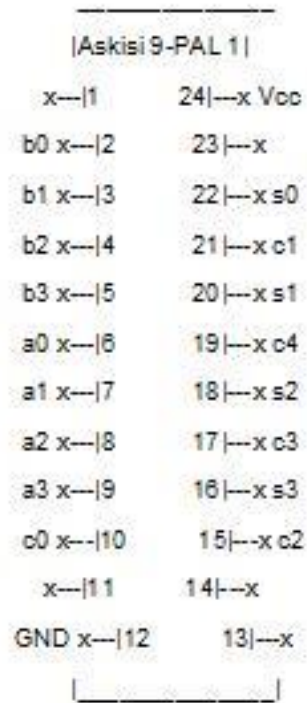
01920 -----x-----x---x-----
01960 -----x-----x---x-----
02000 -----x-----x---x-----
02040 -----x-----x---x-----
02080 xx
02120 xx
02160 xx
02200 xx

Pin #15 02567 Pol - 02639 Ac1 x

02240 ----x-----x-----
02280 ----x-----x-----
02320 -----x-----x-----
02360 xx
02400 xx
02440 xx
02480 xx
02520 xx

LEGEND X : fuse not blown
- : fuse blown

Chip Diagram



Εργαστηριακή Άσκηση 9 – PAL 2

Askisi 9 – PAL 2

CUPL(WM) 5.0a Serial# 60008009
Device g20v8as Library DLIB-h-40-1
Created Wed Oct 16 16:56:56 2013
Name Askisi 9 - PAL 2
Partno 00
Revision 01
Date 15/10/2013
Designer Engineer
Company teikoz
Assembly None
Location

=====

Expanded Product Terms

=====

fa =>

```
s0 & !s1 & !s2 & !s3  
# !s0 & !s1 & s2 & !s3  
# s0 & s1 & !s2 & s3  
# s0 & !s1 & s2 & s3
```

fb =>

```
s0 & !s1 & s2 & !s3  
# !s0 & !s1 & s2 & s3  
# s1 & s2 & s3  
# s0 & s1 & s3  
# !s0 & s1 & s2
```

fc =>

```
!s0 & s1 & !s2 & !s3  
# !s0 & !s1 & s2 & s3  
# s1 & s2 & s3
```

fd =>

```
s0 & !s1 & !s2 & !s3  
# !s0 & !s1 & s2 & !s3  
# !s0 & s1 & !s2 & s3  
# s0 & s1 & s2
```

fe =>

```
s0 & !s1 & !s2 & s3  
# !s1 & s2 & !s3  
# s0 & !s3
```

ff =>

```
s0 & !s1 & s2 & s3  
# s0 & !s2 & !s3  
# s1 & !s2 & !s3  
# s0 & s1 & !s3
```

fg =>

```
!s1 & !s2 & !s3  
# s0 & s1 & s2 & !s3
```

Symbol Table

Pin Variable				Pterms		Max	Min
Pol	Name	Ext	Pin	Type	Used	Pterms	Level
	o4	6	V	-	-	-	
	fa	15	V	4	8	1	
	fb	16	V	5	8	1	
	fc	17	V	3	8	1	
	fd	18	V	4	8	1	
	fe	19	V	3	8	1	
	ff	20	V	4	8	1	
	fg	21	V	3	8	1	
	fh	22	V	1	8	1	
	s0	2	V	-	-	-	
	s1	3	V	-	-	-	
	s2	4	V	-	-	-	
	s3	5	V	-	-	-	

LEGEND D : default variable F : field G : group
 I : intermediate variable N : node M : extended node
 U : undefined V : variable X : extended variable
 T : function

Fuse Plot

Syn 02704 - Ac0 02705 x

Pin #22 02560 Pol - 02632 Ac1 x

```
00000 x---x---x---x-----x-----
00040 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00080 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00120 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00160 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00200 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
```

00240 xx
00280 xx
Pin #21 02561 Pol - 02633 Ac1 x
00320 ----x--x--x-----
00360 x--x--x--x-----
00400 -x--x--x--x-----
00440 xx
00480 xx
00520 xx
00560 xx
00600 xx
Pin #20 02562 Pol - 02634 Ac1 x
00640 x---x--x--x-----
00680 x-----x--x-----
00720 ---x---x--x-----
00760 x--x-----x-----
00800 xx
00840 xx
00880 xx
00920 xx
Pin #19 02563 Pol - 02635 Ac1 x
00960 x---x--x--x-----
01000 ----x--x---x-----
01040 x-----x-----
01080 xx
01120 xx
01160 xx
01200 xx
01240 xx
Pin #18 02564 Pol - 02636 Ac1 x
01280 x---x--x--x-----
01320 -x--x--x---x-----
01360 -x-x---x--x-----
01400 x--x--x-----
01440 xx
01480 xx
01520 xx
01560 xx

Pin #17 02565 Pol - 02637 Ac1 x
 01600 -x-x---x---x-----
 01640 -x---x--x---x-----
 01680 ---x---x---x-----
 01720 xxx
 01760 xxx
 01800 xxx
 01840 xxx
 01880 xxx

Pin #16 02566 Pol - 02638 Ac1 x
 01920 x---x-x---x-----
 01960 -x---x--x---x-----
 02000 ---x---x---x-----
 02040 x--x-----x-----
 02080 -x-x---x-----
 02120 xxx
 02160 xxx
 02200 xxx

Pin #15 02567 Pol - 02639 Ac1 x
 02240 x---x--x---x-----
 02280 -x---x--x---x-----
 02320 x--x---x--x-----
 02360 x---x--x---x-----
 02400 xxx
 02440 xxx
 02480 xxx
 02520 xxx

LEGEND
 X : fuse not blown
 - : fuse blown

=====
 Chip Diagram
 =====

[Askisi 9-PAL 2]

x-- 1	24 --x Vcc
s0 x-- 2	23 --x
s1 x-- 3	22 --x fh
s2 x-- 4	21 --x fg
s3 x-- 5	20 --x fh
c4 x-- 6	19 --x fe
x-- 7	18 --x fd
x-- 8	17 --x fb
x-- 9	16 --x fb
x-- 10	15 --x fa
x-- 11	14 --x
GND x-- 12	13 --x

Εργαστηριακή Άσκηση 10 – PAL 1

Askisi 10 – PAL 1

CUPL(WM) 5.0a Serial# 60008009
Device g20v8ms Library DLIB-h-40-3
Created Wed Oct 16 17:40:32 2013
Name Askisi 10 - PAL 1
Partno 00
Revision 01
Date 15/10/2013
Designer Engineer
Company teikoz
Assembly None
Location

=====
Expanded Product Terms
=====

d0 =>
q0 & !x
!q1 & x

d1 =>
q0 & x
q1 & !x

Symbol Table

Pin Variable				Pterms	Max	Min
Pol Name	Ext	Pin	Type	Used	Pterms	Level
d0	d	20	V	2	8	1
d1	d	16	V	2	8	1
q0		6	V	-	-	-
q1		5	V	-	-	-
x		4	V	-	-	-

LEGEND D : default variable F : field G : group
 I : intermediate variable N : node M : extended node
 U : undefined V : variable X : extended variable
 T : function

Fuse Plot

Syn 02704 x Ac0 02705 -

Pin #22 02560 Pol x 02632 Ac1 -

00000 xx
00040 xx
00080 xx
00120 xx
00160 xx
00200 xx
00240 xx
00280 xx

Pin #21 02561 Pol x 02633 Ac1 -

00320 xx
00360 xx
00400 xx
00440 xx
00480 xx
00520 xx
00560 xx
00600 xx

Pin #20 02562 Pol - 02634 Ac1 x

00640 -----x-----x-----
00680 -----x---x-----
00720 xx
00760 xx
00800 xx
00840 xx
00880 xx
00920 xx

Pin #19 02563 Pol x 02635 Ac1 -

00960 xx
01000 xx
01040 xx
01080 xx

01120 xxx
01160 xxx
01200 xxx
01240 xxx
Pin #18 02564 Pol x 02636 Ac1 -
01280 xxx
01320 xxx
01360 xxx
01400 xxx
01440 xxx
01480 xxx
01520 xxx
01560 xxx
Pin #17 02565 Pol x 02637 Ac1 -
01600 xxx
01640 xxx
01680 xxx
01720 xxx
01760 xxx
01800 xxx
01840 xxx
01880 xxx
Pin #16 02566 Pol - 02638 Ac1 x
01920 -----x-----x-----
01960 -----x--x-----
02000 xxx
02040 xxx
02080 xxx
02120 xxx
02160 xxx
02200 xxx
Pin #15 02567 Pol x 02639 Ac1 -
02240 xxx
02280 xxx
02320 xxx
02360 xxx
02400 xxx
02440 xxx

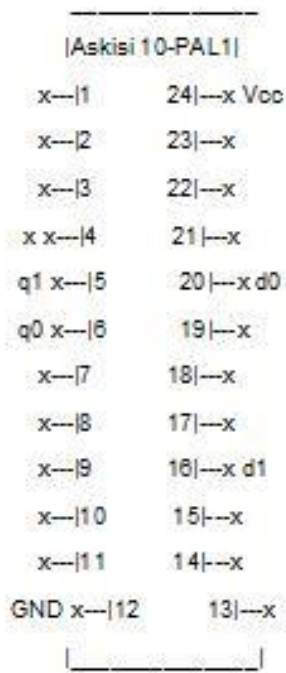
02480 xxx

02520 xxx

LEGEND X : fuse not blown

- : fuse blown

=====
Chip Diagram
=====



Εργαστηριακή Άσκηση 10 – PAL 2

Askisi 10 – PAL 2

CUPL(WM) 5.0a Serial# 60008009

Device g20v8as Library DLIB-h-40-1

Created Tue Oct 15 22:05:40 2013

Name Askisi 10 - PAL 2

Partno 00

Revision 01

Date 15/10/2013

Designer Engineer

Company teikoz

Assembly None

Location

=====

Expanded Product Terms

=====

fa =>

q0 & q1

fb =>

!q0 & q1

q0 & !q1

fc =>

!q0 & q1

q0 & !q1

fd =>

!q0

q1

Symbol Table

Pin Variable		Pterms Max Min				
Pol	Name	Ext	Pin	Type	Used	Pterms Level
	fa	16	V	1	8	1
	fb	17	V	2	8	1
	fc	18	V	2	8	1
	fd	19	V	2	8	1
	q0	4	V	-	-	-
	q1	10	V	-	-	-

LEGEND D : default variable F : field G : group
 I : intermediate variable N : node M : extended node
 U : undefined V : variable X : extended variable
 T : function

Fuse Plot

Syn 02704 - Ac0 02705 x

Pin #22 02560 Pol x 02632 Ac1 -

00000 xx
00040 xx
00080 xx
00120 xx
00160 xx
00200 xx
00240 xx
00280 xx

Pin #21 02561 Pol x 02633 Ac1 -

00320 xx
00360 xx
00400 xx
00440 xx
00480 xx
00520 xx
00560 xx
00600 xx

Pin #20 02562 Pol x 02634 Ac1 -

00640 xx
00680 xx
00720 xx
00760 xx
00800 xx
00840 xx
00880 xx
00920 xx

Pin #19 02563 Pol - 02635 Ac1 x

00960 -----x-----
01000 -----x-----
01040 xx
01080 xx

01120 xxx

01160 xxx

01200 xxx

01240 xxx

Pin #18 02564 Pol - 02636 Ac1 x

01280 -----x-----x-----

01320 -----x-----x-----

01360 xxx

01400 xxx

01440 xxx

01480 xxx

01520 xxx

01560 xxx

Pin #17 02565 Pol - 02637 Ac1 x

01600 -----x-----x-----

01640 -----x-----x-----

01680 xxx

01720 xxx

01760 xxx

01800 xxx

01840 xxx

01880 xxx

Pin #16 02566 Pol - 02638 Ac1 x

01920 -----x-----x-----

01960 xxx

02000 xxx

02040 xxx

02080 xxx

02120 xxx

02160 xxx

02200 xxx

Pin #15 02567 Pol x 02639 Ac1 -

02240 xxx

02280 xxx

02320 xxx

02360 xxx

02400 xxx

02440 xxx

Εργαστηριακή Άσκηση 11 – PAL 1

Askisi 11 – PAL 1

CUPL(WM) 5.0a Serial# 60008009
Device g20v8ms Library DLIB-h-40-3
Created Wed Oct 16 17:46:25 2013
Name Askisi 11 - PAL 1
Partno 00
Revision 01
Date 16/10/2013
Designer Engineer
Company teikoz
Assembly None
Location

=====

Expanded Product Terms

=====

d0 =>
!q1 & !x
q1 & x

d1 =>
!q0 & x
q0 & !x

=====

Symbol Table

=====

Pin Variable				Pterms	Max	Min
Pol Name	Ext	Pin	Type	Used	Pterms	Level
d0	d	20	V	2	8	1
d1	d	16	V	2	8	1
q0		6	V	-	-	-
q1		5	V	-	-	-
x		4	V	-	-	-

LEGEND D : default variable F : field G : group
 I : intermediate variable N : node M : extended node
 U : undefined V : variable X : extended variable
 T : function

=====

Fuse Plot

=====

Syn 02704 x Ac0 02705 -

Pin #22 02560 Pol x 02632 Ac1 -

```
00000 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00040 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00080 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00120 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00160 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00200 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00240 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00280 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
```

Pin #21 02561 Pol x 02633 Ac1 -

```
00320 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00360 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00400 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00440 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00480 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00520 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00560 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00600 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
```

Pin #20 02562 Pol - 02634 Ac1 x

```
00640 -----x--x-----
00680 -----x--x-----
00720 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00760 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00800 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00840 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00880 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00920 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
```

Pin #19 02563 Pol x 02635 Ac1 -

```
00960 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
01000 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
01040 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
01080 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
```

01120 xxx
01160 xxx
01200 xxx
01240 xxx

Pin #18 02564 Pol x 02636 Ac1 -

01280 xxx
01320 xxx
01360 xxx
01400 xxx
01440 xxx
01480 xxx
01520 xxx
01560 xxx

Pin #17 02565 Pol x 02637 Ac1 -

01600 xxx
01640 xxx
01680 xxx
01720 xxx
01760 xxx
01800 xxx
01840 xxx
01880 xxx

Pin #16 02566 Pol - 02638 Ac1 x

01920 -----x-----x-----
01960 -----x-----x-----
02000 xxx
02040 xxx
02080 xxx
02120 xxx
02160 xxx
02200 xxx

Pin #15 02567 Pol x 02639 Ac1 -

02240 xxx
02280 xxx
02320 xxx
02360 xxx
02400 xxx
02440 xxx

02480 xxx

02520 xxx

LEGEND

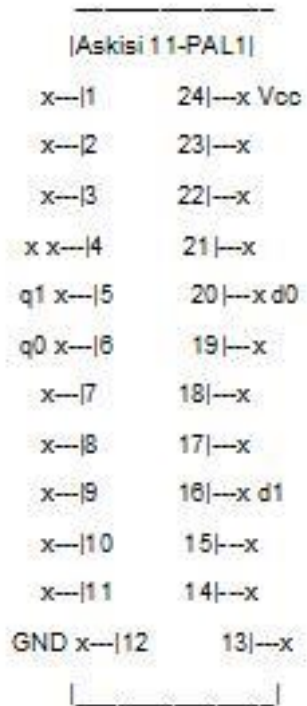
X : fuse not blown

- : fuse blown

=====

Chip Diagram

=====



Εργαστηριακή Άσκηση 11 – PAL 2

Askisi 11 – PAL 2

CUPL(WM) 5.0a Serial# 60008009

Device g20v8as Library DLIB-h-40-1

Created Wed Oct 16 01:28:24 2013

Name Askisi 11 - PAL 2

Partno 00

Revision 01

Date 16/10/2013

Designer Engineer

Company teikoz

Assembly None

Location

=====

Expanded Product Terms

=====

fa =>

q0 & q1

fb =>

q0 & !q1

fd =>

!q0 & !q1

q0 & q1

fe =>

1

ff =>

q1

q0

fg =>

q0 & q1

=====
Symbol Table
=====

Pin Variable			Pterms	Max	Min
Pol Name	Ext	Pin	Type	Used	Pterms Level
fa	17	V	1	8	1
fb	18	V	1	8	1
fd	19	V	2	8	1
fe	20	V	1	8	1
ff	21	V	2	8	1
fg	22	V	1	8	1
q0	4	V	-	-	-
q1	10	V	-	-	-

LEGEND D : default variable F : field G : group
I : intermediate variable N : node M : extended node
U : undefined V : variable X : extended variable
T : function

=====

Fuse Plot

=====

Syn 02704 - Ac0 02705 x

Pin #22 02560 Pol - 02632 Ac1 x

```
00000 -----x-----x-----
00040 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00080 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00120 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00160 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00200 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00240 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00280 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
```

Pin #21 02561 Pol - 02633 Ac1 x

```
00320 -----x-----
00360 -----x-----
00400 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00440 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00480 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00520 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00560 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00600 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
```

Pin #20 02562 Pol - 02634 Ac1 x

```
00640 -----
00680 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00720 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00760 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00800 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00840 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00880 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
00920 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
```

Pin #19 02563 Pol - 02635 Ac1 x

```
00960 -----x-----x-----
01000 -----x-----x-----
01040 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
01080 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
```


02480 xxx

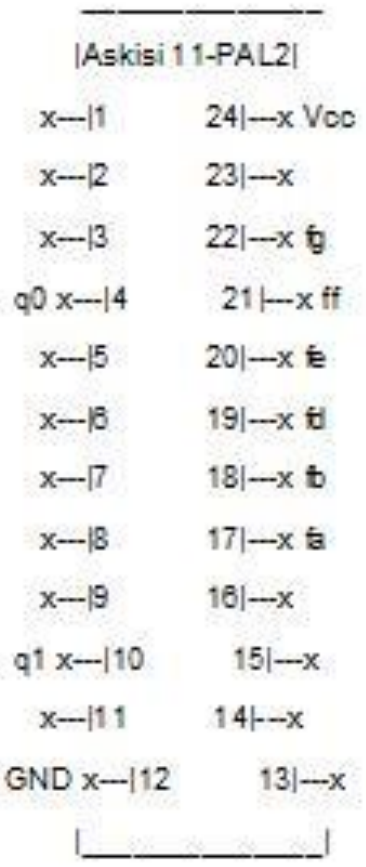
02520 xxx

LEGEND

X : fuse not blown

- : fuse blown

=====
Chip Diagram
=====



Εργαστηριακή Άσκηση 12 – PAL 1

ASKHSH 12 – PAL 1

CUPL(WM) 5.0a Serial# 60008009

Device g20v8ms Library DLIB-h-40-3

Created Wed Oct 16 16:19:38 2013

Name ASKSH 12 - PAL 1

Partno 00

Revision 01

Date 16/10/2013

Designer Engineer

Company teikoz

Assembly None

Location

=====

Expanded Product Terms

=====

d0 =>

!q2 & !t4

q0 & !q2 & !t3

q0 & q1 & q2

d1 =>

!q2 & t3 & !t4

!q2 & !t3 & t4

q0 & q1 & q2

d2 =>

!q2 & t3 & !t4

q0 & q1 & q2

h1 =>

t1 & !t3 & t4

hl2 =>
t2 & !t3 & t4

k =>
!q0 & !q2

kykl =>
hl1
hl2

hl1.oe =>
1

hl2.oe =>
1
kykl.oe =>
1

=====
Symbol Table
=====

Pin Variable				Pterms	Max	Min
Pol Name	Ext	Pin	Type	Used	Pterms	Level
d0	d	19	V	3	8	1
d1	d	20	V	3	8	1
d2	d	21	V	2	8	1
hl1		15	V	1	7	1
hl2		16	V	1	7	1
k	d	18	V	1	8	1
kykl		17	V	2	7	1
q0		8	V	-	-	-
q1		9	V	-	-	-
q2		10	V	-	-	-
t1		4	V	-	-	-
t2		5	V	-	-	-
t3		6	V	-	-	-
t4		7	V	-	-	-
hl1	oe	15	D	1	1	0
hl2	oe	16	D	1	1	0
kykl	oe	17	D	1	1	0

LEGEND D : default variable F : field G : group
I : intermediate variable N : node M : extended node
U : undefined V : variable X : extended variable
T : function

=====

Fuse Plot

=====

Syn 02704 x Ac0 02705 -

Pin #22 02560 Pol x 02632 Ac1 -

00000 xx
00040 xx
00080 xx

00120 xx
00160 xx
00200 xx
00240 xx
00280 xx

Pin #21 02561 Pol - 02633 Ac1 x

00320 -----x---x-----x-----
00360 -----x---x---x-----
00400 xx
00440 xx
00480 xx
00520 xx
00560 xx
00600 xx

Pin #20 02562 Pol - 02634 Ac1 x

00640 -----x---x-----x-----
00680 -----x-x-----x-----
00720 -----x---x---x-----
00760 xx
00800 xx
00840 xx
00880 xx
00920 xx

Pin #19 02563 Pol - 02635 Ac1 x

00960 -----x-----x-----
01000 -----x-----x-----x-----
01040 -----x---x---x-----
01080 xx
01120 xx
01160 xx
01200 xx
01240 xx

Pin #18 02564 Pol - 02636 Ac1 x

01280 -----x-----x-----
01320 xx
01360 xx
01400 xx
01440 xx

```

01480 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
01520 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
01560 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
Pin #17 02565 Pol - 02637 Ac1 -
01600 -----
01640 -----x-----
01680 -----x-----
01720 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
01760 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
01800 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
01840 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
01880 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
Pin #16 02566 Pol - 02638 Ac1 -
01920 -----
01960 -----x---x--x-----
02000 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
02040 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
02080 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
02120 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
02160 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
02200 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
Pin #15 02567 Pol - 02639 Ac1 -
02240 -----
02280 -----x-----x--x-----
02320 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
02360 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
02400 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
02440 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
02480 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx
02520 xxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxxx

```

LEGEND
X : fuse not blown
- : fuse blown

=====
Chip Diagram
=====

|ASKHSH 12-PAL1|

x-- 1	24 --x Vcc
x-- 2	23 --x
x-- 3	22 --x
t1 x-- 4	21 --x d2
t2 x-- 5	20 --x d1
t3 x-- 6	19 --x d0
t4 x-- 7	18 --x k
q0 x-- 8	17 --x kykl
q1 x-- 9	16 --x hl2
q2 x-- 10	15 --x hl1
x-- 11	14 --x
GND x-- 12	13 --x

|-----|

Εργαστηριακή Άσκηση 12 – PAL 2

ASKISI 12 – PAL 2

CUPL(WM) 5.0a Serial# 60008009
Device g20v8as Library DLIB-h-40-1
Created Wed Oct 16 17:30:39 2013
Name ASKISI 12 - PAL 2
Partno 00
Revision 01
Date 16/10/2013
Designer Engineer
Company teikoz
Assembly None
Location

=====

Expanded Product Terms

=====

fa =>
q0 & !q2
!q1 & q2
!q0 & q2

fb =>
q2
!q0 & q1
q0 & !q1

fc =>
q2
!q0 & q1

fd =>

!q1 & q2
 # !q0 & !q1
 # !q0 & q2

fe =>
 !q1 & q2
 # !q0 & q2

ff =>
 !q0 & q2
 # !q1 & q2
 # q0 & q1 & !q2

fg =>
 fc

=====
 Symbol Table
 =====

Pin Variable		Pterms Max Min				
Pol	Name	Ext	Pin	Type	Used	Pterms Level
	fa	15	V	3	8	1
	fb	16	V	3	8	1
	fc	17	V	2	8	1
	fd	18	V	3	8	1
	fe	19	V	2	8	1
	ff	20	V	3	8	1
	fg	21	V	1	8	1
	q0	8	V	-	-	-
	q1	6	V	-	-	-
	q2	4	V	-	-	-

LEGEND D : default variable F : field G : group
 I : intermediate variable N : node M : extended node
 U : undefined V : variable X : extended variable
 T : function

=====
Fuse Plot
=====

Syn 02704 - Ac0 02705 x

Pin #22 02560 Pol x 02632 Ac1 -

00000 xxx
00040 xxx
00080 xxx
00120 xxx
00160 xxx
00200 xxx
00240 xxx
00280 xxx

Pin #21 02561 Pol - 02633 Ac1 x

00320 -----x-----
00360 xxx
00400 xxx
00440 xxx
00480 xxx
00520 xxx
00560 xxx
00600 xxx

Pin #20 02562 Pol - 02634 Ac1 x

00640 -----x-----x-----
00680 -----x-----x-----
00720 -----x-----x-----x-----
00760 xxx
00800 xxx
00840 xxx
00880 xxx
00920 xxx

Pin #19 02563 Pol - 02635 Ac1 x

00960 -----x-----x-----
01000 -----x-----x-----
01040 xxx

01080 xx
 01120 xx
 01160 xx
 01200 xx
 01240 xx

Pin #18 02564 Pol - 02636 Ac1 x

01280 -----x-----x-----
 01320 -----x-----x-----
 01360 -----x-----x-----
 01400 xx
 01440 xx
 01480 xx
 01520 xx
 01560 xx

Pin #17 02565 Pol - 02637 Ac1 x

01600 -----x-----
 01640 -----x-----x-----
 01680 xx
 01720 xx
 01760 xx
 01800 xx
 01840 xx
 01880 xx

Pin #16 02566 Pol - 02638 Ac1 x

01920 -----x-----
 01960 -----x-----x-----
 02000 -----x-----x-----
 02040 xx
 02080 xx
 02120 xx
 02160 xx
 02200 xx

Pin #15 02567 Pol - 02639 Ac1 x

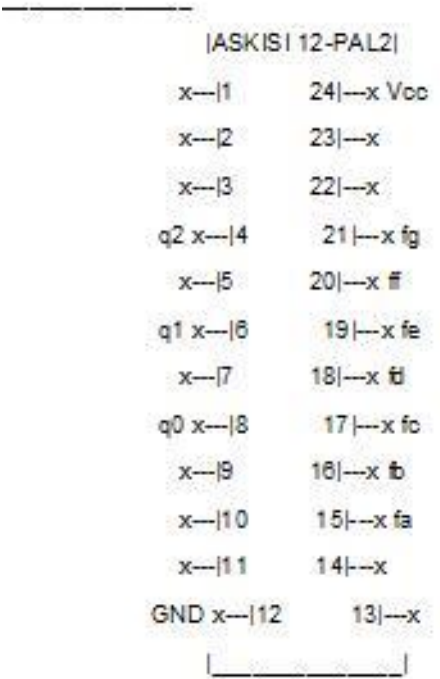
02240 -----x-----x-----
 02280 -----x-----x-----
 02320 -----x-----x-----
 02360 xx
 02400 xx

02440 xxx
 02480 xxx
 02520 xxx

LEGEND

X : fuse not blown
 - : fuse blown

=====
 Chip Diagram
 =====



7. ΠΑΡΑΡΤΗΜΑ Β: ΤΟ ΤΕΣΤ ΚΛΕΙΣΤΟΥ ΤΥΠΟΥ

Αριθμοί και άλγεβρα Boole

Quiz

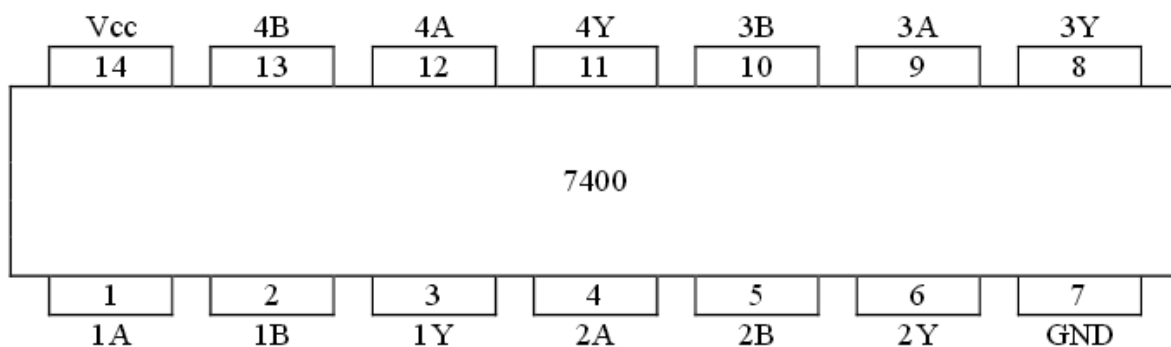
1. Να μετατρέψετε τον δεκαδικό αριθμό (60,25), στον αντίστοιχο δυαδικό
 1. 11111,11
 2. 100111,1
 3. 111100,01
 4. 111001,01
2. Να μετατρέψετε τον δυαδικό αριθμό (1001011,011), στον αντίστοιχο δεκαδικό
 1. 91,375
 2. 75,573
 3. 73,0375
 4. 75,375
3. Να μετατρέψετε τον δεκαδικό αριθμό (105,54), στον αντίστοιχο οκταδικό
 1. 2345,675
 2. 151,4244
 3. 140,6375
 4. 151,6875
4. Να μετατρέψετε τον δεκαδικό αριθμό (1055,54)₁₀, στον αντίστοιχο δεκαεξαδικό
 1. 41f,8a
 2. 41f,aa
 3. 4f1,88
 4. 4f1,8a
5. Ποιος είναι ο μέγιστος ακέραιος δεκαδικός αριθμός που μπορεί να παρασταθεί χρησιμοποιώντας 8 δυαδικά ψηφία;
 1. 1024
 2. 256
 3. 128
 4. 255
6. Η λογική συνάρτηση $A + A' B$ είναι ισοδύναμη με:
 1. $A B$
 2. $A' B'$
 3. $A + B$
 4. $1 + A B$
7. Η λογική συνάρτηση $A' C' D + A' C D + A B D$ είναι ισοδύναμη με:
 1. $A' D + B D$
 2. $A' C' + B D$
 3. $A D + B D$
 4. $A + C + D$
8. Η λογική συνάρτηση $(A + B)(A' + C)$ είναι ισοδύναμη με:
 1. 1

2. $A' B + A C$
 3. $A C' + B C$
 4. $A' B + B C$
9. Η λογική συνάρτηση $A (B C + C' + C) B + (A B)'$ είναι ισοδύναμη με:
1. $A B$
 2. 1
 3. 0
 4. $A + B + C$
10. Η λογική συνάρτηση $A' B + B' C + A$ είναι ισοδύναμη με:
1. $A' B + C A$
 2. $A + B + C$
 3. 1
 4. $A B C$
11. Ποιες από τις παρακάτω σχέσεις είναι αληθινές (ενδέχεται να έχει και περισσότερες από 1 απαντήσεις):
1. $A + A = 1$
 2. $A (A + B) = B$
 3. $(A B C)' = A' + B' + C'$
 4. $(A + B)' = A' + B'$

8. ΠΑΡΑΡΤΗΜΑ Γ: ΤΟ ΟΛΟΚΛΗΡΩΜΕΝΟ 7400

Γενικά για το 7400

Τα chip της standard σειράς 74 της οικογένειας TTL έχουν ονομασία που αρχίζει από 74 και ακολουθείται από κατάληξη που προσδιορίζει τον τύπο της σειράς. Το chip 7400 που περιέχει τέσσερις πύλες NAND δυο εισόδων είναι το βασικό κύκλωμα της οικογένειας TTL.



Εικόνα 27 – Το ολοκληρωμένο 7400

Οι ακροδέκτες του 7400

Το chip τροφοδοτείται με τάση Vcc (υψηλή τάση - λογικό “1”) στην περιοχή τιμών 2.4V-5V με τυπική τιμή 3.5V και γειώνεται GND (χαμηλή τάση - λογικό “0”) στην περιοχή τιμών 0V-0.4V με τυπική τιμή 0.2V.

Πίνακας 8-1 – Οι ακροδέκτες του 7400

pin	Σημασία
1	1A πρώτη είσοδος πύλης 1
2	1B δεύτερη είσοδος πύλης 1
3	1Y έξοδος πύλης 1
4	2A πρώτη είσοδος πύλης 2
5	2B δεύτερη είσοδος πύλης 2
6	2Y έξοδος πύλης 2
7	GND Γείωση (λογικό “0”)
8	3Y έξοδος πύλης 3
9	3A πρώτη είσοδος πύλης 3
10	3B δεύτερη είσοδος πύλης 3
11	4Y έξοδος πύλης 4
12	4A πρώτη είσοδος πύλης 4
13	4B δεύτερη είσοδος πύλης 4
14	Vcc Τάση τροφοδοσίας (λογικό “1”)

Τα ολοκληρωμένα της σειράς 74

Πίνακας 8-2 – Τα ολοκληρωμένα της σειράς 74

chip	πύλες
7400	4 πύλες NAND 2 εισόδων
7402	4 πύλες NOR 2 εισόδων
7404	6 πύλες NOT
7408	4 πύλες AND 2 εισόδων
7410	3 πύλες NAND 3 εισόδων
7411	3 πύλες AND 3 εισόδων
7420	2 πύλες NAND 4 εισόδων
7421	2 πύλες AND 4 εισόδων
7427	3 πύλες NOR 3 εισόδων
7430	1 πύλη NAND 8 εισόδων
7432	4 πύλες OR 2 εισόδων
7486	4 πύλες XOR 2 εισόδων