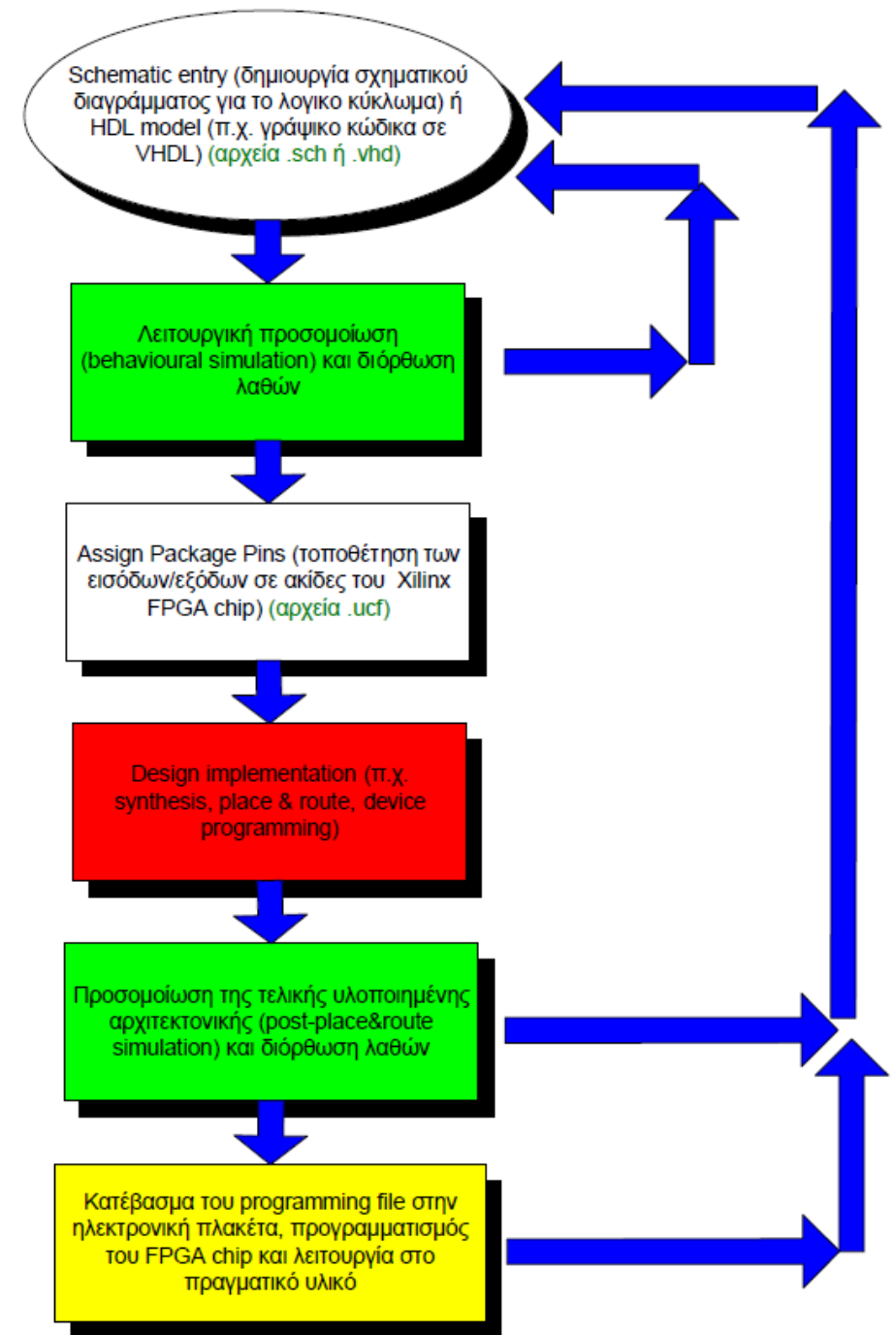


Έχουμε ολοκληρώσει το flow όπως περιγράφεται μέσα στα εργαστηριακά φυλλάδια για τις ασκήσεις με σχηματικά. Ξεκινήσαμε με την άσκηση 1 (inverter) και ακολουθήσαμε όλα τα βήματα εκτός από εκείνα που αναφέρονται στα reports που παράγει το ISE τα οποία μας δίνουν χρήσιμα στατιστικά στοιχεία για την υλοποίηση του κυκλώματος μας. Αυτά θα δούμε σήμερα.

Για όλες τις υπόλοιπες ασκήσεις (2, 3, 4, 5) από το φυλλάδιο 2 (basic logic gates) και (1, 2, 3, 4, 5) από το φυλλάδιο 3 (basic logic components) η σειρά των βημάτων που ακολουθούμε είναι η ίδια. Το μόνο που μπορεί να αλλάζει είναι οι συγκεκριμένες εντολές που δίνουμε όταν ελέγχουμε την ορθή λειτουργία του κυκλώματος μας (είτε στο behavioural simulation, είτε στο post-route simulation, είτε στις ενέργειες που κάνουμε πάνω στην πλακέτα. Επίσης διαφορετικά μπορεί να είναι τα package pins στα αρχεία .ucf καθώς πιο σύνθετα κυκλώματα μπορεί να χρησιμοποιούν περισσότερα περιφερειακά της κάρτας (switches, buttons, leds). Διαφορετικά επίσης μπορεί να είναι και τα statistics reports που παράγονται σε κάθε περίπτωση.

Επίσης, ανεξάρτητα από τα βήματα σχεδίασης/προσομοίωσης/υλοποίησης, κάθε άσκηση μπορεί να έχει και κάποια ερωτήματα που καλείστε να απαντήσετε (πχ σε ένα έγγραφο του word). Να χρησιμοποιείτε ενδεικτικά ονόματα στα αρχεία σας καθώς και στις απαντήσεις σας μέσα σε αυτά!



Τα reports που μας ενδιαφέρουν:

VIII. Power consumption statistics (στατιστικά κατανάλωσης ισχύος) του σχεδίου (σχηματικό ή VHDL), χρησιμοποιώντας τα εργαλεία του σχεδιαστικού περιβάλλοντος Xilinx ISE (design implementation):

IX. Delay και speed statistics (στατιστικά καθυστέρησης και ταχύτητας) του σχεδίου (σχηματικό ή VHDL), χρησιμοποιώντας τα εργαλεία του σχεδιαστικού περιβάλλοντος Xilinx ISE (design implementation):



Design

View: Implementation Simulation

Hierarchy

- inverter
 - xc3s400-4ft256
 - inverter (inverter.sch)
 - inverter.ucf

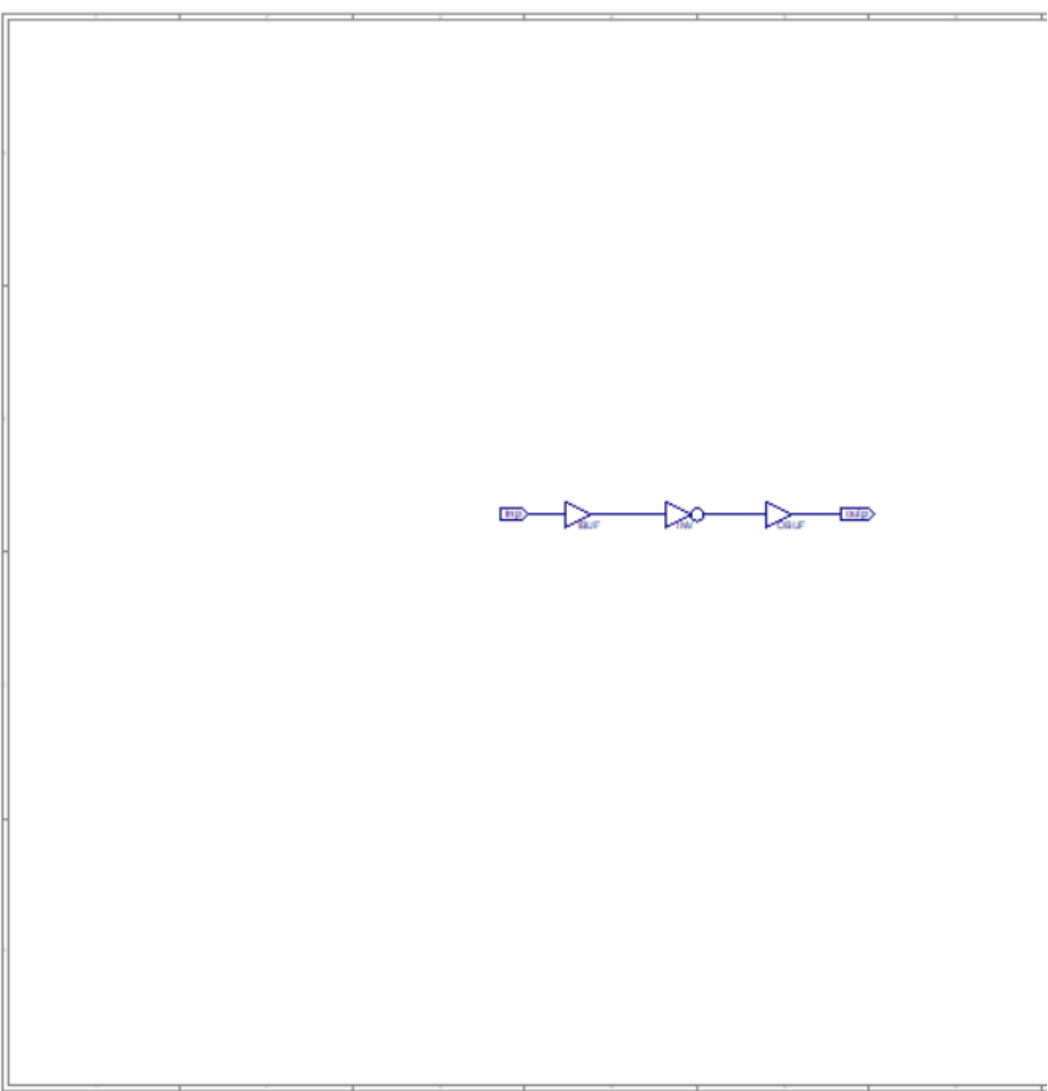
- Constraints Editor...
- Core Generator...
- PlanAhead
 - Schematic Viewer
 - Timing Analyzer
 - FPGA Editor
- XPower Analyzer...**
- iMPACT...
- SmartXplorer
- Check Schematic
- Hierarchical Check
- Symbol Wizard
- Generate HDL Template from Symbol
- Create I/O Markers...
- Symbol Library Manager
- Query Ctrl+Q



No Processes Running

Processes: inverter

- Create Timing Constraints
- I/O Pin Planning (PlanAhead) - Pre-Synthesis
- I/O Pin Planning (PlanAhead) - Post-Synthesis
- Floorplan Area/IO/Logic (PlanAhead)
- Synthesize - XST
- Implement Design
 - Translate
 - Map
 - Place & Route
- Generate Programming File
- Configure Target Device
- Generate Target PROM/ACE File
- Manage Configuration Project (iMPACT)
- Analyze Design Using ChipScope



Errors



Report Navigator

- View
 - Views
 - Project Settings
 - Default Activity Rates
 - Summary**
 - Confidence Level
 - Details
 - By Hierarchy
 - By Resource Type
 - Signals
 - Data
 - IOs

Color	Source
	Estimated
	Default
	Calculated

A	B	C	D	E	F	G	H	I	J	K	L	M	N
Device			On-Chip	Power (W)	Used	Available	Utilization (%)		Supply	Summary	Total	Dynamic	Quiescent
Family	Spartan3		Signals	0.000	1	--	--		Source	Voltage	Current (A)	Current (A)	Current (A)
Part	xc3s400		IOs	0.000	2	173	1		Vccint	1.200	0.015	0.000	0.015
Package	ft256		Leakage	0.060					Vccaux	2.500	0.015	0.000	0.015
Temp Grade	Commercial		Total	0.060					Vcco25	2.500	0.002	0.000	0.002
Process	Typical		Thermal Properties			Effective TJA (C/W)	Max Ambient (C)	Junction Temp (C)	Supply Power (W)		Total	Dynamic	Quiescent
Speed Grade	-4					27.9	83.3	26.7			0.060	0.000	0.060
Environment													
Ambient Temp (C)	25.0												
Use custom TJA?	No												
Custom TJA (C/W)	NA												
Airflow (LFM)	0												
Characterization													
PRODUCTION	v1.2,06-25-09												

The Power Analysis is up to date.

(*) Place mouse over the asterisk for more detailed BRAM utilization.

```

x Design load 100% complete
Running Vector-less Activity Propagation
.....
Finished Running Vector-less Activity Propagation
Finished Running Vector-less Activity Propagation 0 secs

Design 'inverter.ncd' and constraints 'inverter.pcf' opened successfully
    
```

- Design Overview
 - Summary
 - IOB Properties
 - Module Level Utilization
 - Timing Constraints
 - Pinout Report
 - Clock Report
 - Static Timing**
- Errors and Warnings
 - Parser Messages
 - Synthesis Messages
 - Translation Messages
 - Map Messages
 - Place and Route Messages
 - Timing Messages
 - Bitgen Messages
 - All Implementation Messages
- Detailed Reports
 - Synthesis Report
 - Translation Report
 - Map Report
 - Place and Route Report
 - Post-PAR Static Timing Report

- Design Properties
- Enable Message Filtering
- Optional Design Summary Contents
- Show Clock Report
 - Show Failing Constraints
 - Show Warnings
 - Show Errors

inverter Project Status (05/21/2020 - 12:34:21)		
Project File:	inverter.xise	Parser Errors:
Module Name:	inverter	Implementation State:
Target Device:	xc3s400-4ft256	• Errors:
Product Version:	ISE 14.7	• Warnings:
Design Goal:	Balanced	• Routing Results:
Design Strategy:	Xilinx Default (unlocked)	• Timing Constraints:
Environment:	System Settings	• Final Timing Score:

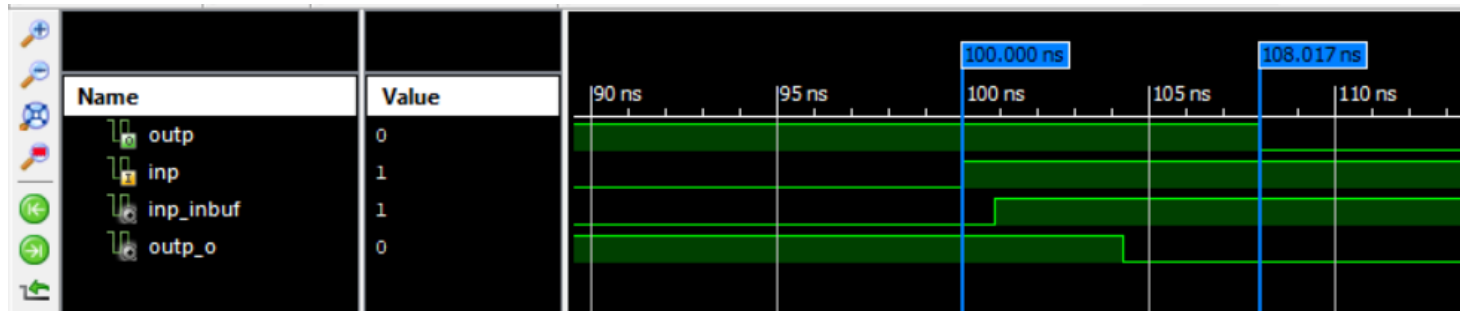
Device Utilization Summary			
Logic Utilization	Used	Available	Utiliz
Number of Slices containing only related logic	0	0	
Number of Slices containing unrelated logic	0	0	
Number of bonded IOBs	2	173	
Average Fanout of Non-Clock Nets	1.00		

Performance Summary		
Final Timing Score:	0 (Setup: 0, Hold: 0)	Pinout Data:
Routing Results:	All Signals Completely Routed	Clock Data:
Timing Constraints:		

Detailed Reports				
Report Name	Status	Generated	Errors	War
Synthesis Report	Current	Sun May 10 18:10:03 2020	0	0
Translation Report	Current	Sun May 10 18:10:08 2020	0	0
Map Report	Current	Sun May 10 18:10:11 2020	0	0

- Report Navigation
- Timing report description
 - Informational messages
 - Timing constraints
 - Data sheet report
 - Trace settings

Item
1 Timing constraints



Uncertainty calculation. Please make appropriate modification to SYSTEM_JITTER to account for the unsupported Discrete Jitter and Phase Error.

Data Sheet report:

All values displayed in nanoseconds (ns)

Pad to Pad

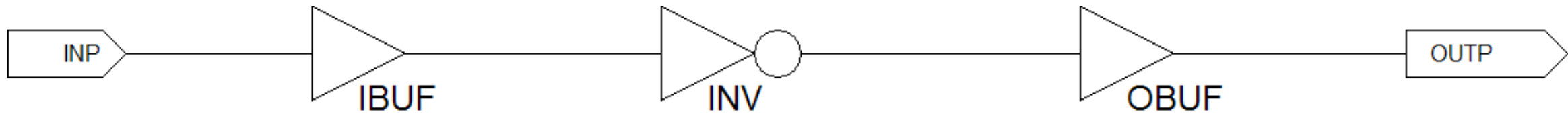
Source Pad	Destination Pad	Delay
inp	outp	8.018

Analysis completed Sun May 10 18:10:20 2020

Trace Settings:

Trace Settings

Peak Memory Usage: 4488 MB



02. Συμπληρώστε παρακάτω την (πολύ απλή) λογική συνάρτηση της εξόδου του κυκλώματος:

OUTP =

03. Εκτελέστε λειτουργική προσομοίωση στο παραπάνω κύκλωμα χρησιμοποιώντας (μεταξύ και των άλλων που απαιτούνται) και τις παρακάτω εντολές του Xilinx Simulator:

...

```
isim force add INP 0 -time 0 ns -value 1 -time 100 ns -value 0 -time 200 ns
```

```
run 400 ns
```

...

Να αποθηκεύετε πάντα το αποτέλεσμα της προσομοίωσης πχ inverter1.wcfg

Εξηγήστε περιφραστικά στο επόμενο κενό την λειτουργία των παραπάνω εντολών του προσομοιωτή, και μετρήστε στο παράθυρο της κυματομορφής την καθυστέρηση του κυκλώματος, και γράψτε την στο παρακάτω κενό.

Input / Output	Board component	FPGA pin (Location)
INP	SW0	F12
OUTP	LD0	K12

05. Εκτελέστε προσομοίωση δικτύου (post-route simulation) στην υλοποίηση του σχεδίου που δημιούργησε το ISE. μετρήστε στο παράθυρο της κυματομορφής την καθυστέρηση του κυκλώματος από τις εισόδους στις εξόδους, και γράψτε την στο παρακάτω κενό. Γράψτε και εξηγήστε στο παρακάτω κενό, επίσης, και τις εντολές της προσομοίωσης που χρησιμοποιήσατε.

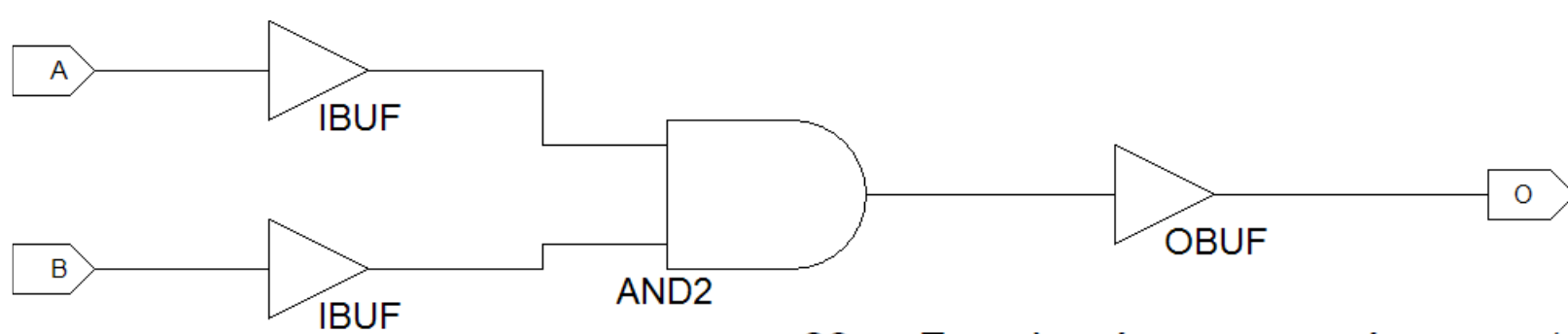
Τιμές εισόδων	Τιμές εξόδων
INP	OUTP
0	
1	

Πίνακας 2: Αποτελέσματα από το πείραμα στο FPGA board

Και εδώ να αποθηκεύετε το αποτέλεσμα της προσομοίωσης πχ inverter2.wcfg (διαφορετικό από behavioral)

Δε χρειάζεται να στέλνετε απαντήσεις στα πειράματα στο FPGA board

07. Όπως εξηγήθηκε πριν στις οδηγίες του φυλλαδίου, διαβάστε τα αντίστοιχα reports του εργαλείου, και γράψτε τις τιμές της μέγιστης καθυστέρησης από τις εισόδους στις εξόδους καθώς επίσης και τις τιμές της κατανάλωσης ρεύματος και ισχύος για την υλοποίηση που ολοκληρώσατε στο ISE, στο παρακάτω κενό.



09. Συμπληρώστε παρακάτω την (πολύ απλή) λογική συνάρτηση της εξόδου του κυκλώματος:

O =

10. Εκτελέστε λειτουργική προσομοίωση στο παραπάνω κύκλωμα χρησιμοποιώντας (μεταξύ και των άλλων που απαιτούνται) και τις παρακάτω εντολές του Xilinx Simulator:

...

```
isim force add A 0 -time 0 ns -value 1 -time 100 ns -value 0 -time 200 ns
```

```
isim force add B 1 -time 0 ns -value 0 -time 200 ns -value 1 -time 300 ns
```

```
run 400 ns
```

...

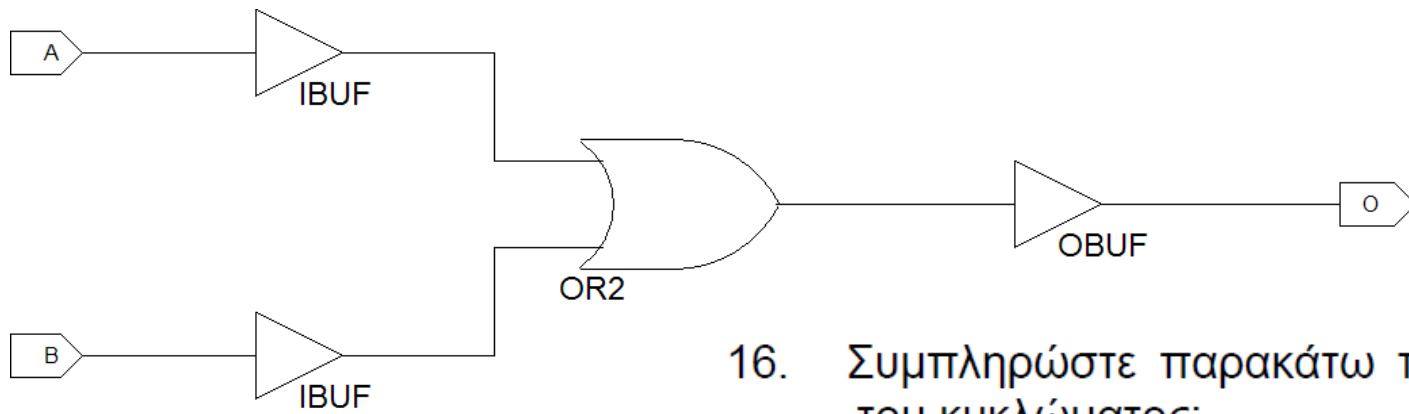
Εξηγήστε περιφραστικά στο επόμενο κενό την λειτουργία των παραπάνω εντολών του προσομοιωτή, και μετρήστε στο παράθυρο της κυματομορφής την καθυστέρηση του κυκλώματος από εισόδους σε εξόδους, και γράψτε την στο παρακάτω κενό.

11. Υλοποιήστε το παραπάνω σχέδιο στο εργαλείο ISE χρησιμοποιώντας τον παρακάτω πίνακα, ο οποίος σας δείχνει την σωστή τοποθεσία (LOC) των pins του FPGA, για τις εισόδους και εξόδους (ΕΕς) του παραπάνω κυκλώματος:

Input / Output	Board component	FPGA pin (Location)
A	SW0	F12
B	SW1	G12
O	LD0	K12

Πίνακας 3: Τοποθετήσεις (locations) των Ε/Ε του κυκλώματος στο FPGA chip

12. Εκτελέστε προσομοίωση δικτύου (post-route simulation) στην υλοποίηση του σχεδίου που δημιούργησε το ISE. μετρήστε στο παράθυρο της κυματομορφής την καθυστέρηση του κυκλώματος από τις εισόδους στις εξόδους, και γράψτε την στο παρακάτω κενό. Γράψτε και εξηγήστε στο παρακάτω κενό, επίσης, και τις εντολές της προσομοίωσης που χρησιμοποιήσατε.
14. Όπως εξηγήθηκε πριν στις οδηγίες του φυλλαδίου, διαβάστε τα αντίστοιχα reports του εργαλείου, και γράψτε τις τιμές της μέγιστης καθυστέρησης από τις εισόδους στις εξόδους, καθώς επίσης και τις τιμές της κατανάλωσης ρεύματος και ισχύος για την υλοποίηση που ολοκληρώσατε στο ISE, στο παρακάτω κενό.



16. Συμπληρώστε παρακάτω την (πολύ απλή) λογική συνάρτηση της εξόδου του κυκλώματος:

O =

17. Εκτελέστε λειτουργική προσομοίωση στο παραπάνω κύκλωμα χρησιμοποιώντας (μεταξύ και των άλλων που απαιτούνται) και τις παρακάτω εντολές του Xilinx Simulator:

...

```
isim force add A 0 -time 0 ns -value 1 -time 100 ns -value 0 -time 200 ns
```

```
isim force add B 1 -time 0 ns -value 0 -time 200 ns -value 1 -time 300 ns
```

```
run 400 ns
```

...

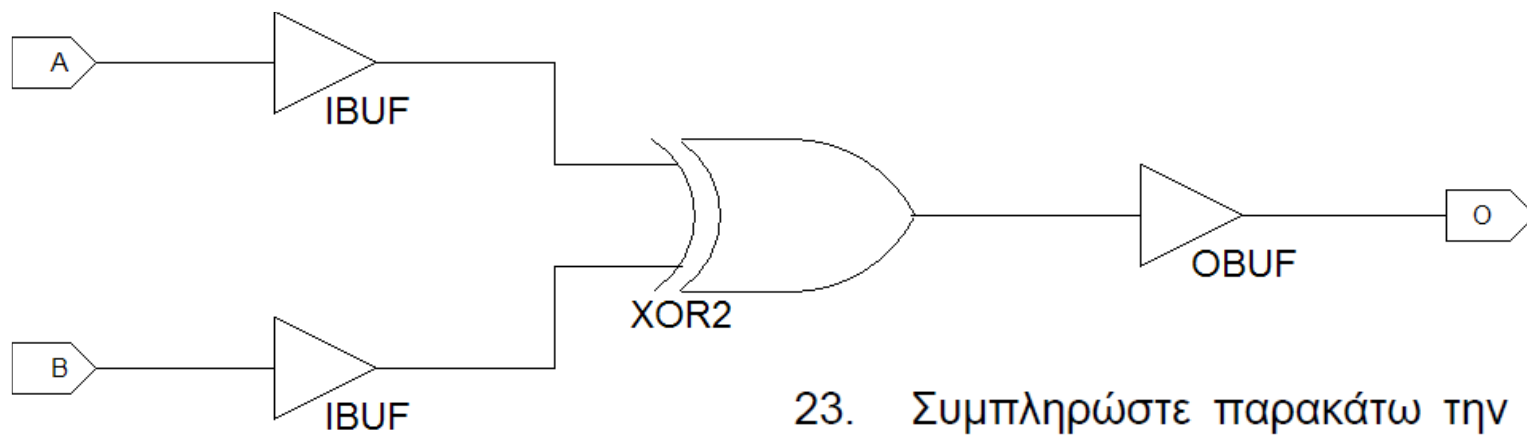
Εξηγήστε περιφραστικά στο επόμενο κενό την λειτουργία των παραπάνω εντολών του προσομοιωτή, και μετρήστε στο παράθυρο της κυματομορφής την καθυστέρηση του κυκλώματος από τις εισόδους στις εξόδους, και γράψτε την στο παρακάτω κενό.

18. Υλοποιήστε το παραπάνω σχέδιο στο εργαλείο ISE χρησιμοποιώντας τον παρακάτω πίνακα, ο οποίος σας δείχνει την σωστή τοποθεσία (LOC) των pins του FPGA, για τις εισόδους και εξόδους (ΕΕς) του παραπάνω κυκλώματος:

Input / Output	Board component	FPGA pin (Location)
A	SW0	F12
B	SW1	G12
O	LD0	K12

Πίνακας 5: Τοποθετήσεις (locations) των E/E του κυκλώματος στο FPGA chip

19. Εκτελέστε προσομοίωση δικτύου (post-route simulation) στην υλοποίηση του σχεδίου που δημιούργησε το ISE. μετρήστε στο παράθυρο της κυματομορφής την καθυστέρηση του κυκλώματος από τις εισόδους στις εξόδους, και γράψτε την στο παρακάτω κενό. Γράψτε και εξηγήστε στο παρακάτω κενό, επίσης, και τις εντολές της προσομοίωσης που χρησιμοποιήσατε.
21. Όπως εξηγήθηκε πριν στις οδηγίες του φυλλαδίου, διαβάστε τα αντίστοιχα reports του εργαλείου, και γράψτε τις τιμές της μέγιστης καθυστέρησης από τις εισόδους στις εξόδους καθώς επίσης και τις τιμές της κατανάλωσης ρεύματος και ισχύος για την υλοποίηση που ολοκληρώσατε στο ISE, στο παρακάτω κενό.



23. Συμπληρώστε παρακάτω την (πολύ απλή) λογική συνάρτηση της εξόδου του κυκλώματος:

O =

24. Εκτελέστε λειτουργική προσομοίωση στο παραπάνω κύκλωμα χρησιμοποιώντας (μεταξύ και των άλλων που απαιτούνται) και τις παρακάτω εντολές του Xilinx Simulator:

...

```
isim force add A 0 -time 0 ns -value 1 -time 100 ns -value 0 -time 200 ns
```

```
isim force add B 1 -time 0 ns -value 0 -time 200 ns -value 1 -time 300 ns
```

```
run 400 ns
```

...

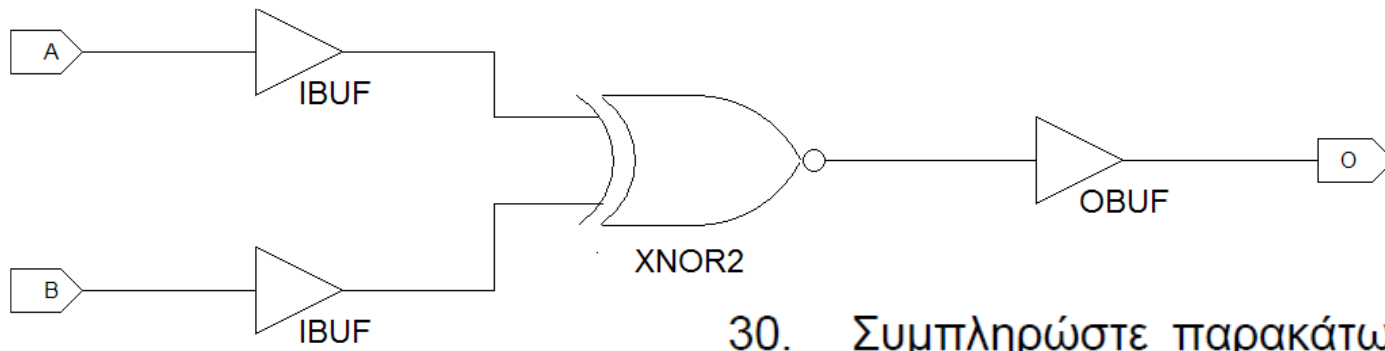
Εξηγήστε περιφραστικά στο επόμενο κενό την λειτουργία των παραπάνω εντολών του προσομοιωτή, και μετρήστε στο παράθυρο της κυματομορφής την καθυστέρηση του κυκλώματος από τις εισόδους στις εξόδους, και γράψτε την στο παρακάτω κενό.

25. Υλοποιήστε το παραπάνω σχέδιο στο εργαλείο ISE χρησιμοποιώντας τον παρακάτω πίνακα, ο οποίος σας δείχνει την σωστή τοποθεσία (LOC) των pins του FPGA, για τις εισόδους και εξόδους (ΕΕς) του παραπάνω κυκλώματος:

Input / Output	Board component	FPGA pin (Location)
A	SW0	F12
B	SW1	G12
O	LD0	K12

Πίνακας 7: Τοποθετήσεις (locations) των Ε/Ε του κυκλώματος στο FPGA chip

26. Εκτελέστε προσομοίωση δικτύου (post-route simulation) στην υλοποίηση του σχεδίου που δημιούργησε το ISE. μετρήστε στο παράθυρο της κυματομορφής την καθυστέρηση του κυκλώματος από τις εισόδους στις εξόδους, και γράψτε την στο παρακάτω κενό. Γράψτε και εξηγήστε στο παρακάτω κενό, επίσης, και τις εντολές της προσομοίωσης που χρησιμοποιήσατε.
28. Όπως εξηγήθηκε πριν στις οδηγίες του φυλλαδίου, διαβάστε τα αντίστοιχα reports του εργαλείου, και γράψτε τις τιμές της μέγιστης καθυστέρησης από τις εισόδους στις εξόδους, καθώς επίσης και τις τιμές της κατανάλωσης ρεύματος και ισχύος για την υλοποίηση που ολοκληρώσατε στο ISE, στο παρακάτω κενό.



30. Συμπληρώστε παρακάτω την (πολύ απλή) λογική συνάρτηση της εξόδου του κυκλώματος:

O =

31. Εκτελέστε λειτουργική προσομοίωση στο παραπάνω κύκλωμα χρησιμοποιώντας (μεταξύ και των άλλων που απαιτούνται) και τις παρακάτω εντολές του Xilinx Simulator:

...

```
isim force add A 0 -time 0 ns -value 1 -time 100 ns -value 0 -time 200 ns
```

```
isim force add B 1 -time 0 ns -value 0 -time 200 ns -value 1 -time 300 ns
```

```
run 400 ns
```

...

Εξηγήστε περιφραστικά στο επόμενο κενό την λειτουργία των παραπάνω εντολών του προσομοιωτή, και μετρήστε στο παράθυρο της κυματομορφής την καθυστέρηση του κυκλώματος από τις εισόδους στις εξόδους, και γράψτε την στο παρακάτω κενό.

32. Υλοποιήστε το παραπάνω σχέδιο στο εργαλείο ISE χρησιμοποιώντας τον παρακάτω πίνακα, ο οποίος σας δείχνει την σωστή τοποθεσία (LOC) των pins του FPGA, για τις εισόδους και εξόδους (ΕΕς) του παραπάνω κυκλώματος:

Input / Output	Board component	FPGA pin (Location)
A	SW0	F12
B	SW1	G12
O	LD0	K12

Πίνακας 9: Τοποθετήσεις (locations) των Ε/Ε του κυκλώματος στο FPGA chip

33. Εκτελέστε προσομοίωση δικτύου (post-route simulation) στην υλοποίηση του σχεδίου που δημιούργησε το ISE. μετρήστε στο παράθυρο της κυματομορφής την καθυστέρηση του κυκλώματος από τις εισόδους στις εξόδους, και γράψτε την στο παρακάτω κενό. Γράψτε και εξηγήστε στο παρακάτω κενό, επίσης, και τις εντολές της προσομοίωσης που χρησιμοποιήσατε.
35. Όπως εξηγήθηκε πριν στις οδηγίες του φυλλαδίου, διαβάστε τα αντίστοιχα reports του εργαλείου, και γράψτε τις τιμές της μέγιστης καθυστέρησης από τις εισόδους στις εξόδους, καθώς επίσης και τις τιμές της κατανάλωσης ρεύματος και ισχύος για την υλοποίηση που ολοκληρώσατε στο ISE, στο παρακάτω κενό.

Για αυτή την εβδομάδα...

Κατεβάστε και εγκαταστήστε το Xilinx ISE 14.7 στον υπολογιστή σας με WEBPACK License αν δεν το έχετε ήδη κάνει.

Ασκήσεις 3 (OR2), 4 (XOR2) και 5 (XNOR2) από το φυλλάδιο 2 (basic logic gates).

ΔΕΝ μου αποστέλλετε συμπιεσμένους φακέλους των projects, αλλά...

ΣΤΕΛΝΕΤΕ τρία έγγραφα του Word, ένα για κάθε άσκηση, όπου έχετε συμπεριλάβει τις απαντήσεις σας και έχετε επίσης κάνει χρήση screenshots:

- στο σχηματικό που δημιουργήσατε
- στη λειτουργική προσομοίωση
- στην προσομοίωση δικτύου