

Σχεδίαση Συνδυαστικών Κυκλωμάτων

9.1 Εισαγωγή

Τα κυκλώματα ψηφιακής λογικής ταξινομούνται σε δύο κατηγορίες: συνδυαστικά (combinational) και ακολουθιακά (sequential). Συνδυαστικά αποκαλούνται τα κυκλώματα των οποίων οι εξόδοι εξαρτώνται μόνο από τις παρούσες εισόδους· εν αντιθέσει, τα ακολουθιακά κυκλώματα έχουν μνήμη. Γενικά, οι δομικές μονάδες των συνδυαστικών κυκλωμάτων είναι λογικές πύλες, ενώ οι δομικές μονάδες για τα ακολουθιακά κυκλώματα είναι καταχωρητές και μανδαλαφές. Στο παρόν κεφάλαιο θα επικεντρωθούμε στη συνδυαστική λογική· στο Κεφάλαιο 10 θα εξετάσουμε την ακολουθιακή λογική.

Στο Κεφάλαιο 1 παρουσιάσαμε τη λογική CMOS, βασίζομενοι στην υπόθεση ότι τα τρανζίστορ MOS ενεργούν ως απλοί διακόπτες. Οι στατικές πύλες CMOS χρησιμοποιούν συμπληρωματικά δίκτυα nMOS και pMOS για την οδήγηση των εξόδων 0 και 1, αντίστοιχα. Στο Κεφάλαιο 4 χρησιμοποιήσαμε το μοντέλο καθυστέρησης RC και την έννοια του λογικού φόρτου για να κατανοήσουμε τα αίτια που προκαλούν καθυστέρηση σε στατικές λογικές δομές CMOS.

Στο παρόν κεφάλαιο θα εξετάσουμε τεχνικές βελτιστοποίησης των συνδυαστικών κυκλωμάτων, με στόχο τη χαμηλότερη καθυστέρηση και/ή κατανάλωση ισχύος. Η συντηρητική πλειονότητα των κυκλωμάτων χρησιμοποιούν δομές στατικής λογικής CMOS, επειδή είναι εύρωστες, γρήγορες, αποτελεσματικές ως προς την κατανάλωση ενέργειας και εύκολες στη σχεδίαση. Ωστόσο, υπάρχουν επίσης συγκεκριμένα κυκλώματα με ιδιαίτερα αποδοτικούς περιορισμούς όσον αφορά την ταχύτητα, την κατανάλωση ισχύος, ή την πυκνότητα, τα οποία επιβάλλουν την έρευνα μιας διαφορετικής λύσης. Τέτοιου είδους εναλλακτικές λογικές δομές CMOS αποκαλούνται *σπερμικές κυκλώματα*. Η Ενότητα 9.2 εξετάζει τις ευρύτερα χρησιμοποιούμενες εναλλακτικές οικογένειες κυκλωμάτων: κυκλώματα βασισμένα σε λόγο διαστάσεων (ratioed circuits), δυναμικά κυκλώματα (dynamic circuits) και κυκλώματα με τρανζίστορ παράσιτος (pass-transistor circuits). Για μία ολόκληρη δεκαετία, από το 1994 έως το 2004 περίπου, τα δυναμικά κυκλώματα βρέθηκαν στο απόγειό τους, καθώς οι μικροεξέργασίες υψηλών επιδόσεων χρησιμοποιούσαν ολοένα και πιο προηγμένες δομές για να επιτύχουν τη μέγιστη δυνατή συχνότητα λειτουργίας. Εκτοτε όμως, ζητήματα κατανάλωσης ισχύος, ερωσιτίας και σχεδιαστικής παραγωγικότητας έχουν εκτοπίσει τα δυναμικά κυκλώματα από το προσκήνιο σε μεγάλο βαθμό, αν και παραμένουν σημαντικά για διατάξεις μνήμης, όπου οι όποιες εναλλακτικές επιλογές είναι περισσότερο δαπανηρές. Στο ίδιο πνεύμα, παραλληλίστηκαν και άλλες οικογένειες κυκλωμάτων, ή περιορίστηκαν σε πολύ εξειδικευμένους τομείς της αγοράς.

Όπως γυφρίζετε από την Ενότητα 4.3.7, η καθυστέρηση μιας λογικής πύλης εξαρτάται από το ρεύμα εξόδου της, I , τη χωρητικότητα φορτίου, C , και το περιθώριο μεταβολής της τάσης εξόδου, ΔV

$$t \propto \frac{C}{I} \Delta V \quad (9.1)$$

Οι ταχύτερες οικογένειες κυκλωμάτων επιχειρούν να μειώσουν έναν από αυτούς τους τρεις όρους. Λέδομενο ότι τα nMOS τρανζίστορ παρέχουν περισσότερο ρεύμα από τα pMOS με ίδιο μέγεθος και χωρητικότητα, τα nMOS δίκτυα είναι προτιμητέα. Αξίζει να επισημανώμε ότι ο λογικός φόρτος είναι ανάλογος του όρου C/I , επειδή καθορίζεται από τη χωρητικότητα εισόδου μιας πύλης η οποία μπορεί να αποδοσει συγκεκριμένο ρεύμα εξόδου.

Ενα μειονέκτημα της στατικής λογικής CMOS είναι ότι απαιτεί τόσο nMOS όσο και pMOS τρανζίστορ σε κάθε είσοδο. Κατά την καθοδική μετάβαση της εξόδου, τα pMOS τρανζίστορ ασκούν σημαντικά τη χωρητικότητα χωρίς να βοηθούν το ρεύμα οδήγησης κάτω (pull-down), πράγμα το οποίο σημειώνει ότι

οι στατικές δομές CMOS εμφανίζουν σχετικά μεγάλο λογικό φόρτο. Ορισμένες ταχύτερες οικογένειες κυκλωμάτων των επιδόσεων να οδηγούν μόνο nMOS τρανζίστορ στην είσοδο, για μείωση της χωρητικότητας και του λογικού φόρτου. Ωστόσο, θα πρέπει να παρέχεται ένας εναλλακτικός μηχανισμός, ο οποίος θα οδηγήσει το φερίμα έξοδου σε υψηλή στάθμη. Για την εξερεύνηση της χρονικής στιγμής κατά την οποία οι εξόδοι πρέπει να οδηγηθούν σε υψηλή στάθμη, είναι αναγκαίο να παρακολουθούνται οι είσοδοι, οι εξόδοι, ή κάποιο σήμα ρολογιού. Η παρακολούθηση των εισόδων και των εξόδων επιβεβαιώνει αναπόφευκτα τους κόμβους ενός κυκλώματος, γι' αυτό και τα κυκλώματα με ρολόι είναι συνήθως πολύ γρήγορα, εφόσον το σήμα του ρολογιού φτάνει την καταλληλή στιγμή. Ένα επιπλέον μετενέκτημα των στατικών δομών CMOS είναι ότι όλες οι τάσεις των κόμβων πρέπει να μεταβάλλονται μεταξύ 0 και V_{DD} . Ορισμένες οικογένειες κυκλωμάτων χρησιμοποιούν μειωμένες τάσεις τροφοδοσίας για να βελτιώσουν την καθυστέρηση διάδοσης και την καταπόνηση ισχύος. Αυτό το πλεονέκτημα πρέπει να σταθμίζεται έναντι της καθυστέρησης και της αναγκαίας ισχύος ενίσχυσης των εξόδων στις κανονικές στάθμες τάσης, ή του κόστους που συνεπάγεται η ανοχή μειωμένου περιθωρίου μεταβολής τάσης (voltage swing).

Οι στατικές δομές λογικής CMOS είναι ιδιαίτερα δημοφιλείς λόγω της ερωσιότητας και αξιοπιστίας τους. Με δεδομένες ορισμένες εισόδους, τελικά ένα τέτοιο κύκλωμα θα περάσει τις ορισμένες εισόδους, υπό την προϋπόθεση ότι δεν υπάρχουν σφάλματα στη σχεδίαση της λογικής ή στην κατασκευή. Άλλες οικογένειες κυκλωμάτων είναι επιρρεπείς σε παθολογίες, όπως ο διαμορφωμένος φόρτος, τα φαινόμενα διαρροής, οι πιεστές τάσης, κατοφύλιο, και οι περιφερικοί στους λογούς μεγάλων των τρανζίστορ. Σε περιπτώσεις όπου χρησιμοποιούνται εναλλακτικές οικογένειες κυκλωμάτων, είναι σημαντικό να γνωρίζετε τα πιθανά προβλήματα τους και να διασφαλίζετε ότι τα κυκλώματα θα λειτουργούν σωστά σε όλες τις συνθήκες (σχεδιαστικές γωνίες).

Έχουν προταθεί αρκετές άλλες οικογένειες κυκλωμάτων, αλλά οι περισσότερες εξ' αυτών δεν έχουν τύχει αποδοχής από τη βιομηχανία και περιορίζονται στο να γράφουν τα ράφια διαφόρων βιβλιοθηκών. Δεδομένου ότι κάθε τρανζίστορ συνεισφέρει στη χωρητικότητα, οι περισσότερες «γρήγορες» δομές είναι επίσης αρκετά απλές. Παρά ταύτα, θα περιηγηθούμε ορισμένα από αυτά τα κυκλώματα στην Ενότητα 9.4, ως μια καταγραφή ιδεών που έχουν κατά καιρούς προταθεί. Ορισμένες εξ' αυτών ενδοχόμενες να χρησιμοποιούνται στο μέλλον, κυρίως σε εφαρμογές ειδικού σκοπού. Αρκετά βιβλιοθηκοποιούν αυτά τα κυκλώματα χωρίς να επιφέρουν να τα αξιολογήσουν. Το παρόν βιβλίο αξιολογεί τις οικογένειες κυκλωμάτων που παρουσιάζει, έτσι ώστε οι σχεδιαστές να είναι σε θέση να χρησιμοποιήσουν άμεσα τις πλέον κατάλληλες οικογένειες, αντί να ανακαλύψουν στην πράξη τα μειονεκτήματά τους, επειδή δεν παρατηρήθηκαν στη σχετική βιβλιογραφία. Φυσικά, κάθε αξιολόγηση διατρέχει τον κίνδυνο να παραβλέψει κάποια πλεονεκτήματα ή να καταστεί εσφαλμένη λόγω της εξέλιξης της τεχνολογίας, γι' αυτό και είναι πάντα να χρησιμοποιείτε τη δική σας οπτική κρίση.

Τα ολοκληρωμένα τεχνολογίας SOI (Silicon-on-Insulator, περίπου σε μονοστη) εξαλείφουν το άγχος υπόστρωμα. Κατ' αυτό τον τρόπο μπορούν να επιτυγχάνουν χαμηλότερη παραστατική χωρητικότητα και καλύτερες κλίσεις υποκατοφλίου, πράγμα το οποίο οδηγεί σε μειωμένη καταπόνηση ισχύος και/ή υψηλότερη ταχύτητα, αλλά επιδεικνύουν τις δικές τους, ιδιαίτερες παθολογίες. Στην Ενότητα 9.5 θα εξετάσουμε ζητήματα που αφορούν τα κυκλώματα SOI.

Με διαρκώς αυξανόμενο ρυθμό, η τεχνολογία CMOS εφευρίσκει σε συστήματα εξαιρετικά χερμηλής καταπόνησης ισχύος, όπως τα ιατρικά εμφυτεύματα που απαιτούν δυνατότητα πολυετούς λειτουργίας με τροφοδοσία από μια μικροσκοπική μπαταρία, καθώς και οι απομακρυσμένοι αισθητήρες που προσλαμβάνουν την ενέργειά τους από το νόσημα. Οι στατικές πύλες CMOS που λειτουργούν στην περιοχή υποκατοφλίου μπορούν να μειώσουν την καταπόνηση ενέργειας ανά λειτουργία κατά μια τάξη μεγέθους, με αντίτιμο αρκετές τάξεις μεγέθους μείωση στην απόδοση. Η Ενότητα 9.6 διερευνά σχεδιαστικά ζητήματα για τα κυκλώματα που λειτουργούν στην περιοχή υποκατοφλίου.

9.2 Οικογένειες Κυκλωμάτων

Οι στατικές δομές CMOS με συμπληρωματικά δίκτυα nMOS οδηγώντας «κάτω» και pMOS οδηγώντας «πάνω» χρησιμοποιούνται στη συντριπτική πλειονότητα των λογικών πύλων σε ολοκληρωμένα. Έχουν καλά περιθώρια θορύβου, είναι γρήγορα και με χαμηλή καταπόνηση ισχύος, ανήκονται διακομμένες των στοιχείων, σχεδιάζονται εύκολα, υποστηρίζονται πολύ καλά από τα εργαλεία CAD και είναι διαθέσιμες σε βιβλιοθηκές τοποποιημένων κυκλωμάτων. Όταν ο θόρυβος υπερβαίνει κάποια όρια, η καθυστέρηση της πύλης αυξάνεται λόγω ανεπιθύμητων αλλαγών κατάστασης κόμβων (glitch), αλλά η πύλη τελικά σταθεροποιείται στην σωστή έξοδο. Οι περισσότερες ομάδες σχεδίασης χρησιμοποιούν πύλων αποκλειστικά και μόνο στατικές δομές CMOS για την υλοποίηση συνδυαστικής λογικής. Στην προφύλαξη ενότητα θα ξεκινήσουμε παρουσιάζοντας ορισμένες τεχνικές βελτιστοποίησης στατικών κυκλωμάτων CMOS.

Ωστόσο, σε ορισμένες περιπτώσεις οι περιορισμοί σε επιφάνεια ή οι απαιτήσεις απόδοσης επιβάλλουν τη χρήση άλλων οικογενειών κυκλωμάτων. Η σημαντικότερη εναλλακτική επιλογή είναι τα δυναμικά κυκλώματα. Εδώ, όμως, θα ξεκινήσουμε εξετάζοντας τα βασισμένα σε λόγο διαστάσεων κυκλώματα (ratioed circuits), τα οποία είναι απλο-

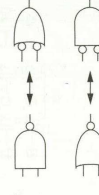
στερα και παρέχουν ένα χρήσιμο εννοιολογικό υπόβαθρο για τη μετάβαση μας από τα στατικά στα δυναμικά κυκλώματα. Θα εξετάσουμε επίσης τα τρανζίστορ περσέματος (pass transistors), τα οποία κορφαίρσαν κατά τη δεκαετία του '90 για την υλοποίηση λογικών κυκλωμάτων γενικού σκοπού και συνεχίζουν να χρησιμοποιούνται σε εξειδικευμένες εφαρμογές.

9.2.1 Στατικά Κυκλώματα CMOS

Οι σχεδιαστές που έχουν συνήθεισε να χρησιμοποιούν πύλες AND και OR πρέπει να μάθουν να σκέφτονται με όρους πύλων NAND και NOR για να απολαμβάνουν τα πλεονεκτήματα των στατικών δομών CMOS. Σε μια σχεδίαση "με το χέρι", αυτό επιτυγχάνεται συνήθως μέσω της «ώθησης φουσάλιδας» (bubble pushing). Οι συνθέτες πύλες είναι ιδιαίτερα χρήσιμες για την υλοποίηση πολυπλοκών συναρτήσεων με σχετικά χαμηλό λογικό φόρτο. Όταν είναι γνωστό ότι μια συγκεκριμένη είσοδος καθυστέρηση ως προς τις υπολοίπες η πύλη μπορεί να βελτιστοποιηθεί ώστε να ενωθεί αυτή την είσοδο. Παρόμοια, όταν είναι γνωστό ότι η ανερχόμενη ή η κατερχόμενη ακμή είναι πιο κρίσιμη, η πύλη μπορεί να βελτιστοποιηθεί ως προς την αντίστοιχη ακμή. Εως τώρα επικεντρωθήκαμε στη σχεδίαση πύλων με ίσες καθυστερήσεις ανόδου και καθόδου. Ωστόσο, η χρήση pMOS τρανζίστορ μικρότερου μεγέθους μπορεί να μειώσει την καθυστέρηση, καθώς και την καταπόνηση ισχύος και επιφάνειας. Σε τεχνολογίες κατασκευής που υποστηρίζουν πολλαπλές τάσεις κατοφλίου, μπορούν να κατασκευάζονται πολλαπλές "παράλληλες" πύλων με διαφορετικούς συμβεβαθμούς μεταξύ ταχύτητας και διαρροής ισχύος.

9.2.1.1 Πύλη φουσάλιδας Στις δομές CMOS, τα στάδια είναι εκ φύσεως αντιστραπτέα, οπότε οι λειτουργίες AND και OR πρέπει να υλοποιούνται με πύλες NAND και NOR. Για τη μετατροπή χρησιμοποιείται ο νόμος DeMorgan:

$$\begin{aligned} A \cdot B &= \bar{A} + \bar{B} \\ \bar{A} + \bar{B} &= \overline{A \cdot B} \end{aligned} \quad (9.2)$$



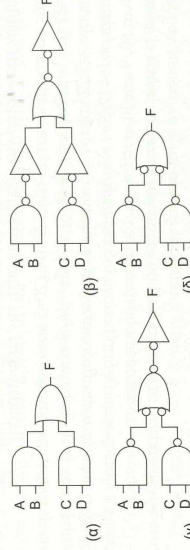
ΣΧΗΜΑ 9.1 Όθηση φουσάλιδας σύμφωνα με το νόμο DeMorgan.

Αυτές οι σχέσεις απεικονίζονται στο Σχήμα 9.1. Μια NAND είναι ισοδύναμη με μια OR ανεστραμμένη εισόδου. Μια NOR είναι ισοδύναμη με μια AND ανεστραμμένων εισόδων. Η ίδια σχέση γίνεται εύκολα με τη χρήση ενός πύλων και αποκαλείται *ώθηση φουσάλιδας*.

Παράδειγμα 9.1

Σχεδιάστε ένα κύκλωμα για τον υπολογισμό της συνάρτησης $F = AB + CD$, χρησιμοποιώντας πύλες NAND και NOR.

ΛΥΣΗ: Με απλή, οπτική εξέταση, οδηγούμαστε σε ένα κύκλωμα αποτελούμενο από δύο AND και δύο OR, όπως βλέπετε στο Σχήμα 9.2(α). Στο Σχήμα 9.2(β), οι AND και NOR μετασχηματίζονται σε στοιχειώδη στάδια CMOS. Στο Σχήματα 9.2(γ και δ), χρησιμοποιείται ώθηση φουσάλιδας για την απλοποίηση της λογικής σε τρεις NAND.



ΣΧΗΜΑ 9.2 Χρήση της τεχνικής ώθησης φουσάλιδας για το μετασχηματισμό των AND και OR σε NAND και NOR.

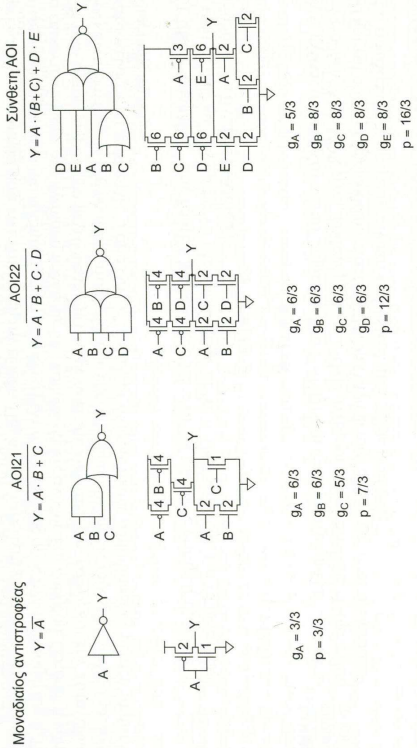
9.2.1.2 Σύνθετες πύλες Όπως αναφέραμε στην Ενότητα 1.4.5, η στατική CMOS χειρίζεται αποτελεσματικά σύνθετες πύλες που υπολογίζουν διάφορους συνδυασμούς αντιστροφής πύλων



ΣΧΗΜΑ 9.3 Δομή λογικής που χρησιμοποιεί μια πύλη AOI22.

AND/OR σ' ένα μόνο στάδιο. Η συνάρτηση $F=AB+CD$ μπορεί να υπολογιστεί με μια πύλη AND-OR-INVERT-22 (AOI22) κι έναν αντιστροφέα, όπως υποδεικνύει το Σχήμα 9.2.

Γενικά, ο λογικός φόρτος των σύνθετων πύλων μπορεί να είναι διαφορετικός για διαφορετικές εισόδους. Στο Σχ. 9.4 βλέπτε πώς μπορεί να εκτιμηθεί ο λογικός φόρτος για πύλες AOI21 και AOI22, καθώς και για πιο σύνθετες πύλες. Τα πλάτη των τρανζίστορ επιλέγονται ώστε να δίνουν την ίδια οδηγία μ' έναν μοναδιαίο αντιστροφέα. Ο λογικός φόρτος κάθε εισόδου είναι ο λόγος της χωρητικότητας κάθε εισόδου προς τη χωρητικότητα εισόδου του αντιστροφέα. Για την πύλη AOI21, αυτό σημαίνει ότι ο λογικός φόρτος είναι ελαφρώς χαμηλότερος για τον ακροδέκτη OR (C) απ' ό,τι για τους δύο ακροδέκτες AND (A, B). Η παραστική καθυστέρηση υπολογίζεται κατά προσέγγιση από τη συνολική χωρητικότητα διάχυσης στον ακροδέκτη εξόδου, προσηθόντως τα μεγέθη των τρανζίστορ που συνδέονται στην έξοδο.



ΣΧΗΜΑ 9.4 Λογικοί φόρτοι και παραστικές χωρητικότητες πύλων AOI.

Παράδειγμα 9.2

Βρείτε την ελάχιστη καθυστέρηση, σε τ , η οποία απαιτείται για τον υπολογισμό της συνάρτησης $F=AB+CD$, χρησιμοποιώντας τα κυκλώματα των Σχ. 9.2(β) και 9.3. Κάθε είσοδος μπορεί να παρουσιάζει έως 20 μ s πλάτους τρανζίστορ. Η έξοδος πρέπει να οδηγεί φορτίο ισοδύναμο με 100fF πλάτους τρανζίστορ. Επιλέξτε τα μεγέθη των τρανζίστορ για να επιτύχετε αυτή την καθυστέρηση.

ΛΥΣΗ: Ο ηλεκτρικός φόρτος μονοπατιού είναι $H=100/20=5$ και ο φόρτος διακλάδωσης είναι $B=1$. Η σχεδίαση με την AOI22 και τον αντιστροφέα έχει λογικό φόρτο μονοπατιού $P=(6/3) \times 1=2$ και παραστική καθυστέρηση $P=12/3+1=5$. Αρφοότερος ο υπολογιστής έχουν $N=2$ στάδια. Οι φόρτοι μονοπατιού $F=GBH$ είναι 80/9 και 10, αντίστοιχα. Οι καθυστερήσεις μονοπατιού είναι $N\tau^{1/N}+P$, ή 10,0 τ και 11,3 τ , αντίστοιχα. Η χρήση σύνθετων πύλων δεν οδηγεί πάντα σε ταχύτερα κυκλώματα. Μια απλή πύλη NAND 2 εισόδων μπορεί να είναι αρκετά γρήγορη.

Για να υπολογίσουμε τα μεγέθη, πρέπει να καθορίσουμε το βέλτιστο φόρτο των σταδίων, $\hat{f} = F^{1/N} = 3.0$ και 3.2, αντίστοιχα. Δεδομένου ότι εμπίπτουν στο εύρος 2.4 - 6, αντιλαμβάνομαστε ότι οι φόρτοι είναι λογικοί και το κύκλωμα δεν πρόκειται να βελτιωθεί σημαντικά με την προσβασιμότητα σταδίων. Η χωρητικότητα εισόδου της δεύτερης πύλης υπαγορεύεται από τον ακόλουθο μετασχηματισμό χωρητικότητας

$$C_{in1} = \frac{C_{out} \times g_i}{f}$$

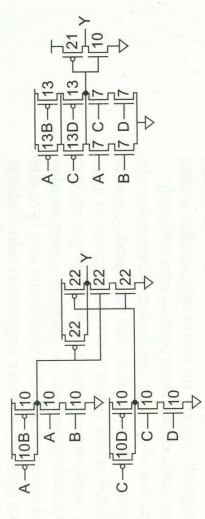
$$C_{in} = \frac{100 \lambda \times (4/3)}{3.0} = 44 \lambda$$

$$C_{in} = \frac{100 \lambda \times (1)}{3.2} = 31 \lambda$$

Για την υλοποίηση με NAND,
 Για την υλοποίηση με AOI22,

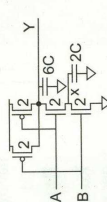
Τα μονοπάτια παρουσιάζονται στο Σχήμα 9.5, με τα πλάτη των τρανζίστορ στερογγυλοποιημένα σε ακέραιες τιμές.

9.2.13 Επίδραση της σειράς των εισόδων στη καθυστέρηση Ο λογικός φόρτος και η παραστική καθυστέρηση διαφορετικών εισόδων μιας πύλης είναι συχνά διαφορετικά μεταξύ τους. Ορισμένες λογικές πύλες, όπως η AOI21 της προηγούμενης ενότητας, είναι εκ φύσεως ασύμμετρες, υπό την έννοια ότι η μια είσοδος συνδέεται σε χαμηλότερη χωρητικότητα απ' ό,τι η άλλη. Άλλες πύλες, όπως οι NAND και NOR, αν και ονομαστικά είναι συμμετρικές, στην πράξη έχουν ελαφρώς διαφορετικές τιμές λογικού φόρτου και παραστικής χωρητικότητας για διαφορετικές εισόδους.



ΣΧΗΜΑ 9.5 Τα μονοπάτια με τα πλάτη των τρανζίστορ για το παράδειγμα.

Το Σχήμα 9.6 παρουσιάζει μια πύλη NAND 2 εισόδων με τις τιμές των παραστικών διαχυσιών. Ας εξετάσουμε την καθυστέρηση μετάβαση που συμβαίνει όταν υπέρχει σταθερό 1 στη μια είσοδο, ενώ η άλλη ανέρχεται από 0 σε 1. Εάν η είσοδος B ανέρχεται τελευταία, ο κόμβος x θα είναι αρχικά σε $V_{DD} - V_{Tn} \approx V_{DD}$, επειδή οδηγείθηκε σε υψηλή στάθμη από το pMOS τρανζίστορ της εισόδου A. Η καθυστέρηση Elmore είναι $(R/2)(2C)+R(6C)=7RC=2.33\tau$. Από την άλλη, εάν η είσοδος A ανέρχεται τελευταία, ο κόμβος x θα είναι αρχικά σε 0 V, επειδή εκφορτίστηκε διά μέσου του nMOS τρανζίστορ της εισόδου B. Επειδή δεν χρειάζεται να παραδοθεί φορτίο στον κόμβο x, η καθυστέρηση Elmore είναι $R(6C)=6RC=2\tau$.

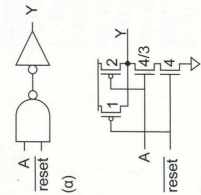


ΣΧΗΜΑ 9.6 Υπολογισμός καθυστέρησης πύλης NAND.

Γενικά, ορίζουμε ως *απριμαρισμένη* ή *εξωτερική* εκείνη την είσοδο που είναι πλησιέστερα στη γραμμή προφθοσίας (π.χ. B) και ως *πλησιέστερη* ή *εσωτερική* εκείνη την είσοδο που είναι πλησιέστερα στην έξοδο (π.χ. A) του κυκλώματος. Η παραστική καθυστέρηση είναι η ελάχιστη δυνατή όταν η εσωτερική είσοδος αλλάξει τιμή τελευταία, επειδή οι ενδιάμεσοι κόμβοι έχουν ήδη εκφορτιστεί. Έτσι, εάν γνωρίζουμε ότι ένα σήμα φτάνει αργότερα από τα υπόλοιπα, η πύλη θα λειτουργεί ταχύτερα όταν αυτό το σήμα συνδέεται στην εσωτερική είσοδο.

Ο Πίνακας 8.7 παρουσιάζει τα λογικά φόρτα και την παραστική καθυστέρηση για κάθε είσοδο διαφόρων πύλων NAND, επιβεβαιώνοντας ότι η εσωτερική είσοδος έχει χαμηλότερη παραστική καθυστέρηση. Οι λογικοί φόρτοι είναι μικρότεροι από τις αρχικές προβλέψεις, λόγω του κορεσμού ταχύτητας. Είναι αρκετά ενδιαφέρον ότι η εσωτερική είσοδος έχει ελαφρώς μεγαλύτερο λογικό φόρτο, επειδή ο ενδιάμεσος κόμβος x τείνει να ανέλθει και προκαλεί αρνητική ανάδραση όταν η εσωτερική είσοδος γίνεται ON (βλ. Λοκρη 9.5) [Sutherland99]. Αυτό το φαινόμενο σπανίως είναι σημαντικό για το σχεδιαστή, επειδή στις περισσότερες περιπτώσεις η εσωτερική είσοδος παραμένει ταχύτερη στο εγρο των βαθμών οδηγίτητος εξόδου (fanout) που χρησιμοποιούνται στα περισσότερα κυκλώματα.

¹ Θυμηθείτε ότι $\tau=3RC$ είναι η καθυστέρηση ενός αντιστροφέα που οδηγεί την πύλη ενός πανομοιότυπου αντιστροφέα.



ΣΧΗΜΑ 9.7 Απομνημόνης με reset βελτιστοποιημένος για είσοδο δεδομένων.

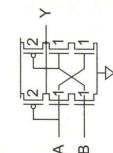
9.2.1.4 Ασύμμετρες πύλες Όταν μια είσοδος είναι πολύ λιγότερο κρίσιμη από μια άλλη, ακόμα και πολλές οι οποίες είναι ονομαστικά συμμετρικές, μπορούμε να γίνουμε επί τουτου ασύμμετρες, με στόχο να δοθεί προτεραιότητα σε μια καθυστερούμενη είσοδο εις βάρος μιας προπορευόμενης είσοδος. Σ' ένα εν σειρά δίκτυο, αυτό μπορεί να επιτευχθεί με σύνδεση της προπορευόμενης είσοδος στο απομακρυσμένο τρανζίστορ και χρήση τρανζίστορ μεγαλύτερου πλάτους, ώστε να περάσει μικρότερη εν σειρά αντίσταση όταν φτάνει η κρίσιμη είσοδος. Σ' ένα εν παραλληλό δίκτυο, η προπορευόμενη είσοδος συνδέεται σ' ένα στενότερο τρανζίστορ, με στόχο τη μείωση της παρασπαστικής χωρητικότητας.

Για παράδειγμα, δείτε το κύκλωμα του Σχήματος 9.7(a). Υπό κανονικές συνθήκες, το μονοπάτι λειτουργεί ως απομνημόνης μεταξύ των *A* και *Y*. Όταν δοθεί το σήμα reset, το μονοπάτι οδηγεί την έξοδο σε χαμηλή στάθμη. Εάν το σήμα reset δίνεται από εξωτερικές συνθήκες και μπορεί να δοθεί με μικρότερη ταχύτητα, το κύκλωμα θα πρέπει να βελτιστοποιηθεί ως προς την καθυστέρηση είσοδος προς έξοδο, εις βάρος του reset. Αυτό μπορεί να επιτευχθεί χρησιμοποιώντας την ασύμμετρη πύλη NAND του Σχ. 9.7(b)). Η αντίσταση οδήγησης πάνω είναι $R/(4+R)/(4/3)=R$, οπότε η πύλη συνεχίζει να παρέχει την ίδια οδήγηση μ' ένα μοναδιαίο αντιστοίχως. Ωστόσο, η χωρητικότητα της είσοδος *A* είναι μόνο $10/3$, και άρα ο λογικός φόρτος είναι $10/9$. Αυτό είναι καλύτερο από το $4/3$, το οποίο είναι η συνήθισμένη τιμή μιας πύλης NAND. Στην ορισκή περίπτωση ενός απείρους μεγάλο reset τρανζίστορ και ενός μοναδιαίου nMOS τρανζίστορ για την είσοδο *A*, ο λογικός φόρτος προσαρμόζεται το 1, ακριβώς όπως ένας αντιστοίχως. Η βελτίωση του λογικού φόρτου της είσοδος *A* επιτυγχάνεται με αντίτιμο πολύ μεγαλύτερο λογικό φόρτο στην είσοδο reset. Εδώ θα πρέπει να επισημάνουμε ότι το pMOS τρανζίστορ στην είσοδο reset μειώνεται σε μέγεθος. Αυτό μειώνει τη χωρητικότητα διάχυσης και την παρασπαστική καθυστέρηση με αντίτιμο πιο αργή απόκριση στο σήμα reset.

Επειδή τα CMOS τρανζίστορ επιδεικνύουν συνήθως κορεσμό ταχύτητας, τα εν σειρά τρανζίστορ μεταφέρουν περισσότερο ρεύμα απ' όσα θα προέβλεπε το ιδανικό (μεγάλο μήκους κανάλιου) μοντέλο. Το ρεύμα αυτό μπορεί να υπολογιστεί μεταχρησιμοποιώντας τον εν σειρά συνδυασμό σ' ένα και μόνο ισοδύναμο τρανζίστορ, όπως είδαμε στην Ενότητα 4.4.6.3. Για ασύμμετρες πύλες, το ισοδύναμο πλάτος είναι αυτό του εσωτερικού (στενότερου) τρανζίστορ. Το ισοδύναμο μήκος αυξάνεται κατά το άθροισμα των αντιστοίχων των σχετικών πλάτων. Το σχετικό ρεύμα υπολογίζεται μέσω της Εξ. (4.28), όπου *N* είναι το ισοδύναμο μήκος.

Παράδειγμα 9.3

Καθόριστε το μέγεθος των nMOS τρανζίστορ στην ασύμμετρη πύλη NAND για μοναδιαίο ρεύμα οδήγησης κάτω (pull-down current), συνυπολογίζοντας τον κορεσμό ταχύτητας. Διαμορφώστε τα μη-κρίσιμα τρανζίστορ ώστε να έχουν τριπλάσιο πλάτος από αυτό του κρίσιμου τρανζίστορ. Υποθέστε $V_{DD} = 1.0$ V και $V_T = 0.3$ V. Χρησιμοποιήστε $E/L = 1.04$ V για τα στοιχεία nMOS. Υπολογίστε το λογικό φόρτο της πύλης. **ΛΥΣΗ:** Το ισοδύναμο μήκος είναι $1 + 1/3 = 4/3$ φορές μεγαλύτερο από αυτό του μοναδιαίου τρανζίστορ. Εφαρμόζοντας την Εξ. (4.28), παίρνουμε σχετικό ρεύμα 0.83. Συνεπώς, τα πλάτη των τρανζίστορ θα πρέπει να είναι 1.20 και 3.60 για να αποδώσουν μοναδιαίο ρεύμα. Ο λογικός φόρτος είναι $(1.20 + 2) / 3 = 1.07$ - δηλαδή, καλύτερο από το προβλεπόμενο χωρίς κορεσμό ταχύτητας.

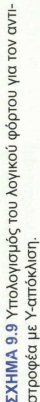


ΣΧΗΜΑ 9.8 Απόλυτα συμμετρική πύλη NAND 2 εισόδων.

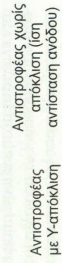
Σε άλλα κυκλώματα, όπως π.χ. τα κυκλώματα διατιτσίας (arbiters), μπορούμε να κατασκευάσουμε πύλες που είναι πλήρως ασύμμετρες, έτσι ώστε να μην εννοείται καμία είσοδος. Το Σχήμα 9.8 παρουσιάζει πώς κατασκευάζεται μια συμμετρική πύλη NAND.

9.2.1.5 Πύλες με απόκλιση (Skewed Gates) Σε άλλες περιπτώσεις, η μεταβίαση της μιας είσοδος είναι πιο σημαντική απ' ό,τι της άλλης. Στην Ενότητα 2.5.2, ορίσαμε τις πύλες με *Y*-απόκλιση (*H*-skew), οι οποίες εννοούν την ανόμοια μεταβίαση της εξόδου και τις πύλες με *X*-απόκλιση (*LO*-skew), οι οποίες εννοούν την καθοδική μεταβίαση της εξόδου. Αυτή η 'έννοια' μπορεί να επιτυγχάνεται μειώνοντας το μέγεθος ενός μη-κρίσιμου τρανζίστορ. Οι λογικοί φόρτοι για την ανεργόμοια και την κατεργόμοια μεταβίαση των τρανζίστορ αποκαλούνται g_n και g_p αντίστοιχα, και είναι ο λόγος της χωρητικότητας είσοδος της πύλης με απόκλιση ως προς τη χωρητικότητα είσοδος ενός αντιστοίχως χωρίς απόκλιση, με την ίδια όμως οδήγηση για τη συγκεκριμένη μεταβίαση. Το Σχήμα 9.9(a) δείχνει πώς κατασκευάζεται ένας αντιστοίχως

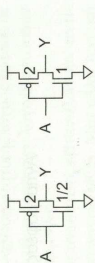
με *Y*-απόκλιση, μειώνοντας το μέγεθος του nMOS τρανζίστορ. Αυτό διατηρεί την ίδια ενεργή αντίσταση για την κρίσιμη μεταβίαση, ενώ ταυτόχρονα μειώνει τη χωρητικότητα εισόδου σε σχέση με τον αντιστοίχως χωρίς απόκλιση του Σχήματος 9.9(b), με αποτέλεσμα να στροφέει χωρίς απόκλιση του Σχήματος 9.9(b), με αποτέλεσμα να μειώνεται ο λογικός φόρτος στη συγκεκριμένη κρίσιμη μεταβίαση σε $g_n = 2.5/3 = 5/9$. Φυσικά, η βελτίωση αυτή επιτυγχάνεται εις βάρος του φόρτου για τη μη-κρίσιμη μεταβίαση. Ο λογικός φόρτος για την καθοδική μεταβίαση υπολογίζεται συγκρίνοντας τον αντιστοίχως μ' ένα μικρότερο αντιστοίχως χωρίς απόκλιση με ισοδύναμο ρεύμα οδήγησης «κάτω», όπως παρουσιάζεται στο Σχήμα 9.9(γ), με αποτέλεσμα λογικό φόρτο ίσο με $g_p = 2.5/1.5 = 5/3$. Ο βαθμός της απόκλισης (δηλαδή, ο λόγος της ενεργής αντίστασης της γρήγορης μεταβίασης ως προς την αργή μεταβίαση) επηρεάζει τις τιμές του λογικού φόρτου και των περιθωρίων θορύβου, συνήθως κατά συντελεστή δύο. Το Σχήμα 9.10 κατηγοριοποιεί πύλες *X*-απόκλισης και *Y*-απόκλισης με βαθμό απόκλισης 2. Οι πύλες με απόκλιση συμβολίζονται επίσης με *H* ή *L* σ' ένα σχηματικό.



(α)



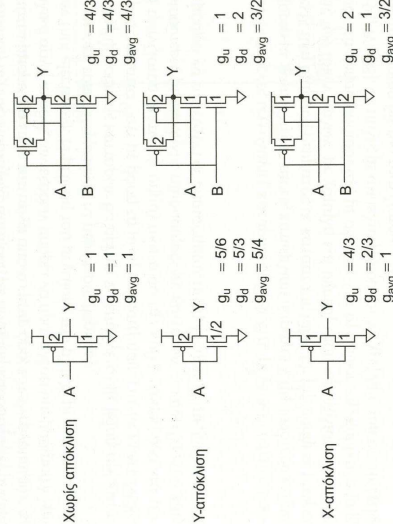
Αντιστοίχως χωρίς απόκλιση (στη αντίσταση εισόδου)



(γ)

ΣΧΗΜΑ 9.9 Υπολογισμός του λογικού φόρτου για τον αντιστοίχως χωρίς απόκλιση (στη αντίσταση εισόδου).

Αντιστροφές



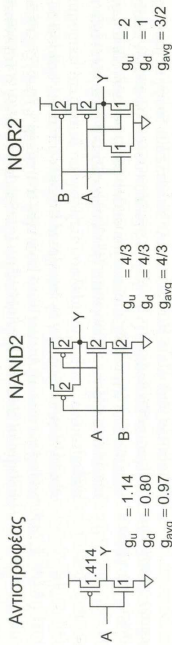
ΣΧΗΜΑ 9.10 Πύλες με απόκλιση.

Η εναλλαγή μεταξύ πύλων με *X*-απόκλιση και *Y*-απόκλιση μπορεί να γίνει μόνο όταν είναι σημαντική μία μεταβίαση [Solomatinikov00]. Οι πύλες με απόκλιση δουλεύουν ιδιαίτερα καλά σε δυναμικά κυκλώματα, όπως θα δούμε στην Ενότητα 9.2.4.

9.2.1.6 Λόγοι P/N Στο Σχήμα 9.10, παρατηρήστε ότι ο μέσος όρος του λογικού φόρτου των πύλων NOR2 με *X*-απόκλιση είναι στην πραγματικότητα καλύτερος από αυτόν των πύλων χωρίς απόκλιση. Για pMOS τρανζίστορ στην πύλη χωρίς απόκλιση είναι ιδιαίτερα μεγάλο έτσι ώστε να παρέχουν ίση καθυστέρηση ανόδου. Αν και συνεισφέρουν στη χωρητικότητα εισόδου και για τις δύο μεταβίαιες, βοηθούν μόνο την καθυστέρηση ανόδου. Αποδεχόμενοι μια αργότερη μεταβίαση ανόδου, τα pMOS τρανζίστορ μπορεί να μειωθούν σε μέγεθος, έτσι ώστε να επιτευχθεί σημαντική μείωση στη χωρητικότητα εισόδου και στο μέσο όρο της καθυστέρησης.

Σε γενικό επίπεδο, ποιος είναι ο καλύτερος λόγος *P/N* για λογικές πύλες (δηλαδή, ο λόγος του πλάτους του pMOS προς το nMOS τρανζίστορ); Όπως θα αποδείξετε στην Άσκηση 9.13, ο λόγος που δίνει

την ελάχιστη μέση καθυστέρηση είναι η τετραγωνική ρίζα του λόγου που δίνει ίδιες καθυστερήσεις ανόδου και καθόδου. Για τεχνολογίες κατασκευής με λόγο εκκινησιότητας φορέων $\mu_n/\mu_p=2$, όπως υποθέταμε έως τώρα, οι καλύτεροι λόγοι επισημαίνονται στο Σχήμα 9.11.



ΣΧΗΜΑ 9.11 Πύλες με λόγους P/N που δίνουν την ελάχιστη καθυστέρηση.

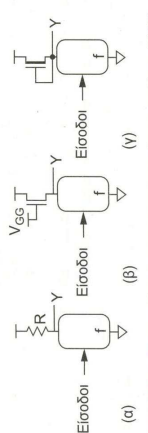
Μειώνοντας το μέγεθος του pMOS από 2 σε $\sqrt{2} \approx 1.4$ για τον αντιστροφέα, παίρνουμε τη (θεωρητικά) ταχύτερη μέση καθυστέρηση, αλλά αυτή η βελτίωση είναι μόνο 3%. Ωστόσο, αυτό μειώνει σημαντικά την εμφάνιση του pMOS τρανζίστορ. Μειώνει επίσης τη χωρητικότητα της εισόδου, πράγμα το οποίο με τη σειρά του, μειώνει την κτανάλωση ισχύος. Δυστυχώς, αυτό οδηγεί σε άνηση καθυστέρηση μεταξύ των εξόδων. Έτσι, ορισμένα μονοπάτια μπορεί να είναι πιο αργά από το μέσο όρο, εάν ενεργοποιούν τη χειριστεί ακμή κάθε πύλης. Υπερβολικά αργή άνοδος των εξόδων μπορεί να προκαλέσει υποβόθριο λόγω φαινόμενου «καπνίων» ηλεκτρονίων (hot electrons). Η μείωση του μεγέθους του pMOS μετακινεί επίσης το σημείο μεταγωγής χαμηλότερα και κατ'επέκταση μειώνει τα περιθώρια θορύβου.

Συνολικά, ο λόγος P/N μιας βιβλιοθήκης κυκλωμάτων θα πρέπει να επιλέγεται με βάση την κτανάλωση επιφάνειας/ισχύος και την αξιονομία - όχι με βάση τη μέση καθυστέρηση. Για τις πύλες NOR, η μείωση του μεγέθους του pMOS τρανζίστορ βελτιώνει σημαντικά τόσο την καθυστέρηση όσο και την κτανάλωση επιφάνειας. Στις περισσότερες βιβλιοθήκες τοποποιημένων κυκλωμάτων, το μέγεθος του κυκλώματος καθορίζεται το λόγο P/N που μπορεί να επιτευχθεί σε οποιαδήποτε πύλη. Οι συνθήκες αυτές, λόγω για τους αντιστροφείς είναι 1.5 - 2.

9.2.1.7 Τύποις πολλαπλών καταφωλιών Ορισμένες τεχνολογίες κατασκευής CMOS παρέχουν δύο ή περισσότερες τάσεις καταφωλίου. Τα τρανζίστορ με χαμηλότερες τάσεις καταφωλίου παράγουν περισσότερο ρεύμα αγωγής (ON), αλλά έχουν επίσης εκθετική διασπορά ρυθμιστος σε κατάσταση OFF. Οι βιβλιοθήκες μπορεί να παρέχουν διαφορετικές εκδόσεις των ίδιων πύλων, με χαμηλή και υψηλή τάση καταφωλίου. Οι πύλες με χαμηλή τάση καταφωλίου μπορούν να χρησιμοποιούνται, με σύνθεση, για τη μείωση της καθυστέρησης των κρισιμών μονοπατιών [Kumar94, Wei98]. Οι πύλες με απόκλιση μπορούν να χρησιμοποιούνται στοιχεία με χαμηλές τάσεις καταφωλίου μόνο στο κρισιμο δίκτυο τρανζίστορ.

9.2.2 Κυκλώματα Βασίζόμενα σε Λόγο Διαστάσεων

Τα βασίζόμενα σε λόγο διαστάσεων κυκλώματα (ratioed circuits) εξαρτώνται από το ποσό μέγεθος ή την αντίσταση των στοιχείων για τη σωστή λειτουργία τους. Στη δεκαετία του '70 και στις αρχές της δεκαετίας του '80, πριν ορισθούν οι τεχνολογίες CMOS, συχνά τα κυκλώματα κατασκευάζονταν μόνο με nMOS τρανζίστορ, όπως αυτό του Σχ. 9.12. Σε εννοιολογικό επίπεδο, μια βασίζόμενη σε λόγο διαστάσεων πύλη αποτελείται από ένα nMOS δίκτυο οδήγησης κάτω και κάποιο στοιχείο οδήγησης πάνω, το οποίο αποκαλείται *στατικό φορτίο*. Όταν το δίκτυο οδήγησης κάτω είναι OFF, το στατικό φορτίο οδηγεί την έξοδο στο 1. Όταν το δίκτυο οδήγησης κάτω γίνεται ON, ανταγωνίζεται το στατικό φορτίο. Το στατικό φορτίο πρέπει να είναι επαρκώς ασθενές ώστε η έξοδος να οδηγηθεί σ' ένα αποδεκτό 0. Υπάρχει, δηλαδή, ένας περιορισμός λόγω διαστάσεων μεταξύ του στατικού φορτίου και του δικτύου οδήγησης κάτω. Τα ισχυρότερα στατικά φορτία παράγουν ταχύτερα ανοδικές εξόδους, αλλά αυξάνουν την V_{out} υποβαθμίζουν το περιθώριο θορύβου και αναλλοιώνουν περισσότερο το στατικό ισχύ όταν

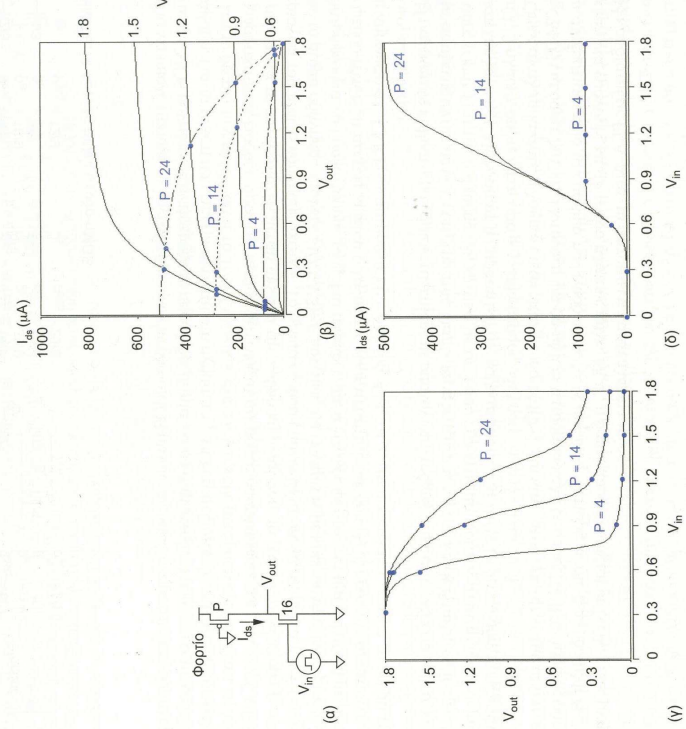


ΣΧΗΜΑ 9.12 Βασίζόμενες σε λόγο διαστάσεων πύλες nMOS.

η έξοδος πρέπει να είναι 0. Ανόμοια με τα συμπληρωματικά κυκλώματα, ο λόγος διαστάσεων πρέπει να επιλεγεί με τρόπο ώστε το κύκλωμα να λειτουργεί σωστά παρά τις όποιες διαφθοροποιήσεις από τις ανομοιογενείς τιμές των στοιχείων, οι οποίες μπορεί να συμβούν κατά τη διάρκεια της κατασκευής. Τελικά, οι λογικές δομές CMOS εκτόπισαν τις αντίστοιχες nMOS, επειδή η κτανάλωση στατικής ισχύος έφτασε σε απαράδεκτα επίπεδα καθώς αυξήθηκε ο αριθμός των πύλων. Ωστόσο, τα βασίζόμενα σε λόγο διαστάσεων κυκλώματα συνεχίζουν να είναι περιστασιακά χρήσιμα, σε ειδικές εφαρμογές.

Ένας αντιστάτης είναι ένα απλό στατικό φορτίο, αλλά οι μεγάλοι αντιστάτες κτανάλωνουν αντίστοιχα μεγάλη επιφάνεια πάνω στο φωσφορικό οξείδιο, στις τοπικές τεχνολογίες MOS. Μια άλλη τεχνική συνίσταται στη χρήση ενός nMOS τρανζίστορ με την πύλη συνδεδεμένη στην V_{GG} . Εάν $V_{GG} = V_{DD}$, το nMOS τρανζίστορ θα οδηγήσει πάνω στον άξονα $V_{DD} - V_t$. Ακόμα χειρότερα, το κατοφύλι ασθάνεται λόγω του φαινομένου σόματος. Γι' αυτό και η χρήση $V_{GG} > V_{DD}$ ήταν ελκυστική επιλογή. Για την εξάλειψη αυτής της επιβλαβούς τάσης προφοδοσίας, ορισμένες τεχνολογίες nMOS παρέχουν τρανζίστορ *κατάπτωσης αφείωσης* (depletion mode). Αυτά τα τρανζίστορ, τα οποία υποδεικνύονται με την παχύτερη μπάρα, είναι πανομοιότυπα με τα συμβατικά τρανζίστορ κατάστασης πύκνωσης (enhancement mode), εκτός από το ότι εκτελούνται ένα επιπλέον βήμα εμφορτίωσης ώντων για τη δημιουργία αρνητικής τάσης καταφωλίου. Τα τρανζίστορ κατάστασης αφείωσης που χρησιμοποιούνται σε δίκτυα οδήγησης πάνω έχουν την πύλη τους συνδεδεμένη στην πηγή, οπότε $V_g = 0$ και το τρανζίστορ είναι πάντα ασθενώς ON.

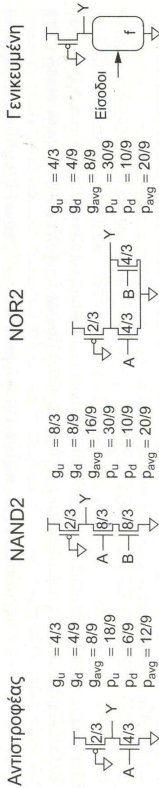
9.2.2.1 Ψευδο-nMOS Το Σχ. 9.13(α) παρουσιάζει έναν ψευδο-nMOS αντιστροφέα. Στις περισσότερες τεχνολογίες CMOS, δεν είναι άμεσα διαθέσιμοι ούτε υψηλής τιμής αντιστάτες ούτε τρανζίστορ κατάστασης



ΣΧΗΜΑ 9.13 Ψευδο-nMOS αντιστροφές και οι DC χαρακτηριστικές μεταφοράς του.

αρκείας για χρήση ως στατικά φορτία. Αντί αυτών, το στατικό φορτίο κατασκευάζεται από ένα μeroνόμενο pMOS τρανζίστορ του οποίου η πύλη είναι γεωμενική, οπότε είναι πάντα ON. Οι DC χαρακτηριστικές μεταφορές υπολογίζονται βρισκοντας την V_{out} για τα οποία ισχύει $I_{dout} = |I_{dnp}|$ για δεδομένη V_{in} όπως υποδεικνύουν τα Σχ. 9.13(β-γ) για μια τεχνολογία 180 nm. Ο λόγος των β επιπέδων το σχήμα για χαρακτηριστικών μεταφορές και το V_{OL} του αντιστοφρέας. Μεγαλύτερα σχετικά μέγιστα pMOS τρανζίστορ παρέχουν ταχύτερους χρόνους ανόδου, αλλά λιγότερο «απίστευτες» χαρακτηριστικές μεταφορές. Το Σχ. 9.13(δ) υποδεικνύει ότι όταν το nMOS τρανζίστορ έχει, υπάρχει ροή στατικού DC ρεύματος στο κύκλωμα.

Το Σχήμα 9.14 παρουσιάζει διάφορες λογικές πύλες ψευδο-nMOS. Το δικτύο οδήγησης «πάνω» είναι παρόμοιο μ αυτό μιας συμβατικής στατικής πύλης, αλλά το δικτύο οδήγησης «πάνω» έχει αντικατασταθεί μ' ένα μόνο pMOS τρανζίστορ, το οποίο είναι πάντα γεωμενικό, οπότε είναι πάντα σε κατάσταση ON. Τα πλάτη των pMOS τρανζίστορ επιλέγονται ώστε να είναι περίπου 1/4 της ισχύος (δηλαδή, το 1/2 του ενεργού πλάτους) του nMOS δικτύου οδήγησης «κάτω», ως ένας συμβιβασμός μεταξύ περιθωρίων θορύβου και ταχύτητας. Το βέλτιστο μέγεθος εξαρτάται από την τεχνολογία, αλλά συνήθως κυμαίνεται σε εύρος τιμών 1/3 έως 1/6.

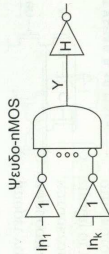


ΣΧΗΜΑ 9.14 Λογικές πύλες ψευδο-nMOS.

Για να υπολογίσουμε το λογικό φορτίο των ψευδο-nMOS πύλων, ως υποθέσουμε ότι ένας συμπληρωματικός CMOS μοναδιαίως αντιστοφρέας παράδει ρεύμα I τόσο στην ανοδική όσο και στην καθοδική μετάβαση. Για τα πλάτη που επισμαίνονται στο σχήμα, τα pMOS τρανζίστορ δίνουν το 1/3 του ρεύματος και το δικτύο των nMOS δίνει το 4/3. Ο λογικός φόρτος για κάθε μετάβαση υπολογίζεται ως λόγος της χωρητικότητας εισόδου προς την αντίστοιχη ενός αντιστοφρέα συμπληρωματικού λογικής CMOS με ίσο ρεύμα για τη συγκεκριμένη μετάβαση. Για την καθοδική μετάβαση, το pMOS τρανζίστορ πρακτικά υπερσφραει του nMOS οδήγησης «κάτω». Το ρεύμα εξόδου υπολογίζεται ως το ρεύμα οδήγησης «κάτω» μείον το ρεύμα οδήγησης «πάνω». (4/3-1/3)=1. Συνεπώς θα συγκρίνουμε κάθε πύλη μ' έναν μοναδιαίο αντιστοφρέα για να υπολογίσουμε το g_u . Για παράδειγμα, ο λογικός φόρτος για μια καθοδική μετάβαση του ψευδο-nMOS αντιστοφρέα είναι ο λόγος της χωρητικότητας εισόδου (4/3) προς την αντίστοιχη του συμπληρωματικού CMOS αντιστοφρέα (3) - δηλαδή 4/9. Το g_u είναι τριπλάσιο, επειδή το ρεύμα είναι 1/3 φορές λιγότερο.

Η παραστατική καθυστερήσει βρισκείται επίσης με υπολογισμό της χωρητικότητας εξόδου και σύγκριση της με αυτή ενός αντιστοφρέα ίσου ρεύματος. Για το παράδειγμα μίας ψευδο-nMOS πύλης NOR έχει 10/3 μονάδες χωρητικότητας διάχυσης, συγκριτικά με τις 3 που έχει ένας μοναδιαίως αντιστοφρέας συμπληρωματικός λογικής CMOS, οπότε η παραστατική της καθυστερήσει είναι 10/9. Το ρεύμα οδήγησης «πάνω» είναι 1/3-πλάσιο, οπότε η παραστατική καθυστερήσει οδήγησης «πάνω» είναι 10/3.

Όπως αντιληφθήνασε, η λογική οικογένεια ψευδο-nMOS είναι κατά μέσο όρο αργότερη από τη συμβατική CMOS για δομές NAND. Ωστόσο, η ψευδο-nMOS λειτουργεί καλά σε δομές NOR. Ο λογικός φόρτος είναι ανεξάρτητος από τον αριθμό των εισόδων σε NOR μεγάλου πλάτους, οπότε η ψευδο-nMOS είναι χρήσιμη για γρήγορες και μεγάλο πλάτους πύλες NOR, ή δομές που βασίζονται σε NOR, όπως μήνιμες ROM και διατάξεις PLA, όταν το επιτρέπει η κατασκευή ισχύος.



ΣΧΗΜΑ 9.15 Πύλη AND k εισόδων που οδηγεί φορτίο H.

Παράδειγμα 9.4

Σχεδιάστε μια πύλη AND k εισόδων βασισμένοι στο νόμο DeMorgan, χρησιμοποιώντας στατικούς αντιστοφρέες CMOS ακολουθούμενος από μια ψευδο-nMOS πύλη NOR k εισόδων, όπως απεικονίζεται το Σχ. 9.15. Όλοι οι αντιστοφρέες έχουν μοναδιαίο μέγεθος. Εάν το φορτίο στην έξοδο είναι ένας αντιστοφρέας μεγέθους H, βρείτε τα βέλτιστα μεγέθη τρανζίστορ για τη πύλη NOR και εκτιμήστε τη μέση καθυστερήσει του μονοπατιού.

Λύση. Ο ηλεκτρικός φόρτος του μονοπατιού είναι H και ο φόρτος διακλάδωσης είναι β=1. Ο αντιστοφρέας έχει λογικό φορτίο 1. Η ψευδο-nMOS NOR έχει μέσο λογικό φορτίο 8/9 σύμφωνα με το Σχ. 9.14. Ο λογικός φόρτος μονοπατιού είναι $G = 1 \times (8/9) = 8/9$, οπότε ο φόρτος του μονοπατιού είναι 8H/9. Κάθε στάδιο θα πρέπει να αντέχει φορτίο ίσο με $f = \sqrt{8H/9}$. Ο μετασχηματισμός χωρητικότητας δίνει τα πλάτη για τα NOR τρανζίστορ οδήγησης «κάτω» των μοναδιαίων αντιστοφρέων. Δεδομένου ότι ένας μοναδιαίως αντιστοφρέας έχει τρεις μονάδες χωρητικότητας εισόδου, τα πλάτη των nMOS τρανζίστορ της NOR θα πρέπει να είναι

$$C_{in} = \frac{gC_{out}}{f} = \frac{(8/9)H}{\sqrt{8H/9}} = \frac{\sqrt{8}H}{3}$$

Σύμφωνα με το Σχ. 9.14, το τρανζίστορ οδήγησης «πάνω» θα πρέπει να έχει το μισό αυτό το πλάτος. Το πλήρες κύκλωμα, σχολιασμένο με τα πλάτη των nMOS και pMOS, παρουσιάζεται στο Σχ. 9.16.

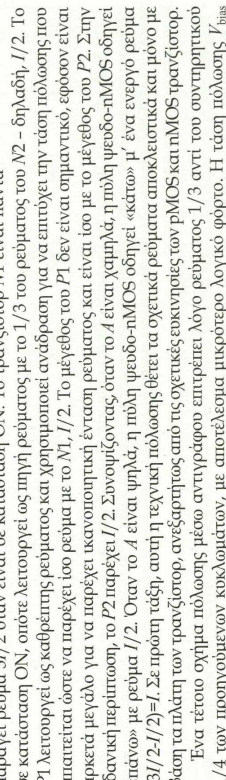
Υπολογίζουμε τη μέση παραστατική καθυστερήσει μιας ψευδο-nMOS πύλης NOR k εισόδων ως $(8k+4)/9$. Η συνολική καθυστερήσει σε τ είναι:

$$D = Nf + P = \frac{4\sqrt{2}}{3} \sqrt{H} + \frac{8k+13}{9}$$

Η αίσθηση του αριθμού των εισόδων επηρεάζει μόνο την παραστατική καθυστερήσει και όχι την καλύτερησει φορτίου.

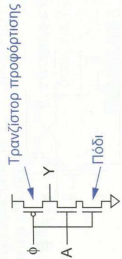
Οι πύλες ψευδο-nMOS δεν θα λειτουργήσουν σωστά εάν ισχύει $V_{in} > V_{th}$ για την πύλη που δέχεται την έξοδο. Κατά πάσα πιθανότητα αυτό θα συμβεί στη σχεδιαστική γωνία SF, όπου τα nMOS τρανζίστορ είναι ασθενή και τα pMOS τρανζίστορ ισχυρά. Για αποδεκτό περιθώριο θορύβου στη γωνία SF, είμαστε υποχρεωμένοι να κάνουμε συντηρητική επιλογή ασθενών pMOS τρανζίστορ στην τυπική γωνία. Ένα πολυμένο κύκλωμα μπορεί να χρησιμοποιηθεί για τη μείωση της εκαθήςτης στην κατασκευαστική διαδικασία, όπως βλέπεται στο Σχ. 9.17. Ο στόχος αυτού του πολυμένου κυκλώματος είναι να δημιουργήσει μια τάση V_{bias} η οποία αναγκάζει το P2 να αποδώσει το 1/3 του ρεύματος του N2, ανεξάρτητα από τις σχετικές εκκινήσεις των pMOS και nMOS τρανζίστορ. Το τρανζίστορ N2 έχει πλάτος 3/2 και άρα παράγει ρεύμα 3/2 όταν είναι σε κατάσταση ON. Το τρανζίστορ N1 είναι πάντα σε κατάσταση ON, οπότε λειτουργεί ως πηγή ρεύματος με το 1/3 του ρεύματος του N2 - δηλαδή, 1/2. Το P1 λειτουργεί ως καθυστερήσει ρεύματος και χρησιμοποιεί ανάδραση για να επιτύχει την τάση πόλωσης που απαιτείται ώστε να παράγει ίσο ρεύμα με το N1, 1/2. Το μέγεθος του P1 δεν είναι σημαντικό, εφόσον είναι αρκετά μεγάλο για να παρέχει ικανοποιητική ένταση ρεύματος και είναι ίσο με το μέγεθος του P2. Στην ιδανική περίπτωση, το P2 παράγει 1/2. Συνολικά, η πύλη ψευδο-nMOS οδηγεί «κάτω» με ρεύμα 1/2. Όταν το A είναι ψηλά, η πύλη ψευδο-nMOS οδηγεί «κάτω» μ' ένα ενεργό ρεύμα $(3/2 \cdot 1/2) = 1$. Σε πρώτη τάξη, αυτή η τεχνική πόλωσης θέτει τα σχετικά ρεύματα αποκατεπαικτικά και μόνο με βάση τα πλάτη των τρανζίστορ, ανεξάρτητος από τις σχετικές εκκινήσεις των pMOS και nMOS τρανζίστορ.

ΣΧΗΜΑ 9.17 Εφαρμογή πόλωσης αντηράφου σε ψευδο-nMOS πύλες.

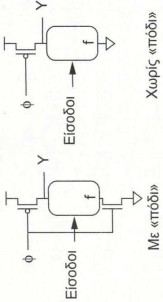




ΣΧΗΜΑ 9.22 Προφόρτιση και υπολογισμός δυναμικών πυλών.



ΣΧΗΜΑ 9.23 Δυναμικός αντιστροφής «με πόδι».



Με «πόδι»

Χωρίς «πόδι»

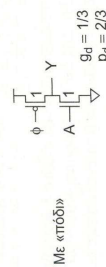
ΣΧΗΜΑ 9.24 Γενικευμένες δυναμικές πυλές με και χωρίς «πόδι».

δυναμικός (V) αντιστροφής. Η δυναμική λειτουργία του κυκλώματος χωρίζεται σε δύο φάσεις λειτουργίας, όπως απεικονίζεται στο Σχ. 9.22. Κατά την προφόρτιση (precharge), το ρολόι φ είναι 0, οπότε το χρονισμένο pMOS είναι ON και αρχικοποιεί την έξοδο Υ σε υψηλή στάθμη. Στη φάση του υπολογισμού (evaluation), το ρολόι φ είναι 1 και το χρονισμένο pMOS γίνεται OFF. Η έξοδος μπορεί να παραμείνει σε υψηλή στάθμη, ή μπορεί να είναι εκφορτισμένη σε χαμηλή στάθμη διαμέσου του δικτύου οδηγίας «κάτω». Τα δυναμικά κυκλώματα είναι η ταχύτερη από τις εφόρες χρησιμοποιούμενες οικονομικές κυκλωμάτων, επειδή έχουν χαμηλότερη χωρητικότητα εισόδου και μηδενικό ρεύμα διαρροής κατά τη διάρκεια της μεταβάσης από τη μία κατάσταση στην άλλη. Έχουν επίσης μηδενική καταναλωση στατικής ισχύος. Ωστόσο, απαιτούν προσεκτικό χρονισμό, έχουν σημαντική καταναλωση δυναμικής ισχύος και είναι ενοχλητικά στο θόρυβο κατά τη φάση του υπολογισμού. Θα περιγράψουμε λεπτομερώς το χρονισμό των δυναμικών κυκλωμάτων στην Ενότητα 10.5.

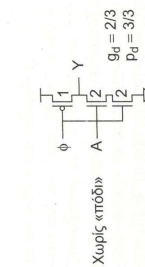
Στο Σχ. 9.21(γ), εάν η είσοδος A είναι 1 κατά την προφόρτιση θα υπάρξει κατάσταση διαρροής επειδή τόσο το pMOS όσο και το nMOS θα είναι ON. Όταν δεν μπορεί να διασφαλιστεί ότι η είσοδος θα είναι 0 κατά την προφόρτιση, μπορεί να προσεβεί ένα επιπλέον, χρονισμένο τρανζίστορ υπολογισμού (clocked evaluation transistor) στο τέλος του δικτύου nMOS για να αποφευχθεί η διαρροή, όπως απεικονίζεται στο Σχ. 9.23. Αυτό το επιπλέον τρανζίστορ αποκαλείται «πόδι» (foot). Το Σχ. 9.24 παρουσιάζει γενικευμένες πυλές «με πόδι» και «χωρίς πόδι»⁴.

Το Σχ. 9.25 υπολογίζει το λογικό φορτίο καθοδικής μεταβάσης για δυναμικές πυλές «με πόδι» και «χωρίς πόδι». Δε συνήθως, τα πλάτη των τρανζίστορ οδηγούνται «κάτω», επιλέγονται με τρόπο ώστε να δώσουν μοναδιαία αντίσταση. Η προφόρτιση λαμβάνει χώρα κατά τη διάρκεια που η πύλη είναι ανενεργή και συχνά γίνεται αρκετά αργά. Έτσι, το τρανζίστορ προφόρτισης επιλέγεται για διπλάσια από τη μοναδιαία αντίσταση. Αυτό μειώνει τη χωρητικότητα φορτίου στο ρολόι και την παρασιτική χωρητικότητα, με αντίτιμο μεγαλύτερες καθυστερήσεις ανόδου. Παρατηρήστε ότι οι λογικοί φορτίοι είναι πολύ χαμηλοί. Οι πύλες «με πόδι» έχουν μεγαλύτερο λογικό φορτίο από τις αντιστροφές «χωρίς πόδι», αλλά και πολύ αποτελούν βελτίωση έναντι της στατικής λογικής. Πρακτικά, ο λογικός φορτίος των πυλών «με πόδι» είναι καλύτερος από τον εκτιμώμενο, επειδή ο κορμικός ταχύτητας σημαίνει ότι τα εν σειρά nMOS τρανζίστορ έχουν μικρότερη αντίσταση από αυτή που υπολογιστή. Επιπλέον, οι λογικοί φορτίοι είναι ελαφρώς καλύτεροι από τους προβλεπόμενους, επειδή

Αντιστροφές

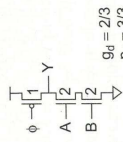


Με «πόδι» $g_d = 1/3$
 $p_d = 2/3$



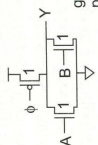
Χωρίς «πόδι» $g_d = 2/3$
 $p_d = 3/3$

NAND2



$g_d = 2/3$
 $p_d = 3/3$

NOR2



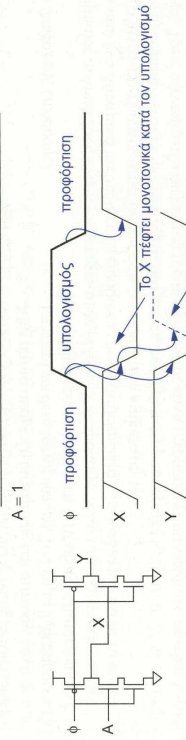
$g_d = 1/3$
 $p_d = 3/3$

ΣΧΗΜΑ 9.25 Παρουσίαση δυναμικών πυλών.

⁴ Η ορολογία «με πόδι/ χωρίς πόδι» (footed/ unfooted) χρησιμοποιείται από την IBM [Nowka98]. Η Intel αποκαλεί αυτά τα στυλ D1 και D2, αντίστοιχα.

δεν υπάρχει διαμιά μετὰ των nMOS και pMOS τρανζίστορ κατά τη μεταβατική είσοδο. Το μέγεθος του «ποδιού» μπορεί να αυξηθεί σε σχέση με τα άλλα nMOS τρανζίστορ, για τη μείωση του λογικού φορτίου των άλλων εισόδων με αντίτιμο το μεγαλύτερο φορτίο στο ρολόι. Όμοια με τις πύλες ημιο-ημιοMOS, οι δυναμικές πύλες είναι ιδιαίτερα κατάλληλες για υλοποίηση συναρτήσεων NOR μεγάλο εύρους και πολυπλοκίων, επειδή ο λογικός φορτίος είναι ανεξάρτητος του αριθμού των εισόδων. Φυσικά, η παρασιτική καθυστέρηση αυξάνεται με τον αριθμό των εισόδων, επειδή υπάρχει περισσότερο χωρητικότητα διάχυσης στον κόμβο εξόδου. Ο χαρακτηρισμός του λογικού φορτίου και της παρασιτικής χωρητικότητας είναι πολύπλοκη διαδικασία, επειδή συνήθως η έξοδος κερχεται ταχύτερα απ' ό,τι ανέρχεται η είσοδος, γεγονός το οποίο οδηγεί σε ενδεχομένως παραπλανητική εξάρτηση της καθυστέρησης διάδοσης από το βαθμό οδηγίας εξόδου [Sutherland99].

Μια θεμελιώδης δυσκολία που αντιμετωπίζουν τα δυναμικά κυκλώματα είναι η απαιτησία για μονοτονικότητα. Κατά τη διάρκεια που η δυναμική πύλη είναι στη φάση υπολογισμού, οι εξοδοί θα πρέπει να είναι μονοτονικά αυξουσες. Αυτό σημαίνει ότι η είσοδος μπορεί αρχικά να είναι χαμηλή και να παραμείνει χαμηλή, να είναι χαμηλή και να γίνει υψηλή, να είναι υψηλή και να παραμείνει υψηλή, αλλά όχι να είναι υψηλή και να κατέλθει σε χαμηλή λογική στάθμη. Το Σχ. 9.26 παρουσιάζει κομματογραφές για ένα δυναμικό αντιστροφή «με πόδι», στον οποίο η είσοδος παραβάλλεται την απαιτησία της μονοτονικότητας. Κατά τη φάση της προφόρτισης η έξοδος οδηγείται σε υψηλή στάθμη. Όταν ανέρχεται το ρολόι η είσοδος είναι υψηλή, οπότε η έξοδος εκφορτίζεται σε χαμηλή στάθμη διαμέσου του δικτύου οδηγίας «κάτω», όπως θα περιμέναμε από έναν αντιστροφή. Λίγο αργότερα η είσοδος γίνεται χαμηλή, απενεργοποιώντας το δίκτυο οδηγίας «κάτω». Ωστόσο, επειδή το τρανζίστορ προφόρτισης είναι επίσης OFF, η έξοδος «αιρείται», παραμένοντας στη χαμηλή στάθμη, αντί να ανέλθει, όπως θα συνέβαινε σ' έναν κανονικό αντιστροφή. Η έξοδος θα παραμείνει χαμηλή έως το επόμενο βήμα προφόρτισης. Συνολικώς, οι εισοδοί πρέπει να ανέρχονται μονοτονικά ώστε η δυναμική πύλη να υπολογίζει τη σωστή συνάρτηση.

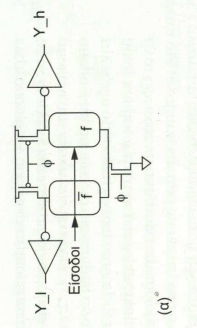


ΣΧΗΜΑ 9.27 Λογιστική Δομοδοξία Επιδράσης (Domino Logic) Το πρόβλημα της μονοτονικότητας μπορεί να λυθεί με την τοποθέτηση ενός στατικού αντιστροφέα CMOS ανάμεσα στις δυναμικές πύλες, όπως απεικονίζεται στο Σχ. 9.28(α). Αυτός μετατρέπει τη μονοτονικά καθοδική έξοδο σε μονοτονικά ανοδική σήμα, το οποίο είναι κατάλληλο για είσοδος στην επόμενη πύλη, όπως απεικονίζεται στο Σχ. 9.28(β). Αυτή η διάταξη με το δυναμικό-στατικό ζεύγος, αποκαλείται «λογική διαδοχικής επίδρασης», ή επί το γινώστορον domino [Kraussbeck82]. επειδή η προφόρτιση μοιάζει το στήσιμο μιας αλυσίδας πλακιδίων στο παριγγυδίο domino, ενώ η φάση του υπολογισμού προκαλεί την ενεργοποίηση των πύλων, περίπου όπως η πτώση κάθε ντόμινο προκαλεί την πτώση του επόμενου

ΣΧΗΜΑ 9.27 Λογιστική Δομοδοξία Επιδράσης (Domino Logic) Το πρόβλημα της μονοτονικότητας μπορεί να λυθεί με την τοποθέτηση ενός στατικού αντιστροφέα CMOS ανάμεσα στις δυναμικές πύλες, όπως απεικονίζεται στο Σχ. 9.28(α). Αυτός μετατρέπει τη μονοτονικά καθοδική έξοδο σε μονοτονικά ανοδική σήμα, το οποίο είναι κατάλληλο για είσοδος στην επόμενη πύλη, όπως απεικονίζεται στο Σχ. 9.28(β). Αυτή η διάταξη με το δυναμικό-στατικό ζεύγος, αποκαλείται «λογική διαδοχικής επίδρασης», ή επί το γινώστορον domino [Kraussbeck82]. επειδή η προφόρτιση μοιάζει το στήσιμο μιας αλυσίδας πλακιδίων στο παριγγυδίο domino, ενώ η φάση του υπολογισμού προκαλεί την ενεργοποίηση των πύλων, περίπου όπως η πτώση κάθε ντόμινο προκαλεί την πτώση του επόμενου

Δυστυχώς, η έξοδος μιας δυναμικής πύλης ξεκινά σε υψηλή στάθμη (HIGH) και κατέρχεται μονοτονικά σε χαμηλή (LOW) κατά τη φάση υπολογισμού. Αυτή η μονοτονικά καθοδική έξοδος Y δεν είναι κατάλληλη για χρήση ως είσοδος σε μια δεύτερη δυναμική πύλη, η οποία αναμένει μονοτονικά ανοδική σήματα, όπως βλέπετε στο Σχ. 9.27. Οι δυναμικές πύλες που μοιάζονται το ίδιο ρολόι δεν μπορούν να συνδεθούν άμεσα. Σχ. 9.27, το πρόβλημα αυτό λύνεται με χρήση της λογικής διαδοχικής επίδρασης, εφόσον γνωστής ως domino, την οποία θα περιγράψουμε στην επόμενη ενότητα.

9.2.1 Λογική Διαδοχικής Επίδρασης (Domino Logic) Το πρόβλημα της μονοτονικότητας μπορεί να λυθεί με την τοποθέτηση ενός στατικού αντιστροφέα CMOS ανάμεσα στις δυναμικές πύλες, όπως απεικονίζεται στο Σχ. 9.28(α). Αυτός μετατρέπει τη μονοτονικά καθοδική έξοδο σε μονοτονικά ανοδική σήμα, το οποίο είναι κατάλληλο για είσοδος στην επόμενη πύλη, όπως απεικονίζεται στο Σχ. 9.28(β). Αυτή η διάταξη με το δυναμικό-στατικό ζεύγος, αποκαλείται «λογική διαδοχικής επίδρασης», ή επί το γινώστορον domino [Kraussbeck82]. επειδή η προφόρτιση μοιάζει το στήσιμο μιας αλυσίδας πλακιδίων στο παριγγυδίο domino, ενώ η φάση του υπολογισμού προκαλεί την ενεργοποίηση των πύλων, περίπου όπως η πτώση κάθε ντόμινο προκαλεί την πτώση του επόμενου



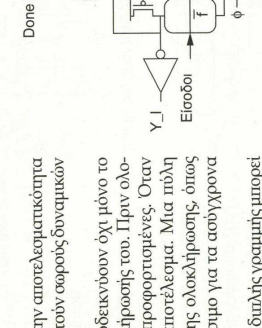
ΠΙΝΑΚΑΣ 9.2 Κωδικοποιήσεις σημείων σε λογική domino διπλής γραμμής

sig_h	sig_l	Σημασία
0	0	Προφόρτιση
0	1	'0'
1	0	'1'
1	1	Άκυρο

Οι πύλες domino διπλής γραμμής δέχονται αμφότερα τα σήματα εισόδου (time και χωρικοί) και υπολογίζουν τα αντίστοιχα σήματα εξόδου (βλ. Σχ. 9.30(a)). Παρατηρήστε ότι αυτό είναι πανομοιότυπο με τα στατικά κυκλώματα CVSL του Σχ. 9.20, με μόνη εξίτηρηση το γεγονός ότι τα διασταυρωμένα pMOS τρανζίστορ συνδέονται στο ρολόι

προφόρτισης. Συνεπώς, η λογική domino διπλής γραμμής μπορεί να θεωρηθεί μια δυναμική μορφή της CVSL, γι' αυτό και αποκαλείται επίσης DCVS [Heller84]. Τα Σχ. 9.30(β, γ) παρουσιάζουν ολοκληρωμένες domino διπλής γραμμής για μια AND/NAND και μια XOR/XNOR αντίστοιχα. Οι πύλες περιλαμβάνουν χρονισμένα τρανζίστορ υπολογισμού, αλλά μπορούν επίσης να είναι «αφαιρούμενα». Η λογική domino διπλής γραμμής είναι μια πλεονεκτική λογική οικογένεια, υπό την έννοια ότι μπορεί να χρησιμοποιηθεί για τον υπολογισμό όλων των λογικών συναρτήσεων, με αντιστροφή ή χωρίς. Ωστόσο, απαιτεί περισσότερη επιφάνεια, περισσότερο διασύνδεση και περισσότερη ισχύ. Επιπλέον, οι δομές domino διπλής γραμμής δεν διαθέτουν την μεγάλη πλατύτητα δυναμικών πύλων NOR, επειδή απαιτούν σφαιρικούς δυναμικούς NAND που εκτείνονται σε μεγάλο ύψος.

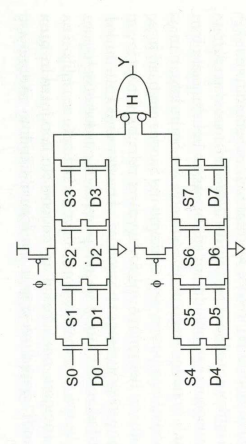
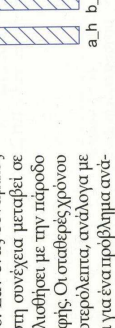
ΣΧΗΜΑ 9.30 Πύλες domino διπλής γραμμής.



ΣΧΗΜΑ 9.31 Πύλη domino διπλής γραμμής με ανένανση ολοκλήρωσης.



ΣΧΗΜΑ 9.32 Μείωση του θερμού ζεύξης σε διαύλους διπλής γραμμής.



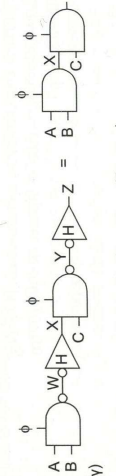
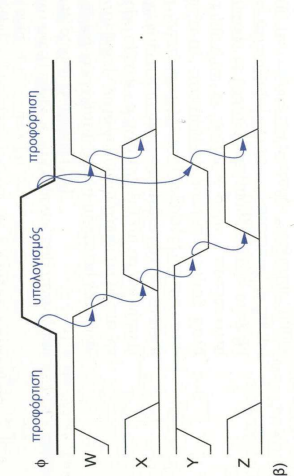
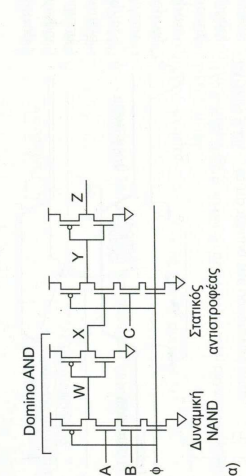
ΣΧΗΜΑ 9.29 Πύλες domino που χρησιμοποιούν στάδια στατικής λογικής CMOS.

στην αλυσίδα. Ένα και μόνο ρολόι μπορεί να χρησιμοποιείται για την προφόρτιση και τον υπολογισμό όλων των λογικών πύλων της αλυσίδας. Επειδή η δυναμική έξοδος κατεργάζεται μονοτονικά κατά τη διάρκεια του υπολογισμού, ο στατικός ανταποφάγει ανέρχεται μονοτονικά. Συνεπώς, ο στατικός ανταποφάγει είναι συνήθως μια πύλη Y-αποκάλυψης, ώστε να ενωθεί αυτή την ανودیκή έξοδο. Παρατηρήστε ότι η προφόρτιση συμβαίνει παράλληλα, ενώ η φάση υπολογισμού ακολουθεί. Αυτό εξηγεί γιατί η προφόρτιση είναι συνήθως λιγότερο κρίσιμη. Το Σχ. 9.28(γ) παρουσιάζει τα σήματα για τη δυναμική πύλη NAND, τον αντιστροφή Y-αποκάλυψης και την domino πύλη AND.

Γενικά, στη θέση του αντιστροφέα μπορούν να χρησιμοποιούνται πολλαπλότερες αντιστροφές πύλες στατικής CMOS λογικής, όπως π.χ. NAND ή NOR [Sutherland99]. Μια τέτοια ανέμεξη δυναμικής και στατικής λογικής αποκαλείται *σύνθετη λογική domino*. Το Σχ. 9.29 παρουσιάζει έναν domino πολυπλέκτη 8 εισόδων, δημιουργημένο με ταχύτερο από ένα δυναμικό πολυπλέκτη 8 εισόδων κι έναν αντιστροφή Y-αποκάλυψης, επειδή το δυναμικό στάδιο έχει λιγότερη χωρητικότητα διάχυσης και παρασιτική καθυστέρηση.

Οι πύλες domino είναι εκ φύσεως μη-αντιστρέψιμες, ενώ ορισμένες συναρτήσεις, όπως οι XOR απαιτούν αντιστροφή. Τρεις τεχνικές επίλυσης αυτού του προβλήματος είναι η χρήση αντιστροφών σε στατική λογική, σε πολλά κυκλώματα, όπως οι αριθμητικές λογικές μονάδες (Arithmetic Logic Unit, ALU), ή αναγκαία πύλη XOR στο τέλος του μονοπατιού μπορεί με μια συμβατική πύλη XOR στατικής CMOS λογικής η οποία οδηγείται από το τελευταίο κυκλώμα domino. Ωστόσο, η έξοδος XOR δεν ανέρχεται πλέον μονοτονικά και άρα δεν μπορεί να οδηγήσει απευθείας επιπλέον κυκλώματα domino. Μια δεύτερη προσέγγιση είναι η απευθείας διαδοχική σύνδεση δυναμικών πύλων χωρίς στατικό CMOS αντιστροφή και καθυστέρηση του ρολοιού στις τελευταίες πύλες ώστε να διασφαλίζεται η μονοτονικότητα των εισόδων κατά τη φάση του υπολογισμού. Αυτό γίνεται συνήθως σε διεθυνσιοδοτούμενες από το περιεχόμενο μνήμης (Content-addressable memories, CAM) και διατάξεις PLA τύπου NOR-NOR, τις οποίες θα εξετάσουμε στις Ενότητες 10.5.4 και 12.7. Η τρίτη προσέγγιση, λογική διαδοχικής επίδρασης (domino) διπλής γραμμής θα εξεταστεί στην ενότητα που ακολουθεί.

9.2.4.2 Λογική διαδοχικής επίδρασης, διπλής γραμμής Οι πύλες με λογική διαδοχικής επίδρασης, διπλής γραμμής (dual-rail domino) κωδικοποιούν κάθε σήμα με ένα ζεύγος αγωγών. Τα ζεύγη σημάτων εισόδου και εξόδου συμβολίζονται ως $_l$ και $_h$ αντίστοιχα. Ο Πίνακας 9.2 συνοψίζει το σχήμα κωδικοποίησης. Η γραμμή $_h$ υποδεικνύει ότι η έξοδος της πύλης είναι σε υψηλή στάθμη. Η γραμμή $_l$ υποδεικνύει ότι η έξοδος της πύλης είναι σε χαμηλή στάθμη. Όταν η πύλη προφορτίζεται, δεν χρησιμοποιείται κανένα από τα δύο σήματα. Το ζεύγος των γραμμών δεν πρέπει ποτέ να ενεργοποιηθεί ταυτόχρονα κατά τη διάρκεια της ουσιαστικής λειτουργίας.



ΣΧΗΜΑ 9.28 Πύλες domino (διαδοχικής επίδρασης).

9.2.4.3 Διατηρητές (Keepers) Τα δυναμικά κυκλώματα υποφέρουν επίσης από τη διαφορά φορτίου στο δυναμικό κόμβο. Εάν ένας δυναμικός κόμβος προφορτίζεται σε υψηλή στάθμη και στη συνέχεια μεταβεί σε κατάσταση αιώρησης, η τάση στο δυναμικό κόμβο θα διολισθήσει με την πάροδο του χρόνου, λόγω διαρροών υποκαταφύλιου, πύλης και επαφής. Οι σταθερές χρόνου κομούνται από χυλιόστα του δευτερολέπτου έως νανοδευτερόλεπτα, ανάλογα με την τεχνολογία κατασκευής και τη θερμοκρασία. Πιθανότατα για ένα πρόβλημα ανάλογο με τη διαφορά σε δυναμικές μνήμης RAM. Επιπλέον, τα δυναμικά κυκλώματα έχουν φτωχή περιθώρια θερμικού εισόδου. Εάν η εισόδος ασταθεί πάνω από V_{th} , κατά τη διάρκεια που η πύλη είναι στη φάση υπολογισμού, τα τρανζίστορ της εισόδου θα

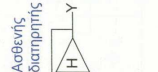
αποκλιμακωθούν, αλλά και τη στιγμή ολοκλήρωσης του. Πριν ολοκληρωθεί ο υπολογισμός, αμφότερες οι γραμμές είναι προφορτισμένες. Όταν ολοκληρωθεί ο υπολογισμός, η μία γραμμή δίνει το αποτέλεσμα. Μια πύλη NAND μπορεί να χρησιμοποιηθεί για την ανένανση της ολοκλήρωσης, όπως απεικονίζεται στο Σχ. 9.31. Αυτό είναι ιδιαίτερα χρήσιμο για τα ασύγχρονα κυκλώματα [Williams91, Spars001].

Ο θερμικός ζεύξης στους διαύλους σημάτων μιας δομής διπλής γραμμής μπορεί να μετρηθεί με τη συναρμογή (interdigitate) των διαιδίων ψηφίων του διαύλου, όπως απεικονίζεται στο Σχ. 9.32. Κάθε αγωγός δεν πρόκειται να βλάνει ποτέ περισσότερους από έναν «επιπλέον αγωγός», να μεταγίνονται ανά πάσα στιγμή, επειδή μόνο μία από τις δύο γραμμές αλλάζει κατάσταση σε κάθε κύκλο.

Οι πύλες domino διπλής γραμμής έχουν μειωμένο θερμικό ζεύξης, επειδή η ανένανση ολοκλήρωσης μειώνει τον χρόνο που οι δύο γραμμές είναι ενεργές. Αυτό γίνεται συνήθως σε διεθυνσιοδοτούμενες από το περιεχόμενο μνήμης (Content-addressable memories, CAM) και διατάξεις PLA τύπου NOR-NOR, τις οποίες θα εξετάσουμε στις Ενότητες 10.5.4 και 12.7. Η τρίτη προσέγγιση, λογική διαδοχικής επίδρασης (domino) διπλής γραμμής θα εξεταστεί στην ενότητα που ακολουθεί.

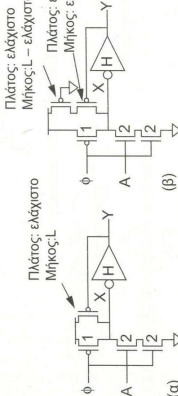
ενεργοποιηθούν ασθενείς και μπορεί να εκφορτίσουν την έξοδο. Τα προβλήματα που έχουν να κάνουν με τις διαφορές και τα περιθώρια θορύβου αντιμετωπίζονται με την προσθήκη ενός κυκλώματος που αποκαλείται *διατηρητής (keeper)*. Το Σχ. 9.33 παρουσιάζει έναν τυπικό κύκλωμα διατηρητή σ' έναν απομονωτή domino. Ο διατηρητής είναι ένα ασθενές τρανζίστορ, το οποίο διατηρεί (σταθεροποιεί) την έξοδο στη σωστή λογική στάθμη, σε περιπτώσεις που διασφορεύεται. Όταν ο δυναμικός κόμβος X είναι σε υψηλή στάθμη, η έξοδος Y είναι σε χαμηλή και το κύκλωμα του διατηρητή είναι ON ώστε να αποτρέψει την απόρριξη από το κύκλωμα οδηγώντας, ο διατηρητής αρχικά να αντιθέσει στη μετάβαση και άρα θα πρέπει να είναι ασθενέστερος από το κύκλωμα οδηγίας «κατ'άνω» είναι OFF. Οι ισχυροί διατηρητές βελτιώνουν επίσης τα περιθώρια θορύβου, επειδή όταν οι εισόδους είναι «κατ'άνω» είναι OFF. Οι ισχυροί διατηρητές βελτιώνουν επίσης τα περιθώρια θορύβου, επειδή όταν οι εισόδους είναι «κατ'άνω» είναι OFF. Οι ισχυροί διατηρητές βελτιώνουν επίσης τα περιθώρια θορύβου, επειδή όταν οι εισόδους είναι «κατ'άνω» είναι OFF. Οι ισχυροί διατηρητές βελτιώνουν επίσης τα περιθώρια θορύβου, επειδή όταν οι εισόδους είναι «κατ'άνω» είναι OFF.

ΣΧΗΜΑ 9.33 Συμβατικός διατηρητής.

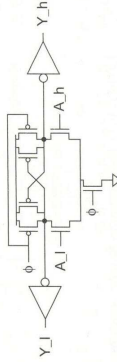


Ο διατηρητής πρέπει να έχει επαρκώς ισχυρό (δηλαδή, να έχει επαρκώς μικρό) ώστε να μπορεί να αντισταθμίσει το οποιοδήποτε ρεύμα διαρροής πιθανόν να υπάρξει όταν η έξοδος αποκλείεται και το δικτυωτό οδηγίας «κατ'άνω» είναι OFF. Οι ισχυροί διατηρητές βελτιώνουν επίσης τα περιθώρια θορύβου, επειδή όταν οι εισόδους είναι «κατ'άνω» είναι OFF. Οι ισχυροί διατηρητές βελτιώνουν επίσης τα περιθώρια θορύβου, επειδή όταν οι εισόδους είναι «κατ'άνω» είναι OFF. Οι ισχυροί διατηρητές βελτιώνουν επίσης τα περιθώρια θορύβου, επειδή όταν οι εισόδους είναι «κατ'άνω» είναι OFF. Οι ισχυροί διατηρητές βελτιώνουν επίσης τα περιθώρια θορύβου, επειδή όταν οι εισόδους είναι «κατ'άνω» είναι OFF.

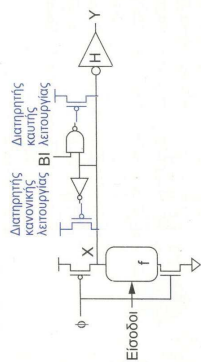
Για μικρές δυναμικές πύλες, ο διατηρητής πρέπει να είναι ακόμα πιο ισχυρό. Τα μεγάλα μίκρος-ελάχιστο (μικρός-ελάχιστο) και μικρός-ελάχιστο (μικρός-ελάχιστο) είναι οι δύο βασικοί τύποι διατηρητών που χρησιμοποιούνται σε κυκλώματα CMOS. Ο διατηρητής πρέπει να είναι ακόμα πιο ισχυρό. Τα μεγάλα μίκρος-ελάχιστο (μικρός-ελάχιστο) και μικρός-ελάχιστο (μικρός-ελάχιστο) είναι οι δύο βασικοί τύποι διατηρητών που χρησιμοποιούνται σε κυκλώματα CMOS.



ΣΧΗΜΑ 9.34 Υλοποιήσεις ασθενούς διατηρητή.



ΣΧΗΜΑ 9.35 Διαφορικός διατηρητής.



ΣΧΗΜΑ 9.36 Διατηρητής υπό συνθήκη «καυτής» λειτουργίας.

υψηλή, αυτό το φαινόμενο μπορεί να αυξηθεί σημαντικά το απαιτούμενο πλάτος για το κύκλωμα του διατηρητή. Στο Σχ. 9.36, παρατηρείται ότι η πολύ domino χρησιμοποιεί έναν ξεχωριστό αντιστροφή για ανάρθρωση, ο οποίος δεν υπόκειται στο θόρυβο συνακρόασης επειδή παραμένει μέσα στο κύκλωμα. Αυτή η τεχνική χρησιμοποιείται από την Intel, ακόμα και σε περιπτώσεις όπου δεν χρησιμοποιούνται διατηρητές «καυτής λειτουργίας».

Όμοια με τα βασίζοντα σε λογαριασμούς κυκλώματα, οι διατηρητές domino επιβάλλονται από τις διακομμένες που μπορεί να εισέλθει κατασκευαστική διακομμένη [Brusamarello88]. Ο διατηρητής πρέπει να έχει επαρκώς πλάτος ώστε να διατηρεί την έξοδο στη γωνία FS. Έχει τη μέγιστη επίδραση στην καθυστέρηση στη γωνία SF. Επιπλέον, ο διατηρητής πρέπει να έχει μέγεθος κατάλληλο για την αντιμετώπιση τυπικών αποκλίσεων περίπου 5σ ενδομηχανικής διακομμένης για να έχει αμελητέα επίδραση στην απόδοση παραγωγής (yield), όταν το ολοκληρωμένο περιλαμβάνει πολλές πύλες domino. Ακόμα πιο προηγμένοι διατηρητές μπορούν να χρησιμοποιούνται για την αντιμετώπιση ομομηχανικών διακομμένων. Ο προσαρμοστικός διατηρητής (adaptive keeper) του Σχήματος 9.37 έχει ψηφιακά διαμορφώσιμη ισχύ [Kim03]. Ο διατηρητής με αντίγραφο ρεύματος διαρροής (leakage current replica, LCR) του Σχ. 9.38 χρησιμοποιεί έναν καθρέπτη ρεύματος, έτσι ώστε το ρεύμα του διατηρητή να παρακολουθεί το ρεύμα διαρροής με τρόπο παρόμοιο με την «αντιγραφή πόλης» στις πύλες ψευδο-nMOS [LiH07]. Το πλάτος του nMOS τρανζίστορ στον καθρέπτη ρεύματος επιλέγεται ώστε να ταιριάζει με το πλάτος των διαρροών στο κύκλωμα. Επιπλέον περιθώριο είναι αναγκαίο για την αντιμετώπιση του θορύβου και άλλων τοχών διακομμένων.

Τα κυκλώματα domino με καθυστερημένα ρολόγια μπορούν να χρησιμοποιούν κυκλώματα πλήρων διατηρητών, αποτελούμενα από διασταυρούμενους αντιστροφείς, για τη διατήρηση της έξοδου είτε σε υψηλή στάθμη είτε σε χαμηλή, όπως θα δούμε στην Ενότητα 10.5.

9.2.4 Στοιχεία δευτερεύουσας προφορτίσης

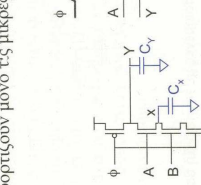
Οι δυναμικές πύλες υποφέρουν από προβλήματα που σχετίζονται με το διαμορφωμένο φορτίο (charge sharing, [Okioldzhab86]).

Ας πάρουμε σαν παράδειγμα τη δυναμική πύλη NAND 2 εισόδων του Σχήματος 9.39(a). Υποθέτουμε ότι η έξοδος Y προφορτίζεται στη στάθμη V_{DD} και οι εισόδους A και B είναι σε χαμηλή στάθμη. Ας υποθέσουμε επίσης ότι ο ενδιάμεσος κόμβος X έχει χαμηλή τιμή από έναν προηγούμενο κύκλο. Κατά τη φάση του υπολογισμού, η είσοδος A ανέρχεται, αλλά η είσοδος B παραμένει χαμηλή, οπότε η έξοδος Y θα πρέπει να παραμείνει σε υψηλή στάθμη. Ωστόσο, το φορτίο διαμορφάζεται μεταξύ των κόμβων C_x και Y , όπως απεικονίζεται στο Σχήμα 9.39(β). Αυτό συμπεριφέρεται ως ένας χωρητικός διαίρεσης τάσης και οι τάσεις υστεραθίζονται σε

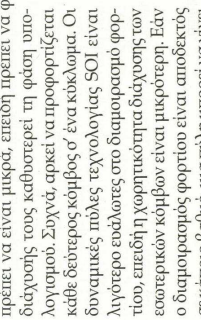
$$V_x = V_Y = \frac{C_Y}{C_x + C_Y} V_{DD} \quad (9.3)$$

Ο διαμορφωμένος φορτίος καθίσταται σοβαρό πρόβλημα όταν η έξοδος φέρει μικρό φορτίο (C_Y) και η εσωτερική χωρητικότητα είναι μεγάλη. Για παράδειγμα, οι δυναμικές πύλες NAND 4 εισόδων και οι συνθέτες πύλες AOI μπορούν να διαμορφώσουν φορτίο μεταξύ πολλών κόμβων. Εάν ο θόρυβος διαμορφωμένου φορτίου είναι μικρός, ο διατηρητής τελικά θα αποκαταστήσει τη δυναμική έξοδο σε V_{DD} . Ωστόσο, εάν ο θόρυβος διαμορφωμένου φορτίου είναι μεγάλος, η έξοδος μπορεί να μην σταθεροποιηθεί οπότε θα απενεργοποιηθεί το κύκλωμα του διατηρητή, οδηγώντας σε ανακρίβη αποτελέσματα.

Ο διαμορφωμένος φορτίος μπορεί να αντιμετωπιστεί με την προφορτίση ορισμένων ή όλων των εσωτερικών κόμβων, χρησιμοποιώντας δευτερεύοντα τρανζίστορ προφορτίσης, όπως απεικονίζεται στο Σχήμα 9.40. Από τα τρανζίστορ πρέπει να είναι μικρά, επειδή πρέπει να φορτίζουν μόνο τις μικρές εσωτερικές χωρητικότητες και η χωρητικότητα διάχυσης τους καθυστερεί τη φάση υπολογισμού. Σημειώνεται ότι η φάση υπολογισμού πρέπει να είναι κοκλωμα. Οι δυναμικές πύλες τεχνολογίας SOI είναι λιγότερο ευάλωτες στο διαμορφωμένο φορτίο, επειδή η χωρητικότητα διάχυσης των εσωτερικών κόμβων είναι μικρότερη. Εάν ο διαμορφωμένος φορτίος είναι αποδεκτός ο διαμορφωμένος φορτίος είναι αποδεκτός ο κάποιος βαθμό, μια πύλη μπορεί να γίνει ταχύτερη μέσω της προ-εφόρτισης ορισμένων εσωτερικών κόμβων [Ye00].



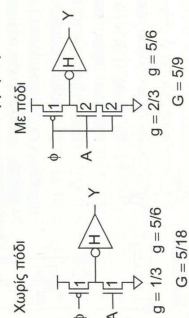
ΣΧΗΜΑ 9.39 Θόρυβος από διαμορφωμένο φορτίο



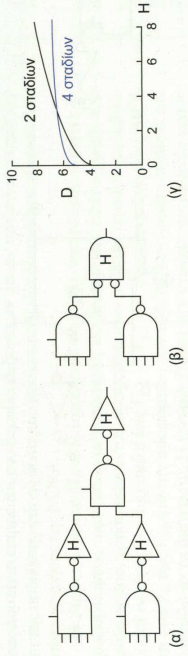
ΣΧΗΜΑ 9.40 Δευτερεύον τρανζίστορ προφορτίσης.

Συνομιζώντας, η λογική domino είχε αρχικά προταθεί ως μια τεχνική σχεδίασης γρήγορων και συμπαγών κυκλωμάτων. Στην πράξη, όμως, η λογική domino προτιμάται για την ταχύτητά της. Ωστόσο, από τη στιγμή που προστίθενται κυκλωματα διατηρητών, πύλες με «πίδη» και δευτερεύοντα στοιχεία προφύλαξης για να προκύψει ένα σταθερό κύκλωμα, η λογική domino σπανίως είναι πιο συμπαγής από τα στατικά κυκλώματα CMOS. Εάν απαιτεί υπερβολική σχεδιαστική προσπάθεια για να διασφαλίσει τη σταθερότητα των κυκλωμάτων. Όταν μάλλον απαιτείται λογική domino διπλής γρομμής, η κατανάλωση επιφανείας είναι σίγουρα μεγαλύτερη από αυτή των στατικών κυκλωμάτων CMOS.

9.2.4.5 Λογικός Φόρτος Δυναμικών Μονοπατιών Στην Ενότητα 4.5.2 υπολογίσαμε το βέλτιστο φόρτο σταδίου με την τεχνική της προσάρτησης υποθετικών στατικών αντιστοίχων CMOS στο τέλος του μονοπατιού. Εκεί βρήκαμε ότι ο βέλτιστος φόρτος εξαρτάται από την παρασκήνια χωρητικότητα και είναι 3.59 για $P_{inv} = 1$. Όταν χρησιμοποιούμε εναλλακτικές οικογένειες κυκλωμάτων, ο βέλτιστος φόρτος σταδίου μπορεί να αλλάξει. Για παράδειγμα, στα κυκλώματα domino θα μπορούσαμε να τοποθετήσουμε απομονωτές domino στο τέλος του μονοπατιού. Το Σχήμα 9.41 υποδεικνύει ότι ο λογικός φόρτος ενός απομονωτή domino είναι $G=5/9$ για τη λογική domino «με πόδη» και $5/18$ για τη λογική domino χωρίς «πόδη». Συνεπώς, κάθε απομονωτής που προσαρτάται σ' ένα μονοπάτι πρακτικά μειώνει το φόρτο μονοπατιού. Συνεπώς, είναι προτιμότερο να προσθέτουμε περισσότερους απομονωτές - ή, ισοδύναμα, να στοχεύουμε σε χαμηλότερο φόρτο σταδίου απ' ό,τι θα είχαμε σε μια στατική CMOS σχεδίαση. O [Sutherland99] απέδειξε ότι ο βέλτιστος φόρτος σταδίου είναι $p=2.76$ για μονοπάτια σε λογική domino «με πόδη» και 2.0 για μονοπάτια χωρίς «πόδη». Σε μονοπάτια που χρησιμοποιείται μεκική λογική domino, με και χωρίς «πόδη», ο βέλτιστος φόρτος είναι μεταξύ των δύο ακραίων τιμών. Στην πράξη, ακριβώς όπως στοχεύετε σε φόρτο σταδίου 4 για μονοπάτια στατικών δομών CMOS, θα πρέπει επίσης να στοχεύετε σε φόρτο σταδίου 2-3 για μονοπάτια domino. Είπαμε επίσης ότι υπάρχει δυνατότητα τοποθέτησης της λογικής σε στατικά στάδια CMOS ανάμεσα σε δυναμικές πύλες. Το ακόλοθο παράδειγμα εξετάζει τις περιπτώσεις στις οποίες είναι επιθυμητή αυτή η πρακτική.



ΣΧΗΜΑ 9.41 Λογικός φόρτος των απομονωτών domino.



ΣΧΗΜΑ 9.43 Καθυστερήσεις πύλων AND 8 εισόδων υλοποιημένων με την τεχνική domino.

Συνομιζώντας, τα δυναμικά στάδια είναι γρήγορα, επειδή κατασκευάζουν τη λογική χρησιμοποιώντας nMOS τρανζίστορ. Επιπλέον, οι χαμηλοί λογικοί φόρτοι υποδηλώνουν ότι η χρήση μεγάλου αριθμού σταδίων είναι επιθυμητή. Η τοποθέτηση της λογικής σε στατικά στάδια CMOS χρησιμοποιεί αργότερα pMOS τρανζίστορ και μειώνει τον αριθμό των σταδίων. Για το λόγο αυτό, συχνά είναι προτιμότερο οι στατικές πύλες CMOS να χρησιμοποιούνται μόνο σε μονοπάτια με χαμηλό ηλεκτρικό φόρτο.

9.2.4.6 Λογική domino πολλαπλών εξόδων (Multiple-Output Domino Logic, MODL) Συχνά, προκύπτει ανάγκη υπολογισμού πολλαπλών συναρτήσεων, όπου κάποια είναι υποσυνάρτηση κάποιες άλλης ή μορφάζεται μια υποσυνάρτηση με μια άλλη. Η λογική domino πολλαπλών εξόδων [Hwang89, Wang97] εξοικονομεί επιφανεια συνδυάζοντας όλους τους υπολογισμούς σε μια πύλη πολλαπλών εξόδων.

Μια δημοφιλής εφαρμογή της είναι σε κυκλώματα αθροίσης, όπου πρέπει να υπολογίζεται το κρατούμενο εξόδου c_i για κάθε bit ενός μπλοκ των 4 bit, όπως θα δούμε στην Ενότητα 11.2.2.2. Κάθε θέση bit, i , σ' ένα μπλοκ μπορεί είτε να διαδοσει το κρατούμενο (p) είτε να δημιουργήσει ένα κρατούμενο (z_i). Η λογική για το κρατούμενο εξόδου είναι:

$$\begin{aligned} c_1 &= g_1 + p_1 c_0 \\ c_2 &= g_2 + p_2 (g_1 + p_1 c_0) \\ c_3 &= g_3 + p_3 (g_2 + p_2 (g_1 + p_1 c_0)) \\ c_4 &= g_4 + p_4 (g_3 + p_3 (g_2 + p_2 (g_1 + p_1 c_0))) \end{aligned} \quad (9.4)$$

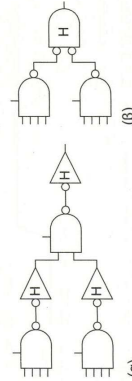
Αυτή μπορεί να υλοποιηθεί σε τέσσερις συνθέτες πύλες AOI, όπως απεικονίζεται στο Σχήμα 9.44(a). Παρατηρήστε ότι, κάθε εξόδος είναι συνάρτηση των λιγότερο σημαντικών εξόδων. Η πύλη σημασιολογικά ονομάζεται αλυσίδα κρατούμενου Manchester (Manchester carry chain, βλ. Σχήμα 9.44(β)). Σημειώστε ότι οι ενδιάμεσες εξόδους απαιτούν δευτερεύοντα τρανζίστορ προφύλαξης. Σημειώστε επίσης ότι πρέπει να ληφθεί ιδιαίτερη μέριμνα ώστε συγκεκριμένες εισόδους να είναι αμοιβαία αποκλειόμενες, έτσι ώστε να αποφευχθούν «κροφάρα» μονοπατία (sneak paths) που διαφεύγουν της προσοχής μας. Για παράδειγμα, στον αθροιστή θα πρέπει να ορίσουμε

$$\begin{aligned} g_i &= a_i b_i \\ p_i &= a_i \oplus b_i \end{aligned} \quad (9.5)$$

Παράδειγμα 9.6

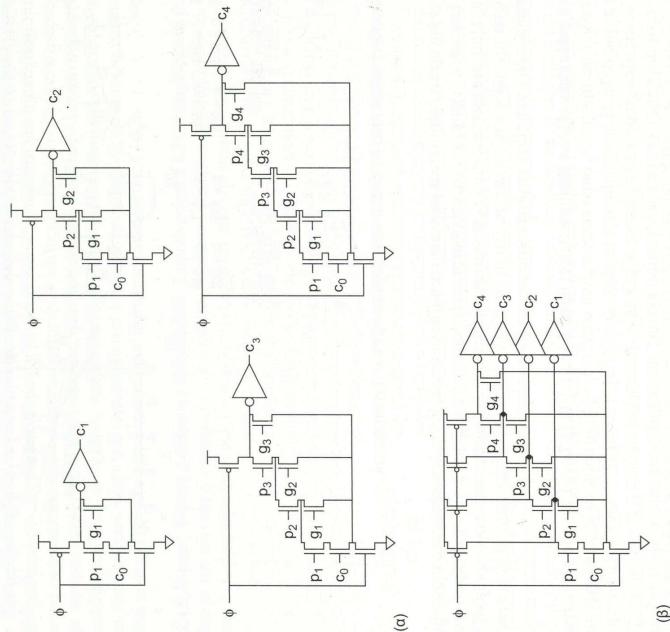
Το Σχήμα 9.42 παρουσιάζει δύο σχεδίασεις για μια domino πύλη AND 8 εισόδων που χρησιμοποιεί πύλες «με πόδη». Η πρώτη χρησιμοποιεί τέσσερα στάδια λογικής με στατικούς CMOS αντιστοίχους. Η δεύτερη περιλαμβάνει μόνο δύο στάδια και χρησιμοποιεί μια πύλη NOR Υ-αποκόλλησης. Για ποιο εύρος τιμών ηλεκτρικού φόρτου μονοπατιού είναι ταχύτερη η σχεδίαση δύο σταδίων;

Λύση: Πιθανώς να περιμένετε ότι η δεύτερη σχεδίαση είναι ανώτερη επειδή αυξάνει ελάχιστα την πολυπλοκότητα των στατικών πύλων και χρησιμοποιεί τα μισά στάδια, αλλά αυτό ισχύει μόνο για χαμηλούς ηλεκτρικούς φόρτους. Το Σχήμα 9.43 παρουσιάζει τα μονοπάτια, σχολιασμένα με (α) τους λογικούς φόρτους, (β) τις παρασιτικές χωρητικότητες και (γ) τη συνολική καθυστέρηση. Οι παρασιτικές χωρητικότητες συνυπολογίζονται μόνο τη χωρητικότητα διάχυσης στον κόμβο εξόδου. Η καθυστέρηση της κάθε σχεδίασης αναπαριστάται συναρτήσει του ηλεκτρικού φόρτου μονοπατιού, p . Για $H=2.9$, η σχεδίαση 4 σταδίων είναι πιο αποτελεσματική, επειδή οι πύλες domino λειτουργούν πρακτικά ως απομονωτές.



ΣΧΗΜΑ 9.42 Πύλες AND 8 εισόδων υλοποιημένες με την τεχνική domino.

5 Μην υπερβείτε τον ηλεκτρικό φόρτο μονοπατιού, H , με το γράμμα H που χρησιμοποιείται για το χαρακτηρισμό των υψηλής απόκλισης (HI-skew) στατικών CMOS πύλων στο σχήμα.



ΣΧΗΜΑ 9.44 Συμβατικές και MODL αλυσίδες κροτουμένου.

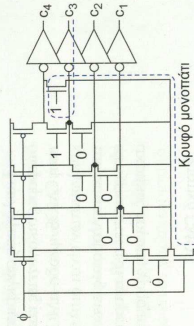
Εάν το p_i είχε οριστεί ως $a_i + b_i$, θα μπορούσε να υπάρξει ένα κροφό μονοπάτι όταν τα a_i και b_i είναι 1 και όλες οι άλλες εισοδοί είναι 0. Σ' αυτή την περίπτωση, $g_i p_i = 1$. Το c_i θα ενεργοποιούνταν ουσιά, αλλά θα ενεργοποιούνταν επίσης το c_1 (βλ. Σχ. 9.45), πράγμα το οποίο είναι λάθος.

9.2.4.7 NP και Zipper Domino Μια άλλη παραλλαγή της λογικής domino απεικονίζεται στο Σχήμα 9.46(α). Οι αντιπρότερες στατικές πύλες Y-απόκλισης αντικαθίστανται από πιο-εκφορισμένες δυναμικές πύλες που χρησιμοποιούν λογική pMOS. Το Σχήμα 9.46(β) απεικονίζει μια δυναμική πύλη NAND p-λογικής «με πόδο». Όταν $\phi = 0$, το πρώτο και το τρίτο στάδιο προφορτίζονται υψηλά ενώ το δεύτερο στάδιο προφορτίζεται χαμηλά. Όταν το ϕ ανέρχεται, όλα τα στάδια υπολογίζονται. Είναι δυνατό να ολοκληρωθούν συνδέσεις διαδοχικού υπολογισμού (δηλαδή, domino), όπως απεικονίζεται στο Σχήμα 9.46(γ). Αυτό το στυλ σχεδίασης αποκαλείται NP domino ή NORA (No Race Domino, [Gonclaves83, Friedman84]).

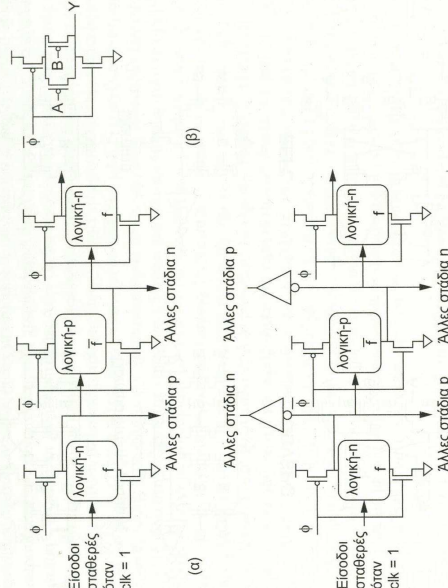
Το NORA έχει δύο σημαντικά μειονεκτήματα. Πρώτον, ο λογικός φορτός των πύλων p-λογικής «με πόδο» είναι γενικά χειρότερος από το λογικό φρόντο των πύλων Y-αποκλίσης (π.χ. 2 έναντι 3/2 για NOR2 και 4/3 έναντι 1 για NAND2). Δεύτερον, η λογική NORA είναι ιδιαίτερα ευάλωτη στο θόρυβο. Σε μια συμβατική δυναμική πύλη, η εισοδος έχει χαμηλό περιθώριο θορύβου (περίπου 1%), αλλά οδηγείται ισχυρά από μια στατική πύλη CMOS. Η αιωρούμενη δυναμική εξοδος είναι περισσότερο επιρρεπής στο θόρυβο λόγω ζεύξης και διαμορφισμού φορτίου, αλλά οδηγεί μια επίμενη στατική πύλη CMOS με μεγαλύτερο περιθώριο θορύβου. Στη NORA, ωστόσο, οι ευαίσθητες δυναμικές εισοδοί οδηγούνται από δυναμικές εξο-

δους που είναι επιρρεπείς στο θόρυβο. Δεδομένων αυτών των μειονεκτημάτων και της πρόσθετης φάσης ρολογιού που απαιτείται, ελάχιστα λόγοι συνηγούνται υπέρ της χρήσης της NORA.

Η Zipper Domino [Lee86] σχετίζεται στενά με την NORA. Αρθίνει το προφορισμένο τρανζίστορ σε κατάσταση «ελαφρύς» ON κατά τη φάση του υπολογισμού, χρησιμοποιώντας προφορισμένα ρολόγια τα οποία μεταβάλλονται σε ερώς (swing) από 0 έως $V_{DD} - |V_p|$ για τη προφορισία των pMOS και από V_m έως V_{DD} για την προφορισία των nMOS. Αυτό παίζει περίπου τον ίδιο ρόλο με το διατηρητή. Η τεχνική Zipper δεν γνώρισε ποτέ ευρεία χρήση στη βιομηχανία [Bernstein99].



ΣΧΗΜΑ 9.45 Κροφό μονοπάτι.

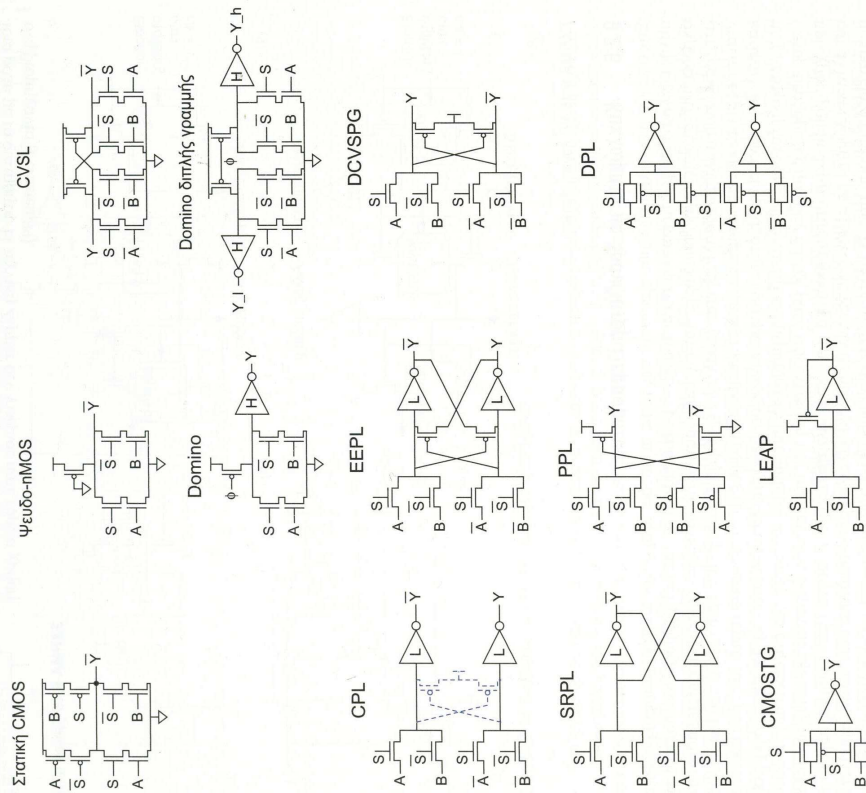


ΣΧΗΜΑ 9.46 NP λογική domino.

9.2.5 Κυκλώματα με Τρανζίστορ Περάσματος

Στις οικογένειες κυκλωμάτων που εξετάσαμε έως τώρα, οι εισοδοί εφαρμόζονται μόνο στους ακροδέκτες πύλης των τρανζίστορ. Στα κυκλώματα με τρανζίστορ περάσματος, οι εισοδοί εφαρμόζονται επίσης στους ακροδέκτες διάχυσης πηγής/υποδοχής. Αυτό τα κυκλώματα κατασκευάζουν διακόπτες χρησιμοποιώντας είτε τρανζίστορ περάσματος nMOS, είτε παράλληλα ζεύγη nMOS και pMOS τρανζίστορ που αποκαλούνται πύλες μετάδοσης (transmission gates). Αρκεί οι συγγραφέις έχουν αναφέρει σημαντικές βελτιώσεις σε κατασκευή επιφάνειας, ταχύτητα και/ή κατανάλωση ισχύος για τα τρανζίστορ περάσματος, συγκριτικά με τη στατική λογική CMOS. Σε ειδικές περιπτώσεις, αυτό μπορεί να ισχύει για παράδειγμα, τα τρανζίστορ περάσματος παίζουν ζωτικό ρόλο στη σχεδίαση των αποδοτικών, 6-τρανζίστορ καλύτερων RAM που χρησιμοποιούνται στα περισσότερα σύγχρονα συστήματα (βλ. Ενότητα 12.2). Πληρείς αθροιστές και άλλα κυκλώματα με άφθονες XOR επιδεικνύουν μεγαλύτερη αποδοτικότητα όταν κατασκευάζονται με τρανζίστορ περάσματος. Σε άλλες περιπτώσεις, όπως θα δούμε παρακάτω, τα τρανζίστορ περάσματος αποτελούν πρακτικά ισοδύναμο τρόποος υλοποίησης των ίδιων θεμελιωδών λογικών δομών που εξετάσαμε παραπάνω. Μια ανεξάρτητη αξιολόγηση καταλήγει στο συμπέρασμα ότι για τα περισσότερα γενικής χρήσης κύτταρα λογικής, η στατική CMOS υπερφέρει σε ταχύτητα, κατανάλωση ισχύος και επιφάνεια [Zimmermann97].

Για λόγους σύγκρισης, το Σχήμα 9.47 παρουσιάζει έναν πολυπλέκτη 2 εισόδων κατασκευασμένο με διάφορες οικογένειες κυκλωμάτων που χρησιμοποιούν τρανζίστορ περάσματος, καθώς επίσης και με στατική CMOS, ψευδο-nMOS, CVSL και λογική domino μιας ή δύο γραμμών. Ορισμένες από τις οικογένειες κυκλωμάτων είναι διπλής γραμμής, οπότε παράγουν και την αληθή (true) και τη συμπληρωματική τιμή του αποτελέσματος, ενώ άλλες είναι μονής γραμμής και μπορεί να απαιτήσουν μια επιπλέον αντιστροφή εάν χρειαστεί διαφορετική πολικότητα της εξόδου. Η σχέση $U \cdot XOR \cdot Y$ μπορεί να υπολογιστεί με την ίδια ακριβώς λογική, χρησιμοποιώντας τα $S = U, \bar{S} = \bar{U}, A = U, \bar{A} = \bar{U}, B = \bar{V}$.



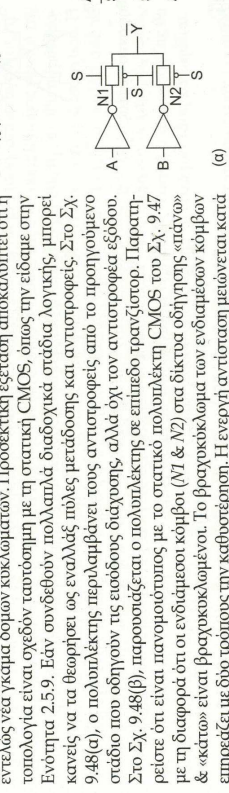
ΣΧΗΜΑ 9.47 Σύγκριση μεταξύ διαφόρων οικογενειών κυκλωμάτων για πολυπλέκτης 2 εισόδων.

Αυτό υποδεικνύει ότι η στατική CMOS είναι ανεπαρκής για την υλοποίηση της XOR, επειδή απαιτεί μια σύνθετη πύλη και δύο επιπλέον αντιστροφείς. Σ' αυτή την περίπτωση, η λογική με τρανζίστορ περάσματος καθίσταται ελκυστική επιλογή. Συγκεκριμένα, οι στατικές CMOS πύλες NAND και NOR είναι σχετικά αποδοτικές και δεν σφραγίζονται από τη χρήση τρανζίστορ περάσματος.

Σ' αυτή την ενότητα θα περιγράψουμε και αρχή κυκλώματα CMOS τα οποία περιλαμβάνουν πύλες περάσματος, κάτι το οποίο είναι σύνηθες σε πολυπλέκτες και μανδαλωτές. Στη συνέχεια θα εξετάσουμε τη συμπληρωματική λογική τρανζίστορ περάσματος (CPL), η οποία μπορεί να λειτουργεί καλά σε κυκλώματα πλοσία σε πύλες XOR, όπως πλήρεις αθροιστές και κυκλώματα LEAP, τα οποία είναι χαρακτηριστικά δείγματα σχεδίασης μιας εξόδου (single-ended).

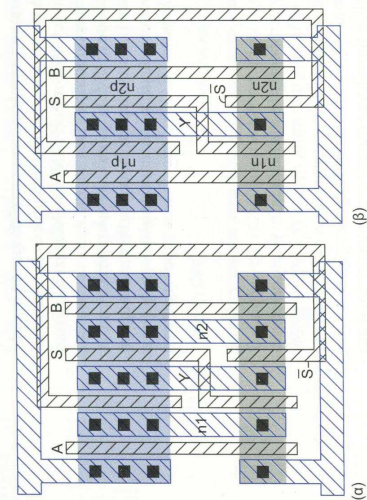
9.2.5.1 CMOS με πύλες περάσματος Λοιμές όπως τρισταθίες απομονωτές, μανδαλωτές και πολυπλέκτες συνήθως σχεδιάζονται ως πύλες μετάδοσης σε συνδυασμό με απλή στατική λογική CMOS. Το Σχήμα 1.27 παρουσιάζει τον πολυπλέκτη που χρησιμοποιείται δύο πύλες μετάδοσης. Το κύκλωμα ήταν χωρίς αποκατάσταση - δηλαδή, οι λογικές στάθμες στην έξοδο δεν είναι καλύτερες από αυτές της εισόδου, οπότε η σύνδεση αρκετών τέτοιων κυκλωμάτων διαδοχικά θα συσώρευσε θόρυβο. Για να απομονωθεί η έξοδος και να αποκατασταθούν οι λογικές στάθμες τάσης, μπορεί να προστεθεί ένας στατικός αντιστροφείς εξόδου, όπως αποκαταστάσει στο Σχήμα 9.47 (CMOSTG). Ένα μεμονωμένο nMOS ή pMOS τρανζίστορ περάσματος υποφέρει από μια πρόωπη τάσης καταφύλιον. Αν χρησιμοποιηθεί μόνο του, ίσως απαιτηθεί επιπλέον κύκλωμα για οδήγηση της εξόδου στη στάθμη της γραμμής. Οι πύλες μετάδοσης λύνουν αυτό το πρόβλημα, αλλά απαιτούν δύο τρανζίστορ εν παραλληλίστο. Η αντίσταση μιας μοναδιαίου μεγέθους πύλης μετάδοσης μπορεί να εκτιμηθεί ως R για την εκτίμηση της καθυστέρησης. Το ρεύμα ρέει διαμέσου του παράλληλου συνδυασμού των nMOS και pMOS. Το ένα από τα τρανζίστορ περνά την τιμή καλά, ενώ το άλλο προβληματικά για παράδειγμα, ένα λογικό 1 περνιέται καλά από το pMOS αλλά όχι από το nMOS. Η ενεργή αντίσταση ενός μοναδιαίου τρανζίστορ που περνά μια προβληματική τιμή εκτιμάται διπλάσια από τη συνθήκη: 2R για nMOS και 4R για pMOS. Το Σχ. 9.48 απεικονίζει τον παράλληλο συνδυασμό των αντιστάσεων. Κατά το πέρασμα ενός 0, η αντίσταση είναι $R || 4R = (4/5)R$ για το πέρασμα ενός 1 είναι $2R || 2R = R$. Άρα, μια πύλη μετάδοσης με μοναδιαία τρανζίστορ έχει περίπου αντίσταση R και στις δύο καταστάσεις. Σημειώστε ότι οι πύλες μετάδοσης κατασκευάζονται συνήθως με ισομεγέθη nMOS και pMOS τρανζίστορ. Η αύξηση του μεγέθους του pMOS βελτιώνει ελαφρώς την ενεργή αντίσταση αλλά αυξάνει σημαντικά τη χωρητικότητα.

ΣΧΗΜΑ 9.48 Ενεργή αντίσταση μοναδιαίας πύλης μετάδοσης.



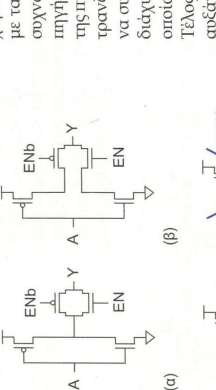
ΣΧΗΜΑ 9.49 Εναλλακτικές αναπαραστάσεις CMOSTG σε αναστρέφοντα πολυπλέκτη 2 εισόδων.

Ενότητα 2.5.9. Εάν συνδεθούν πολλαπλά διαδοχικά στάδια λογικής, μπορεί κανείς να τα θεωρήσει ως εναλλασ πύλες μετάδοσης και αντιστροφείς. Στο Σχ. 9.48(a), ο πολυπλέκτης περιλαμβάνει τους αντιστροφείς από το προηγούμενο στάδιο που οδηγούν τις εισόδους διάχυσης, αλλά όχι τον αντιστροφή εξόδου. Στο Σχ. 9.48(β), παρουσιάζεται ο πολυπλέκτης σε επίπεδο τρανζίστορ. Παρατηρείστε ότι είναι πανομοιότυπος με το στατικό πολυπλέκτη CMOS του Σχ. 9.47 με τη διαφορά ότι οι ενδιάμεσοι κόμβοι (N1 & N2) στα δίκτυα οδήγησης «πάνω» & «κάτω» είναι βραχυκυκλωμένοι. Το βραχυκύκλωμα των ενδιάμεσων κόμβων επιμερίζει με δύο τρόπους την καθυστέρηση. Η ενεργή αντίσταση μειώνεται κατά «κίτριν» διαμέσου του παράλληλου συνδυασμού των δύο τρανζίστορ περάσματος (αυτό είναι εμφανές από το φυσικό σχέδιο των πολυπλέκτων, η σχεδίαση της πύλης μετάδοσης του Σχ. 9.49(a) απαιτεί διάχυση επαφής στα N1 και N2 ενώ η στατική CMOS πύλη του Σχ. 9.49(β) όχι). Στις περισσότερες τεχνολογίες κατασκευής, η βελτιωμένη τιμή της αντίστασης κορυφαίνει για τις πύλες με μέτριο βαθμό οδήγησης εξόδου, γεγονός το οποίο κάνει το βραχυκύκλωμα γενικά ταχύτερο, με μικρή επιβάρυνση σε κατανάλωση ισχύος.



ΣΧΗΜΑ 9.50 Σύγκριση φυσικών σχεδίων πολυπλεκτίων.

Χαρακτηρισμό των κυκλωμάτων με πολλές μεταδόσεις και είναι συμβατή με τα περισσότερα εργαλεία ανάλυσης χρόνιου. Οι αρχαίοι σχεδιαστές συχνά χαρακτηρίζουν λανθασμένα τις πολλές μεταδόσεις με την εφαρμογή μιας πηγής τάσης απειθείας στην εισοδο διάχυσης. Αυτό κάνει τους πολυπλεκτές της πολλές μεταδόσεις να δείχνουν ταχύτερο, επειδή χρησιμοποιούν μόνο ένα τρανζίστορ εν σειρά αντί για δύο. Για ακριβή χαρακτηρισμό, θα πρέπει επίσης να συνοπλογίζεται ο οδηγός. Ανταπερφοροεικμήματα είναι ότι ο εισοδος διάχυσης προς τους τρισταθούς αντιστροφείς είναι επιρρεπείς σε θόρυβο, ο οποίος μπορεί να ενεργοποιήσει τον αντιστροφή (δείτε την Ενότητα 9.3).



ΣΧΗΜΑ 9.51 Τρισταθής αντιστροφείς.

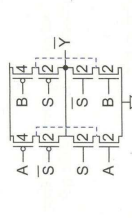
Το Σχήμα 9.51 παρουσιάζει έναν παρόμοιο μετα-σχηματισμό τρισταθούς αντιστροφή από μορφή πύλης μεταδόσεις σε συμβατικό στατικό CMOS, ο οποίος γίνεται εξελίχοντας το βραχυκύκλωμα στον ενδιάμεσο κόμβο και επανααδειάζοντας την πύλη. Σημειώστε ότι το κύκλωμα του Σχ. 9.51(β) αναπαράγει τους ακροδέκτες A και enable. Σε επίπεδο λογικής αυτό είναι ισοδύναμο, αλλά σε ηλεκτρικό επίπεδο είναι καλύτερο, επειδή εν η έξοδος είναι τρισταθής αλλά το A αλλάζει τιμή, το φορτίο από τους εσωτερικούς κόμβους μπορεί να διατηρείται τον αφορούμενο κόμβο. Ο διαμορφωμένος φορτίο εξετάζεται στην Ενότητα 9.3.4.

Υπάρχουν αρκετοί λόγοι που οδηγούν στην πύλη με πολλές μεταδόσεις. Εάν ο αντιστροφείς είναι στην έξοδο παρά στην εισοδο, η καλύτερη της πύλης εξαρτάται από το στοιχείο που οδηγεί την εισοδο και τη χωρητικότητα που οδηγεί η έξοδος. Αυτή η ευσταθία στον οδηγό της εισοδος διαχερραίνεται το χαρακτηρισμό των κυκλωμάτων με πολλές μεταδόσεις και είναι συμβατή με τα περισσότερα εργαλεία ανάλυσης χρόνιου. Οι αρχαίοι σχεδιαστές συχνά χαρακτηρίζουν λανθασμένα τις πολλές μεταδόσεις με την εφαρμογή μιας πηγής τάσης απειθείας στην εισοδο διάχυσης. Αυτό κάνει τους πολυπλεκτές της πολλές μεταδόσεις να δείχνουν ταχύτερο, επειδή χρησιμοποιούν μόνο ένα τρανζίστορ εν σειρά αντί για δύο. Για ακριβή χαρακτηρισμό, θα πρέπει επίσης να συνοπλογίζεται ο οδηγός. Ανταπερφοροεικμήματα είναι ότι ο εισοδος διάχυσης προς τους τρισταθούς αντιστροφείς είναι επιρρεπείς σε θόρυβο, ο οποίος μπορεί να ενεργοποιήσει τον αντιστροφή (δείτε την Ενότητα 9.3).

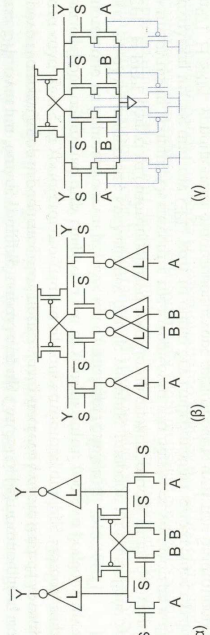
Τέλος, οι επαφές αυξάνουν ελαφρώς την επιφάνεια και η χωρητικότητα τους αυξάνει την κατανάλωση ισχύος. Ο λογικός φόρτος των κυκλωμάτων που χρησιμοποιούν πολλές μεταδόσεις υπολογίζεται σχεδόν πάντα στα ίδια που ξεκινούν στις εισοδος της πύλης παρά στις εισοδος διάχυσης, όπως βλέπετε στο Σχ. 9.52 για έναν πολυπλεκτή με πολλές μεταδόσεις. Η επιβάρυνση του βραχυκύκλωματος μπορεί να αγνοηθεί, οπότε ο λογικός φόρτος είτε από A είτε από B είναι 6/3, όπως και σ' έναν πολυπλεκτή στατικής λογικής CMOS. Σημειώστε επίσης ότι η παραστατική καθυστέρηση των κυκλωμάτων με πολλαπλές εν σειρά πολλές μεταδόσεις αυξάνεται γρήγορα λόγω της εσωτερικής χωρητικότητας διάχυσης, οπότε οπιασδήποτε είναι επιρρεπής να χρησιμοποιήσει περισσότερες από δύο εν σειρά πύλες μετάδοσης, χωρίς απομονώσεις.

9.2.5.2 Συμπληρωματική λογική με τρανζίστορ περάσματος (Complementary Pass Transistor Logic, CPL) Η CPL [Yano90] μπορεί να θεωρηθεί βελτιστή της CVSL. Η CVSL είναι αρχή, επειδή μια πλευρά της πύλης οδηγεί «κάτω» και στη συνέχεια το διασταυρούμενο pMOS τρανζίστορ οδηγεί την άλλη πλευρά «πάνω». Το μέγεθος του διασταυρούμενου στοιχείου είναι συμβατός μετά από ενός μεγάλου τρανζίστορ που αντιμάχεται την οδηγία «κάτω» κι ενός μικρού τρανζίστορ που είναι αργό στο να οδηγεί «πάνω». Η CPL λύνει αυτό το πρόβλημα κάνοντας τη μισή πύλη να οδηγεί «πάνω» και την άλλη να οδηγεί «κάτω».

Το Σχήμα 9.53(α) παρουσιάζει τον πολυπλεκτή CPL του Σχ. 9.47 με περι-στραμμένο πλευρικά το κύκλωμα. Εάν ένα μονοπύλη αποτελείται από διαδο-στικά κυκλώματα πύλης μεταδόσεις.



ΣΧΗΜΑ 9.52 Λογικό φορτίο του κυκλώματος πύλης μεταδόσεις.



ΣΧΗΜΑ 9.53 Εναλλακτικές αναπαραστάσεις CPL.

Χικές πύλες CPL, οι αντιστροφείς μπορούν να θεωρηθούν ότι βρίσκονται στην έξοδο ενός σταδίου ή στην εισοδο του επόμενου. Το Σχ. 9.53(β) επανααδειάζει τον πολυπλεκτή ώστε να περιλαμβάνει τους αντιστροφείς από το προηγούμενο στάδιο που οδηγεί την εισοδο διάχυσης, αλλά χωρίς τους αντιστροφείς έξοδο. Το Σχήμα 9.53(γ) παρουσιάζει τον πολυπλεκτή σχεδιασμένο σε επίπεδο τρανζίστορ. Παρατηρήστε ότι είναι πανομοιότυπος με την πύλη CVSL του Σχ. 9.47, εκτός από το ότι ο εσωτερικός κόμβος του σερου μπορεί να οδηγείται «πάνω» μέσω των ασθενών pMOS τρανζίστορ των αντιστροφών.

Όταν η πύλη μετάνει, η μια πλευρά οδηγείται «κάτω» διαμέσου των nMOS τρανζίστορ, ενώ η άλλη οδηγείται «πάνω». Η CPL μπορεί να υλοποιηθεί χωρίς διασταυρούμενα pMOS τρανζίστορ, αλλά τότε οι έξοδοι θα ανεβαίνουν έως την τιμή $V_{DD} - V_T$ (η εσκαπς μικρότερη, επειδή τα nMOS τρανζίστορ υφίσταται το φαινόμενο σάμιας). Αυτό κοστίζει σε κατανάλωση στατικής ισχύος, επειδή θα ενεργοποιηθεί ελαφρώς ο αντιστροφείς έξοδος. Η προσθήκη ασθενών διασταυρούμενων στοιχείων βοηθά στο να έρθει η ανεργήμενη έξοδος στη στάθμη της γραμμής τροφοδοσίας ενώ επιβραδύνει λίγο την καθοδική έξοδο. Οι αντιστροφείς έξοδος μπορεί να είναι Χ-απόκλισης για μείωση της ευσταθίας στην αρχή ανοδική έξοδο.

9.2.5.3 Ισχυρή ολοκλήρωση με τρανζίστορ περάσματος (Lean Integration with Pass Transistors, LEAP) Όμοια με την CPL, η LEAP [Yano96] δημιουργεί λογικά δίκτυα χρησιμοποιώντας μόνο γρήγορα nMOS τρανζίστορ, όπως είδατε στο Σχ. 9.47. Είναι μια λογική οικογένεια μονής έξοδος (single-ended), επειδή δεν απαιτείται συμπληρωματικό δίκτυο, οπότε μειώνει την κατανάλωση επιφάνειας και ισχύος. Η έξοδος απομονώνεται μ' έναν αντιστροφή, ο οποίος μπορεί να είναι Χ-απόκλισης ώστε να ενώσει την αποβερτη αντίδραση ενός nMOS τρανζίστορ. Το δίκτυο nMOS οδηγεί «πάνω» μόνο έως $V_{DD} - V_T$, οπότε απαιτείται ένα pMOS τρανζίστορ με ανάδραση για να οδηγήσει τον εσωτερικό κόμβο έως την πλήρη τάση, αποφεύγοντας την κατανάλωση ισχύος στον αντιστροφή έξοδος. Το πλάτος του pMOS είναι ένας συμβατός μεταξύ της αντίδρασης στην καθοδική μεταφορά και της υποβοήθησης του τελευταίου μέρους της ανοδικής μεταφοράς: γενικά, θα πρέπει να είναι αρκετά ασθενές και το κύκλωμα θα αποτύχει εάν είναι αρκετά ισχυρό. Η LEAP παρέχει έναν καλό τρόπο δημιουργίας μεγάλου πλάτους πολυπλεκτών 1-σε-N, με πολλά από τα πλεονεκτήματα της λογικής μεσο-nMOS αλλά χωρίς την κατανάλωση στατικής ισχύος.

Ανόμοια με τις περισσότερες οικογένειες κυκλωμάτων που μπορούν να λειτουργούν σε χαμηλές τάσεις, έως $V_{DD} \geq \max(V_{Tn}, |V_{Tp}|)$, η LEAP περιορίζεται σε λειτουργία με $V_{DD} \geq 2V_T$, επειδή ο αντιστροφείς θα πρέπει να αλλάζει κατάσταση ακόμα κι όταν δέχεται εισοδο υποβαθμισμένη κατά μια τάση κατωφλίου.

9.2.5.4 Άλλες οικογένειες κυκλωμάτων με τρανζίστορ περάσματος Στη βιβλιογραφία έχουν προταθεί αρκετές οικογένειες κυκλωμάτων με τρανζίστορ περάσματος, όπως οι Differential Pass Transistor Logic (DPTL) [Pasternak87, Pasternak91], Double Pass Transistor Logic (DPL) [Suzuki93], Swing Economized Pass Transistor Logic (EEPTL) [Song96], Push-Pull Pass Transistor Logic (PPL) [Paik96], Energy-Restored Pass Transistor Logic (SRPL) [Parameswar96] και Differential Cascade Voltage Switch with Pass Gate Logic (DCVSPG) [Lai97]. Όλες αυτές είναι οικογένειες υψηλής γραμμής όπως η CPL, σε αντίθεση με τις οικογένειες μιας γραμμής, όπως η CMOSTC και η LEAP.

* Η LEAP επανήλθε στο προσκήνιο με όνομα Single Ended Swing Restoring Pass Transistor Logic (λογική τρανζίστορ περάσματος μονής έξοδος, με διακομμένη και αποκατάσταση σήματος) [Pihl98].



Η οικογένεια DPL είναι μια "διπλής γραμμής" παραλλαγή της CMOSTC, βελτιστοποιημένη ώστε να χρησιμοποιεί μόνο ένα τρανζίστορ περάσματος όταν πρέπει να περάσει ένα γνωστό 0 ή 1. Η λογική αυτή περνά τα σήματα καλά, χωρίς να χρειάζεται στοιχεία για την αποκατάσταση στάθμης. Ωστόσο, τα pMOS τρανζίστορ συνεπιδρούν σημαντικά στην εμφάνιση και τη χωρητικότητα, χωρίς να βοηθούν την καθαρότητα, με αποτέλεσμα να δημιουργούνται μεγάλες και σχετικά αργές πύλες.

Όσον αφορά τις άλλες οικογένειες κυκλωμάτων διπλής γραμμής, μπορούν να θεωρηθούν τροποποιήσεις της CPL. Η EEPPL οδηγεί τα διασταυρούμενα τρανζίστορ αποκατάστασης στάθμης όχι από την V_{DD} , αλλά από την αντίθετη γραμμή. Οι επινοητές της ισχυρίζονται ότι οδηγεί σε χαμηλότερη καθυστέρηση και καταναλώσει λιγότερο ισχύος από την CPL, κάτι το οποίο δεν επιβεβαιώθηκε από άλλους σχεδιαστές [Zimmermann97]. Η SRPL χρησιμοποιεί διασταυρούμενους αντιστροφείς αντί των διασταυρούμενων pMOS οδηγητών «πάνω». Αυτό οδηγεί σ' ένα πρόβλημα λόγω διαστάσεων, επειδή τα nMOS τρανζίστορ στον αντιστροφή θα πρέπει να είναι αρκετά ασθενή ώστε το τρανζίστορ περάσματος να τα υπερκράσει κατά την οδηγία «πάνω». Αυτό οδηγεί συνήθως στη χρήση μικρών αντιστροφών, οι οποίοι δεν είναι καλοί απομονωτές. Η DCVSFG εξοφινίζει τους αντιστροφείς εξόδου από την CPL. Χωρίς αυτούς, η εξόδος μιας πύλης DCVSFG αποτελεί φτωχή είσοδο για τον ακροδέκτη διάχυσης μιας άλλης πύλης DCVSFG, επειδή αυτό θα οδηγούσε στο σχηματισμό μιας μεγάλης αλυσίδας nMOS τρανζίστορ, χωρίς στάδια αποκατάστασης και άρα επιρροπή σε προβλήματα θορύβου και καθυστέρησης. Η PPL χρησιμοποιεί επίσης εξόδους χωρίς απομόνωση και άρα αντιμετωπίζει παρόμοια προβλήματα θορύβου και καθυστέρησης. Η DPPL γενικεύει τη δομή του απομονωτή εξόδου, εξετάζοντας εναλλακτικές λύσεις για τα διασταυρούμενα pMOS τρανζίστορ και τους αντιστροφείς X-αποκλεισής της λογικής CPL. Όλες οι άλλες εναλλακτικές παρέχουν μικρότερη ταχύτητα και μεγαλύτερη καταναλώση επιφάνειας από την CPL.

9.3 Κίνδυνοι Κυκλωμάτων

Οι σχεδιαστές κυκλωμάτων συνήθισαν να χρησιμοποιούν απλά κυκλώματα, επειδή είναι πιο εύροστα. Τα περτεγνα και προηγμένα κυκλώματα, και ιδιαίτερα αυτά με πολλά τρανζίστορ, προσφέρουν συνήθως περισσότερο επιφάνεια, χωρητικότητα και καταστάσεις που μπορεί να προκαλέσουν προβλήματα. Η στατική CMOS είναι η πιο ευρωστή οικογένεια κυκλωμάτων και θα πρέπει να χρησιμοποιείται οποτεδήποτε είναι δυνατόν. Σ' αυτή την ενότητα θα επιχειρήσουμε να κατηγοριοποιήσουμε τους διάφορους σχεδιαστικούς κινδύνους που θα μπορούσαν να οδηγήσουν ένα κύκλωμα σε αποτυχία:

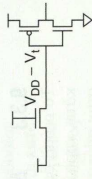
- Πτώσεις τάσης κατωφλίου
- Αστοχίες λόγω διαστάσεων
- Διαρροές
- Διαμορφωσμός φορτίου
- Θόρυβος στη γραμμή τροφοδοσίας
- Φαινόμενα ζεύξης
- Έγχυση φορέων μειονότητας
- Ζευξη με την πίσω πύλη
- Ευσταθία εισόδου διάχυσης στο θόρυβο
- Συνθήκες ανταγωνισμού
- Ταίριασμα καθαυτήσεων
- Μεταστροφήτητα
- Υπερβολική τοπική αύξηση θερμοκρασίας (καυτές περιοχές)
- Τυχαία/παροδικά σφάλματα
- Ευσταθία στην κατασκευαστική διαδικασία

Μιλώσαμε για τη χωρητική και επαγωγική ζεύξη στην Ενότητα 4.5. Τα κρυφά μονοπάτια εξετάστηκαν στην Ενότητα 9.2.4.6. Τα ζητήματα αξιοπιστίας, όπως π.χ. τα τυχαία/παροδικά σφάλματα (soft errors), που εμπηρεάζουν τη σχεδίαση κυκλωμάτων εξετάστηκαν στην Ενότητα 7.3. Τα προβλήματα χρονισμού,

όπως οι συνθήκες ανταγωνισμού, το ταίριασμα καθαυτήσεων και η μεταστροφήτητα θα εξεταστούν στις Ενότητες 10.2.3, 10.5.4 και 10.6.1. Οι υπόλοιποι κίνδυνοι θα εξεταστούν στις ενότητες που ακολουθούν.

9.3.1 Πτώσεις Τάσης Κατωφλίου

Τα τρανζίστορ περάσματος οδηγούν καλά προς τη μία (προτιμώμενη) κατεύθυνση, αλλά φτάνουν μόνο σε στάθμη μειωμένη κατά V_f προς την άλλη κατεύθυνση. Το φαινόμενο αυτό αποκαλείται πτώση τάσης κατωφλίου (threshold drop). Για παράδειγμα, το Σχ. 9.55 παρουσιάζει ένα τρανζίστορ περάσματος που οδηγεί ένα λογικό 1 στον αντιστροφή. Η εξόδος του τρανζίστορ περάσματος αυξάνεται μόνο έως την τιμή $V_{DD} - V_f$. Ακόμα χειρότερα, το φαινόμενο σήματος αυξάνει την τάση κατωφλίου, επειδή $V_{th} > 0$ για το τρανζίστορ περάσματος. Η υποβαθμισμένη στάθμη δεν επαρκεί για απενεργοποίηση πλήρους pMOS τρανζίστορ στον αντιστροφή, με αποτέλεσμα καταναλώση στατικής ισχύος. Στην πραγματικότητα, για χαμηλή τάση V_{DD} η υποβαθμισμένη εξόδος μπορεί να είναι τόσο ασθενής, ώστε ο αντιστροφέας να μην βλέπει μια έγκυρη στάθμη εισόδου V_{th} . Τελικά η μετάβαση καθίσταται ληθαργική, καθώς η εξόδος προσεγγίζει την τιμή $V_{DD} - V_f$. Οι πτώσεις τάσης κατωφλίου ήταν ανεκτές σε παλιότερες τεχνολογίες κατασκευής όπου $V_{DD} \approx 5 V_f$, αλλά σπανίως είναι αποδεκτές στις σύγχρονες τεχνολογίες κατασκευής, όπου η τροφοδοσία έχει κλιμακωθεί προς τα κάτω πολύ πιο γρήγορα απ' ό,τι η τάση κατωφλίου, σε $V_{DD} \approx 3 V_f$, ως εκ τούτου, τα τρανζίστορ περάσματος πρέπει να αντικαθίστανται από πλήρεις πύλες μετάδοσης, ή μπορούν να χρησιμοποιούνται ασθενή pMOS τρανζίστορ ανάρστασης για να οδηγήσουν την έξοδο σε V_{DD} , όπως γινόταν σε αρκετές οικογένειες τρανζίστορ περάσματος.



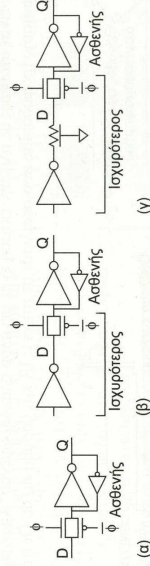
ΣΧΗΜΑ 9.54 Τρανζίστορ περάσματος με πτώση τάσης κατωφλίου.

9.3.2 Προβλήματα με τους Λόγους Διαστάσεων

Τα κυκλώματα πεδο-nMOS παρουσιάζουν ορισμένους περιορισμούς σχετιζόμενους με τους λόγους διαστάσεων, οι οποίοι ανακύπτουν όταν ένας κόμβος οδηγείται ταυτόχρονα «πάνω» και «κάτω», συνήθως από ένα ισχυρό nMOS τρανζίστορ κι ένα ασθενές pMOS τρανζίστορ. Τα ασθενή τρανζίστορ πρέπει να είναι επαρκώς μικρά, ώστε η στάθμη εξόδου να πέφτει κάτω από την V_{th} του επόμενου σταδίου κατά κάποιο περιθώριο θορύβου. Στην ιδανική περίπτωση, η εξόδος πρέπει να πέφτει κάτω από την V_f έτσι ώστε το επόμενο στάδιο να μην επάγει στατική ισχύ. Τα βασισμένα σε λόγο διαστάσεων κυκλώματα πρέπει να ελεγχονται στις γωνίες SF και FS.

Ένα διαφορετικό παράδειγμα προβλημάτων με τους λόγους διαστάσεων ανακύπτει σε κυκλώματα με ανάρσταση. Για παράδειγμα, οι δυναμικοί διατηρητές, τα στοιχεία αποκατάστασης στάθμης σε SRPL και LEAP και οι αντιστροφείς με ανάρσταση σε στατικούς μονοπατιών είναι κυκλώματα που περιέχουν ασθενή τρανζίστορ ανάρστασης, τα οποία πρέπει να έχουν το σωστό λόγο διαστάσεων.

Ο καθορισμός του σωστού λόγου διαστάσεων επιδεικνύει ιδιαίτερα ευαίσθητα στις εισόδους διάχυσης. Για παράδειγμα, το Σχήμα 9.55(a) παρουσιάζει ένα στατικό μονοπάτι μ' έναν ασθενή αντιστροφή ανάρστασης. Ο αντιστροφέας ανάρστασης πρέπει να είναι αρκετά ασθενής ώστε να τον υπερκράσει ο εν σειρά συνδυασμός του τρανζίστορ περάσματος και της πύλης που οδηγεί την είσοδο D , όπως απεικονίζεται στο Σχήμα 9.55(β). Αυτό δεν μπορεί να επαληθευτεί μόνο με τον έλεγχο του μονοπατιού· απαιτεί συνολικό έλεγχο του μονοπατιού και του κυκλωματικού οδηγού. Ακόμα χειρότερα, εάν ο οδηγός είναι αρκετά απομακρυσμένος θα πρέπει να συνυπολογιστεί και η αντίσταση αγωγού, όπως απεικονίζεται στο Σχήμα 9.55(γ).



ΣΧΗΜΑ 9.55 Περιορισμός λόγω διαστάσεων σε στατικό μονοπατιού με είσοδο διάχυσης.

9.3.3 Διαρροές

Το ρεύμα διαρροής αποτελεί ένα διαρκές ανέναντο προβλήμα καθώς η τεχνολογία κλιμακώνεται προς τα κάτω, καθώς για τους δυναμικούς κόμβους και τις πλατιές δομές NOR. Όπως γνωρίζετε, η διαρροή οφείλεται στην υποκαταφορική αγωγή, στα φαινόμενα σήραγγας της πύλης και στις διαρροές αναστροφή πολυμένων διόδων. Τα ρεύματα αγωγής υποκαταφορικού είναι επί του παρόντος ο σημαντικότερος παράγοντας επειδή η I_{sub} είναι ήδη χαμηλή και τεύει να γίνει ακόμα χαμηλότερη, τα φαινόμενα σήραγγας πύλης θα αρχίσουν να παίζουν ολόένα και μεγαλύτερο ρόλο λόγω της διαρκούς μείωσης του πάγους οξειδίου. Πέραν του ότι προκαλεί καταπόληση στατική ισχύος, η διαρροή μπορεί να έχει ως αποτέλεσμα λανθασμένες τιμές σε δυναμικούς κόμβους ή σε κόμβους με ασθενή οδηγίαση. Ο χρόνος που απαιτείται ώστε η διαρροή να επιρρέασει ένα δυναμικό κόμβο κατά μια τάση ΔV είναι

$$t = \frac{C_{node} \Delta V}{I_{leak}} \tag{9.6}$$

Η διαρροή υποκαταφορικού εκφορτίζει σταδιακά τους δυναμικούς κόμβους διαμέσου τρανζίστορ τα οποία ονομαστικά είναι OFF. Οι πλήρους δυναμικές πύλες και οι μονοδελτές δεν μπορούν να υλοποιηθούν χωρίς διαρροές στις περισσότερες σύγχρονες τεχνολογίες κατασκευής. Επιπλέον, οι χρόνοι ανανέωσης των DRAM απαιτούνται από τις διαρροές και οι τεχνολογίες κατασκευής DRAM θα πρέπει να ελαχιστοποιούν τις διαρροές ώστε να επιτυγχάνεται ικανοποιητικός χρόνος διατήρησης των τιμών.

Ακόμα κι όταν χρησιμοποιείται ένα κύκλωμα διατήρησης, αυτό θα πρέπει να έχει αρκετό πλάτος. Αυτό μπορεί να δείχνει άσκοπο, επειδή ο διατηρητής είναι πλήρης ON ενώ η διαρροή συμβαίνει από τρανζίστορ που υποτίθεται ότι είναι OFF. Δυστυχώς, σε πλατιές δομές δυναμικών NOR, πολλά παράλληλα nMOS τρανζίστορ μπορεί να υφίστανται ταυτόχρονα διαρροές. Παρόμοια προβλήματα ανακύπτουν σε πλατιές ψευδο-nMOS πύλες NOR και διατάξεις PLA. Η διαρροή αυξάνεται εκθετικά με τη θερμοκρασία, οπότε το πρόβλημα γίνεται ιδιαίτερα έντονο καθώς κατά τη διαδικασία ελέγχου συστημάτων σε ακραίες συνθήκες (burn-in, καμπίνατος). Για παράδειγμα, μια από τις αρχικές εκδόσεις του επεξεργαστή Sun Ultrasparc V είχε προβλήματα κατά τη διαδικασία ελέγχου σε συνθήκες burn-in, λόγω υπερβολικής διαρροής.

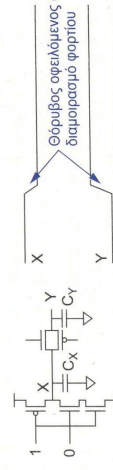
Η διαρροή υποκαταφορικού είναι πολύ μικρότερη όταν υπάρχουν δύο εν σειρά τρανζίστορ OFF παρά όταν υπάρχει μόνο ένα τρανζίστορ, επειδή πιο το απομακρυσμένο τρανζίστορ έχει μικρότερη τάση στην υποδοχή και άρα υφίσταται πολύ μικρότερη επίδραση από το φαινόμενο DIBL. Επίσης, συχνά χρησιμοποιούνται στοιχεία με πολλαπλές τάσεις καταφορικού για την επιτευχή υψηλής απόδοσης στα κρίσιμα μονοπάτια και χαμηλής διαρροής στα υπόλοιπα.

9.3.4 Διαμοιρασμός Φορτίου

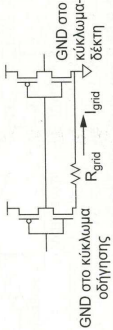
Αναφερθήκαμε εν συντομία στο διαμοιρασμό φορτίου στην Ενότητα 9.2.4.4, στο πλαίσιο της ανάλυσης των δυναμικών πύλων. Διαμοιρασμός φορτίου μπορεί επίσης να συμβεί όταν δυναμικές πύλες οδηγούν τρανζίστορ παράσιτος. Για παράδειγμα, το Σχήμα 9.56 παρουσιάζει ένα δυναμικό αντιστροφή που οδηγεί μια πύλη μετάδοσης. Υποθέστε ότι η δυναμική πύλη έχει προφορτιστεί και η έξοδος αμείβεται σε υψηλή στάθμη. Επιπλέον, υποθέστε ότι η πύλη μετάδοσης είναι OFF και $Y=0$. Εάν η πύλη μετάδοσης γίνει ON, θα υπάρξει διαμοιρασμός φορτίου μεταξύ των X και Y , προκαλώντας προβλήματα στην δυναμική έξοδο.

9.3.5 Θόρυβος στη Γραμμή Τροφοδοσίας

Οι τάσεις V_{DD} και GND δεν είναι σταθερές σε όλη την έκταση ενός μεγάλου ολοκληρωμένου. Αιτιότερες είναι εσφαλτές στο θόρυβο της γραμμής τροφοδοσίας που οφείλεται σε πιώσεις IR και θόρυβο di/dt . Οι πιώσεις IR



ΣΧΗΜΑ 9.54 Διαμοιρασμός φορτίου σε δυναμική πύλη που οδηγεί τρανζίστορ παράσιτος.



ΣΧΗΜΑ 9.55 Πτώση IR στη γραμμή τροφοδοσίας.

εμφανίζονται στα άκρα της αντίστασης R του πλέγματος τροφοδοσίας μεταξύ των ακροδεκτών τροφοδοσίας και μιας δομής που τρέφει ρεύμα I , όπως απεικονίζεται στο Σχήμα 9.57. Ο θόρυβος di/dt εμφανίζεται κατά μήκος της αντεπαγωγής L της τροφοδοσίας, καθώς αλλάζει απότομα το ρεύμα. Ο θόρυβος di/dt μπορεί να είναι ιδιαίτερα σημαντικός για μπλοκ τα οποία παρεμβάνουν σε κατώτατη αδράνεια για πολλούς κύκλους και κατόπιν αρχίζουν να μεταγίνουν.

Ο θόρυβος της γραμμής τροφοδοσίας υποβαθμίζει την απόδοση, ενώ μπορεί επίσης να επιρρέασει αρνητικά τα περιθώρια θορύβου. Τοπικοί στόχοι για το θόρυβο της γραμμής τροφοδοσίας είναι μεταξύ 5% έως 10% της V_{DD} . Ο θόρυβος της γραμμής τροφοδοσίας προκαλεί προβλήματα με τα περιθώρια θορύβου και διακρίμανση των καθυστερήσεων. Τα σχετικά με τα περιθώρια θορύβου προβλήματα μπορούν να αντιμετωπιστούν τοποθετώντας τα ευαίσθητα κυκλώματα πολύ κοντά το ένα στο άλλο και διαμορφώνοντάς τα ώστε να μοιράζονται μια κοινή γραμμή τροφοδοσίας χαμηλής αντίστασης.

Ο θόρυβος της γραμμής τροφοδοσίας μπορεί να υπολογιστεί από προσομοιώσεις του πλέγματος τροφοδοσίας του ολοκληρωμένου, της χωρητικότητας παρακαμψής και της συσκευασίας, όπως θα δούμε στην Ενότητα 13.3. Το Σχήμα 7.2 παρουσιάζει μια απεικόνιση, σε μορφή χάρτη, του θορύβου τροφοδοσίας σε όλη την έκταση ενός ολοκληρωμένου.

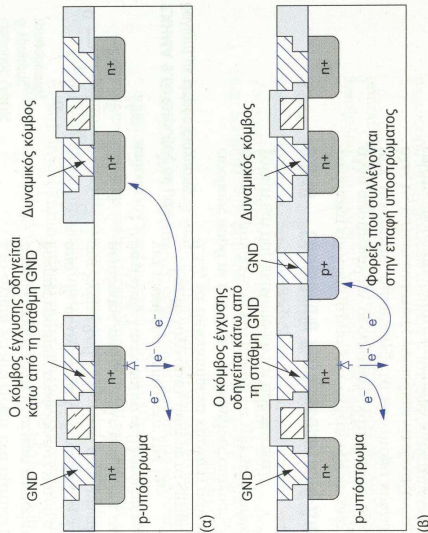
9.3.6 Καυτές Περιοχές

Λεξιόμοιο ότι η απόδοση των τρανζίστορ υποβαθμίζεται με τη θερμοκρασία, θα πρέπει να λαμβάνεται ιδιαίτερη μέριμνα ώστε να μην αναπτύσσονται περιοχές με υπερβολική θερμοκρασία στο ολοκληρωμένο ("καυτές" περιοχές, hot spots). Αυτές μπορεί να προκαλούνται από ανομοιογενή κατανομή ισχύος, ακόμα κι αν η συνολική κατανομή ισχύος είναι εντός του προβολογισμού. Η ανομοιογενή κατανομή της θερμοκρασίας οδηγεί σε διαφοροποιήσεις στην καθυστέρηση των πύλων, σε όλη την έκταση του ολοκληρωμένου. Διαγρφήματα κατανομής της θερμοκρασίας στο ολοκληρωμένο μπορούν να παράγονται με ηλεκτρο-θερμική προσομοίωση [Preiser94, Cheng99]. Αυτή μπορεί να διεξαχθεί αφού γίνουν διαθέσιμες οι εκτιμήσεις κατανομής ισχύος και η χωρητικότητα. Το Σχήμα 7.3 παρουσιάζει την προσομοίωση της κατανομής θερμοκρασίας στον επεξεργαστή Itanium 2. Μια τοπικά περιορισμένη εκδοχή των καυτών περιοχών είναι το φαινόμενο αυτοθέρμανσης σε ορμικούς ανιχνούς (περιγράφεται στην Ενότητα 7.3.3.2).

9.3.7 Έγχυση φορέων μειονότητας

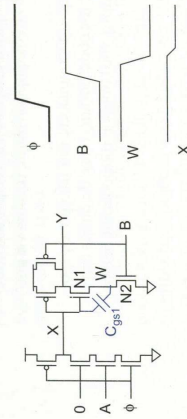
Σε ορισμένες περιπτώσεις είναι δυνατό να οδηγηθούμε στιγμιαία ένα σήμα εκτός των γραμμών, είτε χρησιμοποιώντας χωρητική ζεύξη είτε μέσω επαγωγικών φαινομένων κοδονισμού σε κυκλώματα οδηγησης E/E . Σε τέτοιες περιπτώσεις, οι επαφές μεταξύ υποδοχής και σώματος μπορεί στιγμιαία να πολλοθούν ορδή, με αποτέλεσμα να υπάρξει ροή ρεύματος προς το σώμα. Αυτό το φαινόμενο αποκαλείται έγχυση φορέων μειονότητας [Chandrakasan01]. Για παράδειγμα, στο Σχήμα 9.58, η υποδοχή ενός nMOS τρανζίστορ οδηγείται κάτω από τη στάθμη GND, με αποτέλεσμα να εγχύονται ηλεκτρόνια στο τύπο p υποστρώμα. Αυτό μπορεί να συλλεχθούν από ένα γειτονικό κόμβο διάχυσης ενός άλλου τρανζίστορ (Σχ. 9.58(α)), προκαλώντας διαταραχή στην τάση του κόμβου. Αυτό το πρόβλημα είναι ιδιαίτερα σημαντικό για δυναμικούς κόμβους και ευαίσθητα αναλογικά κυκλώματα.

Τα προβλήματα που οφείλονται στην έγχυση φορέων μειονότητας αποφεύγονται με το να διατηρούνται οι πιγές έγχυσης μακριά από τους ευαίσθητους κόμβους. Συγκεκριμένα, οι ακροδέ-



ΣΧΗΜΑ 9.58 Έγχυση και συλλογή φορέων μειονότητας.

κτες εισόδου/εξόδου του ολοκληρωμένου δεν θα πρέπει να βρίσκονται κοντά στους εισαχθέντους κόμβους. Τα εργαλεία διαχείρισης θορύβου μπορούν να αναγνωρίσουν πιθανά προβλήματα ζεύξης και να υποδείξουν πώς πρέπει να τροποποιηθεί το φυσικό σχέδιο για να μειωθεί η ζεύξη. Εναλλακτικά, ο εισαχθέντος κόμβος μπορεί να προστατευτεί με μια ενδιάμεση επαφή υποσφραγιστής ή πηνιαδιού. Για παράδειγμα, στο Σχήμα 9.58(β), τα περισσότερα από τα ηλεκτρόνια που εγείρονται θα συλλεχθούν από την επαφή υποσφραγιστή πριν φτάσουν στο δυναμικό κόμβο. Στους ακροδέκτες εισόδου/εξόδου μια συνήθης πρακτική είναι να περιλαμβάνονται δακτύλιοι προστασίας (guard rings, βλ. Σχ. 7.13) με επαφές υποσφραγιστή ή πηνιαδιού γύρω από τα τρανζίστορ εξόδου.



ΣΧΗΜΑ 9.59 Φανόμενο ζεύξης στην πλάτη της πύλης.

9.3.8 Ζεύξη με την Πίσω Πύλη

Οι δυναμικές πύλες που οδηγούν στατικές πύλες CMOS πολλαπλών εισόδων είναι επιρρεπείς στο φαινόμενο «ζεύξης με την πίσω πύλη» (back-gate coupling) που απεικονίζεται στο Σχήμα 9.59. Στο συγκεκριμένο παράδειγμα, μια δυναμική πύλη NAND οδηγεί μια στατική πύλη NAND και αναφέρεται η χωρητικότητα πύλης-πηνιάς, C_{gs1} , του M_1 . Υποθέτουμε ότι η δυναμική πύλη είναι σε κατάσταση υπολογισμού και η έξοδος της, X , απορτίζεται σε υψηλή στάθμη. Η άλλη είσοδος, B , της στατικής πύλης NAND είναι αρχικά σε χαμηλή στάθμη. Συνεπώς, η έξοδος Y της NAND είναι ο εσωτερικός κόμβος W φορτίζεται έως $V_{DD}-V_t$. Σε κάποιο σημείο η B ανερχεται, εκφορτίζοντας τα Y και W διαμέσου του τρανζίστορ M_2 . Η πηνιά του M_1 πέφτει σε χαμηλή στάθμη. Αυτό επιρρεάζει και την πύλη προς την ίδια κατεύθυνση, λόγω της χωρητικότητας C_{gs1} , με αποτέλεσμα πτώση τάσης και στο δυναμικό κόμβο X . Όπως ισχύει και στο διαμορφωμένο φορτίο, το μέγεθος της πτώσης τάσης εξαρτάται από το λόγο της C_{gs1} , προς τη συνολική χωρητικότητα του κόμβου X .

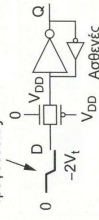
Το φαινόμενο ζεύξης με την πίσω πύλη εξελίσσεται με την οδηγία της εισόδου πιο κοντά στη γραμμή τροφοδοσίας. Για παράδειγμα, εάν το X οδηγούσε το M_2 και όχι το M_1 , το πρόβλημα θα αποφεύγονταν. Διαφορετικά, ο θόρυβος, λόγω ζεύξης με την πίσω πύλη, πρέπει να περιλαμβάνεται στον προτύπολογισμό του δυναμικού θορύβου.

9.3.9 Ευσιότητα Εισόδου Διάχυσης στο Θόρυβο

Στο Σχήμα 9.53(α) είδατε ένα στατικό μονοδάλωτο με μια εκτεθειμένη είσοδο διάχυσης. Μια τέτοια είσοδος είναι ιδιαίτερα ευαίσθητη στο θόρυβο. Για παράδειγμα, υποθέτουμε ότι ο θόρυβος της γραμμής τροφοδοσίας και/ή ο θόρυβος ζεύξης έχει οδηγήσει την τάση εισόδου κάτω από V_t , σε σχέση με το δυναμικό GND που βλέπει η πύλη μετάδοσης, όπως απεικονίζεται στο Σχήμα 9.60. Η V_{gs} είναι τώρα μεγαλύτερη από την V_t για το nMOS τρανζίστορ στην πύλη μετάδοσης, οπότε η πύλη μετάδοσης ενεργοποιείται. Εάν ο μονοδάλωτος περιείχε ένα 1, αυτό θα άλλαζε λανθασμένα σε 0 λόγω της εκφόρτισής του. Παρόμοιο φαινόμενο μπορεί να συμβεί για τάσεις που ξεπερνούν την V_{DD} .

Για το λόγο αυτό, μαζί με τα ζητήματα λόγω διαστάσεων που αναφέραμε στην Ενότητα 9.3.2, τα τυποποιημένα κυτάρια μονοδάλωτων κατασκευάζονται συνήθως με απομονωμένες εισόδους παρά με εκτεθειμένους κόμβους διάχυσης. Η εκέση της εισόδου με διάχυση έχει αποτέλεσμα ταχύτερο μονοδάλωτο και μπορεί να χρησιμοποιηθεί σε μονοπάτια δεδομένων στα οποία οι εισόδου ελέγχονται και παρακαλοοθούνται προστακτικά.

Θόρυβος ζεύξης & γραμμής τροφοδοσίας



ΣΧΗΜΑ 9.60 Θόρυβος σε μονοδάλωτο με είσοδο διάχυσης.

9.3.10 Ευσιότητα Κατασκευαστικής Διαδικασίας

Τα ορισικά κυκλώματα μπορούν να λειτουργούν υπό τις οριαστικές συνθήκες της τεχνολογίας αλλά αποτυγχάνουν σε ορισμένες κατασκευαστικές γωνίες όταν μεταφέρονται σε μια άλλη τεχνολογία (π.χ. μικρότερης διάστασης). Τα καινοτόμα κυκλώματα θα πρέπει να προσομοιώνονται προστακτικά σε όλες τις κατασκευαστικές γωνίες και να εξετάζονται εξονυχιστικά για πιθανές ευαισθησίες που μπορεί να επηρεάσουν στην κατασκευαστική διαδικασία. Επιπλέον, θα πρέπει να επαληθεύεται ότι λειτουργούν σωστά σε όλες τις τάσεις και τις θερμοκρασίες - ακόμα και στις ακραίες συνθήκες που χρησιμοποιούνται

κατά τη διαδικασία ελέγχου "burn-in", καθώς και στις χαμηλές τάσεις που μπορεί να χρησιμοποιούνται σε χαμηλή καταπόληση ισχύος εκδόσης του κυκλώματος.

Όταν μια σχεδίαση είναι πιθανό να μεταφερθεί σε άλλη τεχνολογία κατασκευής για μείωση του κόστους, τα κυκλώματα θα πρέπει να σχεδιάζονται με τρόπο ώστε να διορθώνεται αυτή η μεταφορά. Μια συνετή πρακτική είναι να αναμένεται ότι θα αυξηθεί η διαρροή, οι πιέσεις τάσης κωφαφίλο θα αποτελέσουν σημαντικό κλάσμα της τάσης τροφοδοσίας, η καθυστέρηση των αγωνών θα απαιτήσει μεγαλύτερο μερίδιο του κύκλου λειτουργίας και η ζεύξη μπορεί να χειροτερέψει καθώς αυξάνονται οι λόγοι των αγωνών διασύνδεσης. Για παράδειγμα, οι επεξεργαστές Pentium 4 είχε αρχικά κατασκευαστεί σε τεχνολογία των 180 nm. Ωστόσο, οι σχεδιαστές τοποθέτησαν επαναληπτικές πιο κοντά απ' ό,τι προέβλεπε η βέλτιστη διαμόρφωση γι' αυτή την τεχνολογία, επειδή γνώριζαν ότι η βέλτιστη απόσταση μεταξύ επαναληπτικών θα μειωνόταν αναλόγως με τη μείωση των διαστάσεων των τρανζίστορ κατά τη διάρκεια ζωής του προϊόντος [Kumar01].

9.3.11 Παράδειγμα: Προτύπολογισμός Θορύβου για Λογική Domino

Η Λογική domino (διαδοχικής επίδρασης) είναι σημαντική σε αρκετούς μικροεπεξεργαστές υψηλών επιδόσεων, αλλά απαιτεί προστακτική επαλήθευση, επειδή είναι ευαίσθητη στο θόρυβο. Ο θόρυβος στις στατικές πύλες CMOS οδηγεί συνήθως σε μεγαλύτερες καθυστερήσεις, ενώ στη λογική domino οδηγεί σε λανθασμένα αποτελέσματα. Σ' αυτή την ενότητα θα αναλύσουμε τις διαφορές πηνιάς θορύβου που μπορεί να επιρρεάσουν τις πύλες domino επιπλέον, θα παρουσιάσουμε ένα παράδειγμα προτύπολογισμού θορύβου.

Οι δυναμικές εξόδου είναι ιδιαίτερα ευάλωτες στο θόρυβο όταν εισφρόνεται σε υψηλές τιμές και διατηρούνται εκεί μέσο ενός ασθενούς κυκλώματος διατηρητή. Οι δυναμικές εισόδου έχουν χαμηλά περιθώρια θορύβου (περίπου 1%). Τα σχετιζόμενα με το θόρυβο ζητήματα που θα πρέπει να λαμβάνονται υπόψη είναι [Chandrakasan01]:

- **Διαρροή φορτίου** Επί του παρόντος, η διαρροή υποκαρφίλο στους δυναμικούς κόμβους είναι πολύ σημαντική, αλλά σύντομα θα γίνει εξίσου σημαντική και η διαρροή της πύλης. Η διαρροή υποκαρφίλο είναι χειρότερη για πλατιές δομές NOR και για υψηλές θερμοκρασίες (κερίως κατά τη διαδικασία ελέγχου συστημάτων σε ακραίες συνθήκες). Οι διατηρητές θα πρέπει να έχουν το κατάλληλο μέγεθος για να αντισταθμίζουν την διαρροή.
- **Διαμορφωμένος θόρυβος** Ο διαμορφωμένος θόρυβος μπορεί να συμβεί μεταξύ ενός δυναμικού κόμβου εξόδου και του άλλων κόμβων μέσα στη δυναμική πύλη. Σε περιπτώσεις υπερβολικού διαμορφωμένου θορύβου, θα πρέπει να προστινθένται δευτερεύοντα τρανζίστορ προφόρτισης. Οι δυναμικοί κόμβοι δεν θα πρέπει να οδηγούνται απευθείας σε πύλες μετάδοσης, επειδή μπορεί να συμβεί διαμορφωμένος θόρυβος όταν η πύλη μετάδοσης γίνεται ON.
- **Χωρητική ζεύξη** Χωρητική ζεύξη μπορεί να συμβεί τόσο στην είσοδο όσο και στην έξοδο. Οι εισόδου των δυναμικών πύλων έχουν το μικρότερο περιθώριο θορύβου, αλλά οδηγούνται ενεργά από μια στατική πύλη, η οποία αντιμάχεται το θόρυβο ζεύξης. Οι δυναμικές εξόδου έχουν μεγαλύτερη ανοχή στο θόρυβο, αλλά οδηγούνται ασθενώς. Η ζεύξη ελαχιστοποιείται διατηρώντας μικρά τα μήκη των αγωνών και αυξάνοντας την απόσταση μεταξύ γειτονικών αγωνών, ή με θοράκιση των γραμμών. Το πρόβλημα της ζεύξης μπορεί να είναι ιδιαίτερα έντονο σε τεχνολογίες κατασκευής κάτω των 250 nm, επειδή οι αγωνοί έχουν πολύ υψηλούς λόγους διαστάσεων.
- **Ζεύξη με την πίσω πύλη** Οι δυναμικές πύλες που συνδέονται σε πύλες CMOS πολλαπλών εισόδων πρέπει να οδηγούν την πιο εξωτερική είσοδο, οποτεδήποτε αυτό είναι δυνατό. Ωστόσο, αυτό δεν αποτελεί πρόβλημα για τις δυναμικές πύλες που οδηγούν αντιστροφείς.
- **Έγκυρη φορέων μειονότητας** Οι δυναμικοί κόμβοι πρέπει να προστατεύονται από τους κόμβους, που μπορούν να παρουσιάσουν έγκυρη φορέων μειονότητας Σ' αυτούς περιλαμβάνονται κυκλώματα εισόδου/εξόδου και κόμβοι που μπορούν να συζευχθούν μακριά από τις γραμμές τροφοδοσίας. Για την προστασία των δυναμικών κόμβων από έγκυρη φορέων μειονότητας, μπορούν να προστινθένται επαφές υποσφραγιστή/πηνιαδιού και δακτύλιοι προστασίας.
- **Θόρυβος στη γραμμή τροφοδοσίας** Οι στατικές πύλες πρέπει να τοποθετούνται κοντά στις δυναμικές πύλες που οδηγούν, έτσι ώστε να ελαχιστοποιήσουν την ποσότητα θορύβου που βλέπουν από τη γραμμή τροφοδοσίας.
- **Τυχαια/παροδικά σφάλματα (soft errors)** Τα σωματίδια άλφα και η κοσμική ακτινοβολία μπορούν να επιρρεάσουν τους δυναμικούς κόμβους. Η πιθανότητα σφαλμάτων μειώνεται με τη χρήση μεγάλων χωρητηκότων στους κόμβους και ιαγυρών κυκλωμάτων διατηρητών.

- **Διαπροφοδότηση θορύβου** Ο θόρυβος που οφεί την είσοδο του προηγούμενου σταδίου κοντά στο περιθώριο θορύβου του, οδηγεί σε ελαφρώς υποβαθμισμένη έξοδο, όπως είδατε στο Σχήμα 2.28.
- **Επιδράσεις των κατασκευαστικών συνθηκών (γωνιών)** Σε ορισμένες κατασκευαστικές γωνίες (συνθήκες), τα περιθώρια θορύβου υποβαθμίζονται. Οι δυναμικές πύλες έχουν τα χαμηλότερα περιθώρια θορύβου στη γωνία FS, όπου τα nMOS τρανζίστορ έχουν χαμηλό κατάωλο και οι διαπτηρές pMOS είναι ασθενείς. Οι στατικές πύλες Y-απόκλισης έχουν τα χαμηλότερα περιθώρια θορύβου στη γωνία SF όπου οι πύλες έχουν τη μεγαλύτερη απόκλιση.

Σε μια πύλη domino, η επιρροή στο θορυβό δυναμική έξοδος οδηγεί μια στατική πύλη μ' ένα φωτολογικό περιθώριο θορύβου. Η επιρροή στο θορυβό δυναμική πύλη οδηγείται γρήγορα από μια ανεκτική στο θορυβό στατική πύλη. Σε μια πύλη λογικής domino NP ή λογικής domino με καθυστέρηση ρολογιού, η επιρροή στο θορυβό δυναμική έξοδος οδηγεί απευθείας μια ενισχυτή στο θορυβό δυναμική είσοδο, με αποτέλεσμα αυτά τα κυκλώματα να είναι ιδιαίτερα επικίνδυνα.

Υποθέτουμε ότι σας δίνεται ένας προδίοιγμος θορύβου για μια τεχνολογία κατασκευής των 3.3V [Harris01a]. Ένας αντιστροφικός Y-απόκλισης σ' αυτή την τεχνολογία έχει $V_{TH} = 2.08$ V, με αποτέλεσμα $MMF = 37\%$ της V_{DD} εάν $V_{OH} = V_{DD}$. Μια δυναμική πύλη μ' ένα μικρό διαπτηρή θα έχει $V_{in} = 0.63$ V, με αποτέλεσμα $MMF = 19\%$ της V_{DD} . Ο Πίνακας 9.3 κατατάζει αυτά τα περιθώρια στις κύριες πηγές θορύβου. Σε μια πλήρη μεθοδολογία σχεδίασης, μπορούν να χρησιμοποιούνται διαφορετικά περιθώρια θορύβου για διαφορετικές πύλες. Για παράδειγμα, οι δομές NOR μεγάλου πλάτους δεν έχουν θόρυβο από διαπτηροφόριτο, αλλά μπορεί να βέλουν σημαντική διαφροή. Σε άλλες περιπτώσεις, δε μπορούμε να ανεχτούμε περισσότερο θόρυβο ζεύξης εάν ξέρουμε ότι κάποιες άλλες πηγές θορύβου πρόκειται να είναι μικρότερες. Τα εργαλεία ανάλυσης θορύβου περιγράφονται στην Ενότητα 14.4.2.7.

ΠΙΝΑΚΑΣ 9.3. Παράδειγμα προτύπων θορύβου στη λογική domino

Πηγή	Δυναμική έξοδος	Δυναμική είσοδος
Δυναμικός θορύβος	10	—
Ζεύξη	17	7
Θορύβος τάσης-τροφοδοσίας	5	5
Θορύβος διαπτηροδοσίας	5	7
Σύνολο	37%	19%

9.4 Άλλες Οικογένειες Κυκλωμάτων

Αυτή η ενότητα περιλαμβάνεται στην *όλη που είναι διαθέσιμη online, μέσω του συνδέσμου «Web Enhanced»*, στον ιστότοπο www.cmosvlsi.com.

9.5 Σχεδίαση Κυκλωμάτων SOI

Η τεχνολογία πυριτίου-σε μονωτή (Silicon-on-Insulator, SOI) έχει αποτελέσει αντικείμενο έρευνας για δεκαετίες, αλλά έγινε σημαντική εμπορικά από τότε που υιοθετήθηκε από την IBM για το μικροεπεξεργαστή PowerPC, το 1998 [Shahid02]. Η SOI είναι ελκυστική επειδή μπορεί να παράγει κυκλώματα υψηλότερης απόδοσης και χαμηλότερης καταπόνησης ισχύος, αλλά με αντίτιμο το αυξημένο κόστος κατασκευής και την αυστηρή συμπεριφορά των τρανζίστορ, δύο παράγοντες που περιπλέκουν τη σχεδίαση κυκλωμάτων. Η θεμελιώδης διαφορά μεταξύ της SOI και της συμβατικής τεχνολογίας CMOS πυριτίου είναι ότι η πηγή, η υποδοχή και ο σόμα του τρανζίστορ περιβάλλονται από μονωτικό οξείδιο και όχι από το αγωγίμο υποστρώμα ή πηγάδι. Η χρήση ενός μονωτή ελαχιστοποιεί την παρασπτική χωρητικότητα των περιοχών

διάχυσης. Ωστόσο, αυτό σημαίνει επίσης ότι ο σόμα δεν είναι πλέον συνδεδεμένο στην GND ή στην V_{DD} διάμεσο του υποστρώματος ή του πηγάδιου. Κάθε μεταβολή στη τάση του σόματος διαμορφώνει την V_e οδηγώντας μεν σε πλεονεκτήματα, αλλά και σε πολλαπλότερη σχεδίαση.

Το Σχήμα 9.61 παρουσιάζει τη διατομή ενός αντιστροφικού SOI. Η διαδικασία κατασκευής είναι παρόμοια με την τυπική CMOS, αλλά ξεκινά μ' ένα δίσκιο που περιέχει ένα λεπτό στρώμα SiO_2 θημένο κάτω από ένα λεπτό στρώμα μονοκρυσταλλικού πυριτίου. Στην Ενότητα 3.4.1 περιγράψαμε διάφορους τρόπους δημιουργίας του θημένου οξειδίου. Χρησιμοποιείται μόνωση μηλής ταχύτητας για να περιβάλλει κάθε τρανζίστορ με μονωτικό (οξείδιο). Το Σχ. 9.62 παρουσιάζει μια φωτογραφία από μικροσκοπία αιώσεως ηλεκτρονίων ενός στατικού κυττάρου RAM τεχνολογίας SOI 0.22 μm της IBM.

Τα στοιχεία SOI κατηγοριοποιούνται ως μερικώς αραιωσής (Partially-Depleted, PD) ή πλήρως αραιωσής (Fully-Depleted, FD). Μια περιοχή αραιωσής που είναι κενή από ελεύθερους φορείς δημιουργείται στο σόμα του τρανζίστορ, κάτω από την πύλη. Στην FD SOI, ο σόμα είναι πιο λεπτό από το πλάτος του καναλιού αραιωσής, οπότε το φορτίο του σόματος είναι σταθερό και άρα η τάση του σόματος δεν αλλάζει. Στην PD SOI, το υπόστρωμα είναι παχύτερο και η τάση μπορεί να μεταβάλλεται ανάλογα με την ποσότητα του υπέρχοντος φορτίου. Η FD SOI είναι δύσκολη στην κατασκευή, λόγω του λεπτού σόματος, και γι' αυτό η PD SOI δείχνει να είναι η πλέον υποσχόμενη τεχνολογία.

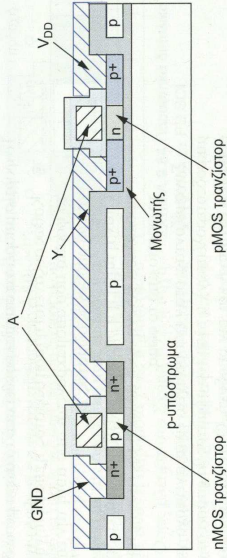
Στην παρούσα ενότητα θα επικεντρώσουμε την προσοχή μας στα nMOS τρανζίστορ. Τα pMOS τρανζίστορ επιδεικνύουν ανάλογη συμπεριφορά.

9.5.1 Τάση Αιωρούμενου Σόματος

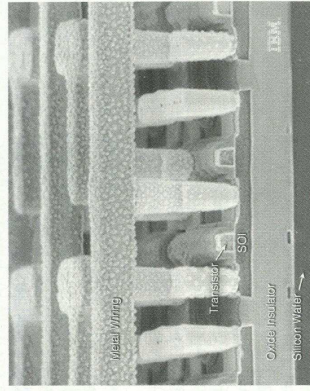
Το κλειδί για την κατανόηση της PD SOI είναι ν' ακολουθήσουμε την τάση σόματος. Εάν η τάση σόματος ήταν σταθερή, η τάση κατασφάλου θα ήταν επίσης σταθερή και το τρανζίστορ θα συμπεριφερόταν περίπου όπως ένα τοπικό στοιχείο CMOS, με τη διαφορά ότι η χωρητικότητα διάχυσης θα ήταν χαμηλότερη.

Στην PD SOI, η τάση του αιωρούμενου σόματος διαφοροποιείται καθώς αυτό φορτίζεται ή εκφορτίζεται. Το Σχήμα 9.63 απεικονίζει τους μηχανισμούς δια των οποίων τα φορτία εισέρχονται ή εξέρχονται από το σόμα [Bernstein00]. Υπάρχουν δύο διαδρομές διαμέσου των οποίων το φορτίο μπορεί να συσσωρευτεί σταδιακά στο σόμα:

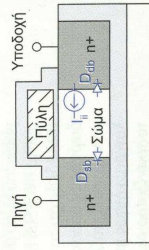
- Ανάστρωμα πολωμένη επαφή υποδοχής-σόματος, D_{dir} και ιθθαφός πηγής-σόματος, D_{sp} , οι οποίες μεταφέρουν μικρά ρεύματα διαροχής διόδου στο σόμα.
- Φορείς υψηλής ενέργειας που προκαλούν ιονισμό λόγω πρόσκρουσης, δημιουργώντας ζεύγη ηλεκτρονίων-οπών. Ορισμένα από αυτά τα ηλεκτρόνια ενγχώνονται στη πύλη ή στο οξείδιο της πύλης. (Αυτός είναι ο μηχανισμός φόρως λόγω θερμών ηλεκτρονίων που περιγράφεται στην Ενότητα 7.3.2.1). Οι αντιστοίχες οπές συσσωρεύονται στο σόμα. Αυτό το φαινόμενο ανακλύεται σε τάσεις V_{DS} πάνω από την προκαθορισμένη τάση λειτουργίας του στοιχείου και είναι συνήθως ασήμαντο κατά την κανονική λειτουργία. Η επίδραση του ρεύματος ιονισμού στο σόμα μοντελοποιείται ως πηγή ρεύματος, I_{ir} .



ΣΧΗΜΑ 9.61 Διατομή αντιστροφικού SOI.



ΣΧΗΜΑ 9.62 Μικροφωτογραφία της τεχνολογίας SOI που χρησιμοποιεί η IBM (Πηγή: International Business Machines Corporation. Δεν επιτρέπεται μη-εξουσιοδοτημένη χρήση).



ΣΧΗΜΑ 9.63 Μοντάτια φόρτισης από/προς το αιωρούμενο υπόστρωμα.

Το φορτίο μπορεί να απομακρυνθεί από το σώμα μέσω δύο οδών:

- Καθώς αυξάνεται η τάση σώματος, η επαφή πηγής-σώματος, D_{sb} , πολώνεται ελαφρώς ορθά. Τελικά, το φορτίο που απομακρύνεται από αυτή την επαφή ισοδύναται με το φορτίο που διαρρέει από την επαφή υποδοχής-σώματος, D_{sb} .
- Όταν η πηγή ή η υποδοχή ανέρχεται, τραβά, λόγω χωρητικής ζεύξης, και το σώμα. Αυτό μπορεί προκαλείσει έντονη ορθή πόλωση της επαφής πηγής-σώματος, D_{sb} , και να απομακρύνει ταχύτητα το φορτίο από το σώμα.

Συνοψίζοντας, όταν ένα στοιχείο είναι ανενεργό για μεγάλο χρονικό διάστημα (της τάξης μερικών μικροδευτερολέπτων), η τάση του σώματος θα φτάσει σε κατάσταση ισορροπίας με βάση τα ρεύματα διαρροής από την πηγή και την υποδοχή. Όταν κατοπιν το στοιχείο αρχίσει να μεταγίνει, το φορτίο μπορεί να εκδιωχθεί από το σώμα, μεταβάλλοντας σημαντικά την τάση του σώματος (και την τάση καταπόλιου).

9.5.2 Πλεονεκτήματα της Τεχνολογίας SOI

Ένα σημαντικό πλεονέκτημα της τεχνολογίας SOI είναι η χαμηλότερη χωρητικότητα διάχυσης. Η πηγή και η υποδοχή βρίσκονται αντίθετα προς το οξείδιο της κτίο πλευράς και των τοιχωμάτων που δεν ακουμούν στο κανάλι, με συνέπεια να εξφανίζεται αποτελεσματικά η παρασιτική χωρητικότητα αυτών των πλευρών. Αυτό έχει ως αποτέλεσμα μια μικρότερη παρασιτική χωρητικότητα και μια χαμηλότερη δυναμική κατανάλωση ισχύος.

Ένα πιο σημαντικό πλεονέκτημα είναι η δυνατότητα που παρέχει ότι μπορεί να χρησιμοποιηθούν χαμηλότερες τάσεις καταπόλιου. Σε διεργασίες υποσώματος (bulk process), η τάση καταπόλιου μεταβάλλεται ανάλογα με το μήκος του καναλιού. Έτσι, μεταβολές στη χημεία του πολυκρυσταλλικού εφαιρίζονται ως μεταβολές στη τάση καταπόλιου. Η τάση καταπόλιου πρέπει να είναι αρκετά υψηλή στη χειριστή (δηλαδή, χαμηλότερη τιμή) περίπτωση, ώστε να περιορίσει τη διαρροή υποκαταπόλιου, και έτσι η κανονική τάση καταπόλιου να είναι υψηλότερη. Στις διεργασίες SOI οι μεταβολές της τάσης καταπόλιου τείνουν να είναι μικρότερες. Έτσι, η κανονική V_{DD} μπορεί να είναι πιο κοντά στη χειριστή περίπτωση. Μια χαμηλότερη ονομαστική τάση V_{DD} έχει ως αποτέλεσμα ταχύτερα τρανζίστορ, ειδικά για χαμηλές τάσεις V_{DD} .

Συμφωνά με την Εξ. (2.44), τα στοιχεία CMOS έχουν κλίση υποκαταπόλιου ίση με $m \cdot \ln(10)$, όπου $m = kT/q$ είναι η θεμική τάση (26 mV σε θερμοκρασία δωμάτιου) και το n εξαρτάται από την τεχνολογία κατασκευής. Οι διεργασίες υποσώματος CMOS τυπικά έχουν $m \approx 1.5$, που αντιστοιχούν σε μια κλίση υποκαταπόλιου περίπου 90 mV/δεκάδα. Με άλλα λόγια, για κάθε 90 mV μείωση της V_{DD} κάτω από την V_{DD} το ρεύμα διαρροής υποκαταπόλιου μειώνεται κατά μια τάξη μεγέθους. Έχουν παρουσιαστεί κάποια παραπλανητικά συμπεράσματα ότι η SOI έχει $m=1$ και έτσι υπάρχει μια ιδεατή κλίση υποκαταπόλιου μόνο 60mV/δεκάδα. Η εταιρεία IBM έδειξε ότι τα πραγματικά στοιχεία SOI έχουν κλίσεις 75-85 mV/δεκάδα. Αυτό είναι καλύτερο από τις διεργασίες υποσώματος, αλλά όχι όσο καλό όσο θα φαινόταν αρχικά. Τα MOSFET και FINFET διπλής πόλης που εξετάζονται στην Ενότητα 3.4.1 είναι διαφοροποιήσεις των τρανζίστορ SOI που παρέχουν χαμηλότερες κλίσεις υποκαταπόλιου, επειδή η πόλη περιβάλλει το κανάλι σε περισσότερες πλευρές και έτσι θέτει το τρανζίστορ σε OFF αρκετά πιο απότομα και ταχύτερα.

Τέλος, η τεχνολογία SOI δεν υποφέρει από το φαινόμενο μανδάλωσης (latchup), επειδή το μονοπικό οξείδιο εξφανίζεται τα παρασιτικά διπολικά στοιχεία που θα μπορούσαν να ενεργοποιήσουν το φαινόμενο αυτό.

9.5.3 Μειονεκτήματα της Τεχνολογίας SOI

Η PD SOI υποφέρει από το φαινόμενο ιστορίας (history effect). Διαφοροποιήσεις στην τάση του υποσώματος διαμορφώνουν την τάση καταπόλιου και έτσι ρυθμίζουν την καθυστέρηση της πόλης. Η τάση του υποσώματος εξαρτάται από το εάν το στοιχείο ήταν ανενεργό ή λειτουργούσε – δηλαδή, η καθυστέρηση της πόλης είναι μια συνάρτηση της ιστορίας λειτουργίας. Τεχνικά, η αυξημένη τάση υποσώματος μειώνει την τάση καταπόλιου και κάνει ταχύτερες τις πόλεις, αλλά η αβεβαιότητα που υπάρχει κάνει πιο προβληματικό την τάση των κυκλωμάτων. Το φαινόμενο της ιστορίας μπορεί να μοντελοποιηθεί με έναν απλοϊκό τρόπο με το να θέσουμε διαφορετικές καθυστερήσεις διάδοσης και μόνωσης (contamination) σε κάθε πόλη. Η IBM βρήκε ότι το φαινόμενο της ιστορίας συνθήκες επηρεάζει σε ποσοστό 8% τις διακεκλιμασμένες καθυστερήσεις της πόλης, το οποίο όμως είναι μια ικανοποιητική τιμή εάν συγκριθεί με τα συνδεδεμένα φαινόμενα της μεταβολής της κατασκευής και των συνθηκών [Shahidi02].

Δυστυχώς, το φαινόμενο της ιστορίας προκαλεί σημαντικές διαφορές μεταξύ ονομαστικά πανομοιότυπων τρανζίστορ. Για παράδειγμα, εάν ένας εντοχτής αίσθησης έχει διάβαση επανληπτικά μια συγκεκριμένη τιμή εισόδου, οι τάσεις καταπόλιου του διαφορικού ζεύγους θα είναι διαφορετικές, και θα δημιουργηθεί μια μετατόπιση τάσης στον εντοχτή αίσθησης. Αυτό το πρόβλημα μπορεί να παρακαμφθεί με την προσθήκη μιας επαφής για να συνδέσει το υπόστρωμα στη γείωση ή στη πηγή για τα ελαττωμένα αναλογικά κυκλώματα.

Ένα άλλο πρόβλημα της τεχνολογίας PD SOI είναι η ποσοστώση ενός παρασιτικού διπολικού τρανζίστορ μέσα σε κάθε τρανζίστορ. Όπως βλέπεται στο Σχήμα 9.72, η πηγή, το υπόστρωμα και η υποδοχή δημιουργούν τον εκπομπό, τη βάση και το συλλέκτη ενός διπολικού τρανζίστορ πnp. Σε ένα συντηρημένο τρανζίστορ, το υπόστρωμα συνδέεται με την πηγή προφοδοσίας, αλλά στη SOI το υπόστρωμα/βάση αιώρεται. Εάν η πηγή και η υποδοχή διατηρηθούν και τα δύο σε υψηλή στάθμη για μια εκτεταμένη χρονική περίοδο, ενώ η πόλη είναι σε χαμηλή στάθμη, η βάση θεωρείται επίσης σε υψηλή στάθμη λόγω της διαρροής πηγής/αδίου. Εάν η πηγή και η υποδοχή διατηρηθούν να οδηγούνται «κίτω», το τρανζίστορ πnp θα γίνει ON. Ένα ρεύμα I_B ρέει από το υπόστρωμα/βάση στην πηγή/εκπομπό, το οποίο προκαλεί ένα ρεύμα βI_B που ρέει από την υποδοχή/συλλέκτη προς την πηγή/εκπομπό. Το κέρδος του διπολικού τρανζίστορ, β , εξαρτάται από το μήκος του καναλιού και το ποσοστό νόθευσης και είναι μεγαλύτερο από το 1. Έτσι, μπορεί να ρυθμίσει ένας σημαντικός παλμός ρεύματος από την υποδοχή προς την πηγή όταν η πηγή οδηγείται «κίτω», ακόμα κι εάν το τρανζίστορ θα πρέπει να είναι σε κατάσταση OFF.

Αυτός ο παλμός ρεύματος αποκαλείται επίσης διαρροή περσώματος πόλης (pass-gate leakage), επειδή συμβαίνει συχνά σε τρανζίστορ που βρίσκονται σε κατάσταση OFF, όπου η πηγή και η υποδοχή είναι αρχικά σε υψηλή στάθμη και στη συνέχεια οδηγούνται «κίτω». Αυτό δεν είναι ένα μεγάλο πρόβλημα για τα στατικά κυκλώματα, επειδή τα τρανζίστορ που είναι σε κατάσταση ON εμμοδίζουν την ανεπιθύμητη αλλαγή κατάστασης κόμβου. Ωστόσο, μπορεί να δημιουργηθεί σημαντικές δυσλειτουργίες σε δυναμικούς μανδάλωτες και κυκλώματα λογικής. Έτσι, οι δυναμικοί κόμβοι θα πρέπει να χρησιμοποιούν ισχυρά κυκλώματα διατηρητών για να διατηρούν τους κόμβους σταθερούς.

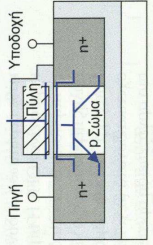
Ένα τρίτο κοινό πρόβλημα σε κάθε κυκλώμα SOI είναι η αυτοθέρμανση. Το οξείδιο είναι ένας καλός μονωτής της θερμότητας καθώς και μονωτής του ηλεκτρισμού. Έτσι, η θερμοκρασία που παράγεται από τη μεταγωγή των τρανζίστορ τείνει να συσσωρεύεται στο τρανζίστορ παρά να διαχέεται γρήγορα στο υπόστρωμα. Τα μεμονωμένα τρανζίστορ που καταναλώνουν σημαντικά ποσά ισχύος μπορεί να γίνουν πολύ πιο ζεστά απ' ό,τι η συνολική ψηφίδα. Σε υψηλότερη θερμοκρασία παραδίδουν λιγότερο ρεύμα με συνέπεια να είναι πολύ αργά. Η αυτοθέρμανση μπορεί να αυξήσει την θερμοκρασία κατά 10°-15° C για ένα απομονωτή ρολογιού και τα τρανζίστορ εισόδου/εξόδου, ενώ το πρόβλημα δεν είναι τόσο σημαντικό για τα τρανζίστορ λογικής.

9.5.4 Επιπτώσεις της Τεχνολογίας SOI στα Σηλ Κυκλωμάτων

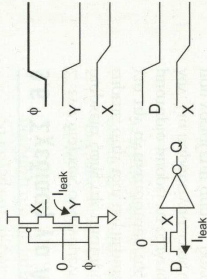
Συνοψίζοντας, η τεχνολογία SOI είναι επιθυμητή για γρήγορη λογική CMOS. Η μικρότερη χωρητικότητα διάχυσης παρέχει μια χαμηλότερη παρασιτική καθυστέρηση. Οι χαμηλότερες τάσεις καταπόλιου παρέχουν καλύτερα ρεύμα οδηγησης και μικρότερες καθυστερήσεις πόλων. Επιπλέον, η SOI είναι επίσης επιθυμητή για κυκλώματα χαμηλής κατανάλωσης ισχύος. Η μικρότερη χωρητικότητα διάχυσης μειώνει τη δυναμική κατανάλωση ισχύος. Τα κέρδη της ταχύτητας μπορεί να μειωθούν για την επιτεύξη μικρότερης τάσης προφοδοσίας ώστε να βελτιωθεί ακόμα πιο πολύ η δυναμική κατανάλωση ισχύος. Ακριβείς κλίσεις υποκαταπόλιου παρέχουν τη δυνατότητα για μειωμένο στατικό ρεύμα διαρροής, ειδικά στα τρανζίστορ FINFET.

Οι συμπληρωματικές στατικές πόλεις CMOS στα PD SOI συμπεριφέρονται περίπου όμοια με τις αντίστοιχες πόλεις συμβατικού υποσώματος, εκτός από τη βελτίωση της καθυστέρησης. Το φαινόμενο της ιστορίας επίσης προκαλεί αλλαγές στην καθυστέρηση της πόλης που επηρεάζονται από το μοτίβο των δεδομένων.

Τα κυκλώματα με τους δυναμικούς κόμβους πρέπει να ανεχθούν μια νέα πηγή φόρτου από τη διαρροή των πόλων περσώματος. Συγκεκριμένα, οι δυναμικοί μανδάλωτες και οι δυναμικές πόλεις μπορεί να χάσουν το φορτίο στο δυναμικό κόμβο. Το Σχήμα 9.73 παρουσιάζει το μηχανισμό διαρροής των πόλων περσώματος. Σε



ΣΧΗΜΑ 9.64 Παρασιτικό διπολικό τρανζίστορ σε PD SOI.



ΣΧΗΜΑ 9.65 Διαρροή πόλης μετάδοσης σε δυναμικούς μανδάλωτες και πόλεις.

κάθε περίπτωση, ο δυναμικός κόμβος χ είναι αρχικά σε υψηλή στάθμη και το τρανζίστορ που συνδέεται σε κάθε κόμβο είναι OFF. Η μνήμη αυτού του τρανζίστορ ξεκινάει σε υψηλή στάθμη και οδηγείται «κάνω» ενεργοποιώντας το παραστικό διπολικό τρανζίστορ και εκφορτίζοντας μερικώς το κόμβο χ . Για την αντιμετώπιση της διαρροής της πύλης περάσματος, ο κόμβος χ πρέπει να στατικός μ' ένα ζεύγος αλληλοσυνεγγημένου αντιστροφεία για τους μανδύλους ή μ' ένα κύκλωμα φρουρού rMOS για τις δυναμικές πύλες. Τα στατικοποιημένα τρανζίστορ πρέπει να είναι λογικά δονατά (π.χ. $1/4$ της δυναμής του κανονικού μονοπατιού) για να αντιμετωπιστεί η διαρροή. Οι πύλες είναι επίσης επειδή πρέπει να αντιμετωπίσουν τα κυκλώματα δονατών φροφών. Οι δυναμικές πύλες μπορεί να προπονηθούν τους εσωτερικούς κόμβους για να εμποδίσουν τη διαρροή της πύλης περάσματος, αλλά τότε θα πρέπει να αντιμετωπίσουν το διεισδυτικό φορτίο σ' αυτούς τους εσωτερικούς κόμβους.

Αναλογικά κυκλώματα, ενισχυτές αίσθησης και άλλα κυκλώματα που εξαρτώνται από την προσαρμογή μεταξύ των τρανζίστορ υποφέρουν από μη-προσαρμοσμένες τάσεις που προκαλούνται από το φαινόμενο ιστορίας το αωρομένο υποστρώματος. Απαιτούν επαφές υποστρώματος για την εξάλειψη των προβλημάτων αυτών με το να διατηρείται το υπόστρωμα σε μια σταθερή τάση. Τα ρολόγια διαμέσου πωλών AND έχουν επίσης μεγαλύτερες αποκλίσεις στο ρολόι, επειδή το φαινόμενο της ιστορίας κάνει το ρολόι να αλλάζει πιο αργά στον πρώτο ενεργό κύκλο, εάν αυτό είναι μια εκτεταμένη περίοδο αδράνειας.

9.5.5 Σύνοψη

Συνοψίζοντας, η τεχνολογία SOI είναι ελκυστική, επειδή μειώνει σημαντικά τη χωρητικότητα διάχυσης πηγής/υποδοχής, με αποτέλεσμα να υπάρχουν ταχύτερα και πιο αποδοτικά τρανζίστορ. Επίσης έχει ανοσία στο φαινόμενο μανδύλων. Η τεχνολογία PD SOI είναι η πιο πρακτική και επίσης ενισχύει το ρεύμα οδηγώντας το υπόστρωμα που αιωρείται έτσι ως αποτέλεσμα χαμηλότερες τάσεις κατωφλίου.

Η σχεδίαση SOI είναι πιο δύσκολη λόγω των επιδράσεων που προκαλούνται από την ιστορία που αιωρείται. Η καθυστέρηση της πύλης είναι εξαρτημένη από το ιστορικό, επειδή η τάση του υποστρώματος εξαρτάται από την προηγούμενη κατάσταση του κυκλώματος. Αυτό περιπλέκει τη μοντελοποίηση του κυκλώματος και της εκτίμησής της καθυστέρησης. Επίσης, συνισσώμενη στη δημιουργία μη-προσαρμοσμένων κυκλωμάτων. Σε εξειδικευμένες εφαρμογές όπως οι ενισχυτές αίσθησης, μπορεί να προστεθεί μια επαφή με το υπόστρωμα για να δημιουργηθεί μια στεγασμένη πύλη φρουρού.

Μια δεύτερη δυσκολία στη σχεδίαση SOI είναι η διαρροή της πύλης περάσματος. Οι δυναμικοί κόμβοι μπορεί να εκφορτιστούν λόγω αυτής της διαρροής ακόμα κι όταν συνδέονται σε τρανζίστορ που είναι σε κατάσταση OFF. Πολύ ισχυρό διατηρήτης μπορεί να χρησιμοποιηθούν για να αποτρέψουν τέτοια σφάλματα.

Τέλος, το οξείδιο που περιβάλλει τα στοιχεία SOI είναι ένας καλός μονωτής της θερμότητας με συνέπεια αυτό να οδηγεί σε αυξημένη αυτοθέρμανση. Έτσι, η θερμοκρασία λειτουργίας του κάθε τρανζίστορ μπορεί να είναι $10^{\circ}\text{--}15^{\circ}\text{C}$ υψηλότερη από αυτή του υποστρώματος. Η αυτοθέρμανση μειώνει το ρεύμα αγωγής του τρανζίστορ και κάνει πιο δύσκολη τη μοντελοποίηση.

Σ' αυτή την ενότητα αναφερθήκαμε εν τάξει σ' ένα θέμα το οποίο θα μπορούσε κάλλιστα ν' αποτελέσει από μόνο του ένα ξεχωριστό βιβλίο. Συγκεκριμένα, η στατική RAM τεχνολογίας SOI απαιτεί ειδική φροντίδα λόγω της ύπαρξης διαρροής των πωλών περάσματος και των αιωρούμενων σωμάτων. Ο [Bernstein00] παρέχει μια οριστική λύση για τη σχεδίαση κυκλωμάτων SOI με μερικούς πρακτικώς αναγκαίους τρανζίστορ ενώ ο [Kuo01] παρέχει μια επισκόπηση της βιβλιογραφίας για τα κυκλώματα SOI.

9.6 Σχεδίαση για Λειτουργία στην Περιοχή Υποκατωφλίου

Σ' ένα διαρκώς αυξανόμενο τομέα εφαρμογών, οι απαιτήσεις αναφορικά με την απόδοση είναι ελάχιστες, ενώ η διάρκεια ζωής της μπαταρία είναι παράγοντας πρωταρχικής σημασίας. Για παράδειγμα, ένας βηματοδότης θα έπρεπε, στην ιδανική περίπτωση, να έχει διάρκεια ζωής ίση με αυτή του ασθενούς, επειδή η χειρουργική επέμβαση για την αντικατάσταση της μπαταρίας ενέχει σημαντικούς κινδύνους αλλά και δαπάνες. Σε άλλες εφαρμογές, η μπαταρία μπορεί να εξελιχθεί ολοκληρωτικά εάν το σύστημα μπορεί να αντλεί επαρκή ενέργεια από το περιβάλλον. Για παράδειγμα, ένας αισθητήρας πίεσης σε ελαστικά οχημάτων θα μπορούσε να προσλαμβάνει την ενέργεια που χρειάζεται από τις δονήσεις του ελαστικού όταν το όχημα βρίσκεται εν κινήσει. Τέτοιες εφαρμογές απαιτούν την ελάχιστη δυνατή καταναλωση ενέργειας.

Όπως αναφέραμε στην Ενότητα 5.4.1, το σημείο ελάχιστης ενέργειας τυπικά προκύπτει σε $V_{DD} < V_T$, συνήθικη η

οποία αποκαλείται περιοχή λειτουργίας υποκατωφλίου. Όλα τα τρανζίστορ του κυκλώματος είναι OFF, αλλά κάποια είναι περισσότερο OFF από άλλα. Σύμφωνα με την Εξ. (2.45), η υποκατωφλιακή διαρροή αυξάνεται εκθετικά με την V_{gs} . Υποθέτοντας κλίση $S = 100 \text{ mV}$ σε λειτουργία υποκατωφλίου, ένα τρανζίστορ με $V_{gs} = 0.3 \text{ θV}$ έχει ονομαστικά 1000 φορές περισσότερο ρεύμα διαρροής απ' ό,τι ένα τρανζίστορ με $V_{gs} = 0$. Αυτή η διαφορά είναι επαρκής για την εκτέλεση λογικών λειτουργιών, αν και αργά. Η διαρροή πύλης και η διαρροή επαφής μειώνονται ταχέως με την V_{DD} , οπότε είναι αμελητέες συγκριτικά με την υποκατωφλιακή διαρροή.

Στην περιοχή λειτουργίας υποκατωφλίου, η καλύτερη σχεδίαση εκτελείται καθώς μειώνεται η τάση τροφοδοσίας. Η μείωση της τάσης τροφοδοσίας μειώνει την ενέργεια μεταγωγής, αλλά αναγκάζει το OFF τρανζίστορ να επιδεικνύει διαρροή για περισσότερο χρόνο, πράγμα το οποίο αυξάνει την ενέργεια διαρροής. Το σημείο ελάχιστης ενέργειας εντοπίζεται εκεί που το άθροισμα της δυναμικής ενέργειας και της ενέργειας διαρροής είναι το μικρότερο δυνατό. Τυπικά, το σημείο αυτό βρίσκεται σε τάση τροφοδοσίας κοντά στα $300\text{--}500 \text{ mV}$ με κάποιες υψηλότερη τιμή τάσης είναι προτιμότερη όταν η διαρροή κωπιαρχεί (π.χ., σε χαμηλό συντελεστή δραστηριότητας ή σε υψηλή θερμοκρασία). Σ' αυτή την τάση, η στατική λογική CMOS λειτουργεί στην κλίμακα συχνότητας των kHz ή λίγων MHz και καταναλώνει κατά μία τάξη μεγέθους λιγότερη ενέργεια ανά λειτουργία απ' ό,τι σε τυπικές τιμές τάσης. Η καταναλωση ισχύος είναι κατά πολλές τάξεις μεγέθους χαμηλότερη, επειδή η συχνότητα λειτουργίας είναι τόσο μικρή. Είναι δυνατή η λειτουργία σε τάση και συχνότητα κάτω από το σημείο ελάχιστης ενέργειας, για την περαιτέρω μείωση της καταναλωσης ισχύος, με αντίτιμο την αυξημένη ενέργεια ανά λειτουργία. Ωστόσο, εάν το επιτρέπουν οι προδιαγραφές του συστήματος, η μέση ισχύς είναι ακόμα χαμηλότερη εάν το σύστημα λειτουργεί στο σημείο ελάχιστης ενέργειας και κατόπιν αποκοπεί την τροφοδοσία του έως ότου ζητηθεί η επόμενη λειτουργία.

Σ' αυτή την ενότητα θα περιγράψουμε τα βασικά θέματα, συμπεριλαμβανομένων των διαστάσεων των τρανζίστορ, των DC χαρακτηριστικών μεταφοράς και της επιλογής πύλης. Στην Ενότητα 12.2.6.3 θα εξετάσουμε κυκλώματα μνήμης που λειτουργούν στην περιοχή υποκατωφλίου. Ο Wang [Wang06] φέρνει ένα ολοκληρωμένο βιβλίο στη σχεδίαση κυκλωμάτων για λειτουργία στην περιοχή υποκατωφλίου, ενώ ο Hanson [Hanson06] εξετάζει τα σχεδιαστικά ζητήματα που ανακύπτουν στο σημείο ελάχιστης ενέργειας. Μία από τις πρώτες εφαρμογές κυκλωμάτων για λειτουργία στην περιοχή υποκατωφλίου ήταν σ' ένα διατεθειμένο σχέδιο για ένα ρολόι χειρός [Vittoz71]. Πιο πρόσφατα, οι [Hanson09] και [Kwong09] παρουσιάζουν περιεκτικούς μικροελεγκτές που επωγγάζουν καταναλωση ισχύος στην κλίμακα των nanowatt κατά την ενεργό λειτουργία και στην κλίμακα των picowatt στην άεργη κατάσταση.

9.6.1 Διαστάσεις Τρανζίστορ

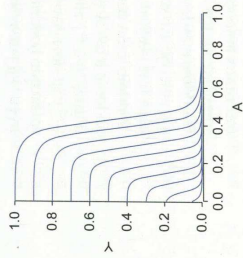
Η προσρμογή των διαστάσεων των τρανζίστορ παρέχει, στην καλύτερη περίπτωση, γραμμικό όφελος, όσον αφορά την απόδοση, ενώ η τάση τροφοδοσίας παρέχει εκθετικό όφελος. Συνεπώς, θα μπορούσαμε γενικά να πούμε ότι η ελάχιστη καταναλωση ενέργειας για συγκεκριμένες προδιαγραφές απόδοσης επιτυγχάνεται μέσω της χρήσης τρανζίστορ ελάχιστου πλάτους και της αύξησης της τάσης τροφοδοσίας, εάν είναι αναγκαίο, από το σημείο ελάχιστης ενέργειας έως ότου επιτευχθεί η ζητούμενη απόδοση (υποθέτοντας ότι η απαιτητή απόδοσης είναι επαρκώς χαμηλή ώστε το κύκλωμα να παραμείνει στην περιοχή λειτουργίας υποκατωφλίου) [Calhoun05].

Εάν η (οφελόμενη) σε πτυχίες διακυμάνσεις του υλικού (νέκρωσης) μεταβλητότητα στην τιμή της V_T είναι εξαιρετικά υψηλή, η χρήση τρανζίστορ μεγαλύτερου πλάτους μπορεί να αποδειχτεί εφοφής για τη μείωση της μεταβλητότητας και του επακόλουθου κινδύνου υψηλής διαρροής [Kwong06]. Επίσης, εάν ένα συγκεκριμένο μονοπάτι που διατρέχει ένα κύκλωμα είναι περισσότερο «φιλικό» από τα άλλα, η αύξηση του μεγέθους των τρανζίστορ σ' αυτό το μονοπάτι με στόχο την ταχύτητα θα μπορούσε να είναι καλύτερη απ' ό,τι η αύξηση της τάσης τροφοδοσίας σε ολόκληρο το κύκλωμα.

Όταν χρησιμοποιούνται τρανζίστορ ελάχιστου πλάτους, οι αγωγοί διασύνδεσης είναι πιθανό να συνεισφέρουν το μεγαλύτερο μέρος της χωρητικότητας μεταγωγής. Για τη μείωση του μήκους των αγωγών διασύνδεσης, τα κύτταρα που προσίζονται για λειτουργία στην περιοχή υποκατωφλίου θα πρέπει να είναι όσο δυνατόν πιο μικρά. γενικά, το ύψος του κυττάρου καθορίζεται από το ελάχιστο ύψος ενός flip-flop. Ως εκ τούτου, η καλή χωροθέτηση και τοποθέτηση είναι ζωτικής σημασίας.

9.6.2 Επιλογή Πύλης

Μια λογική πύλη πρέπει να επιδεικνύει κλίση πιο απότομη από -1 στις DC χαρακτηριστικές μεταφοράς της, ώστε να επιτυγχάνει συμπεριφορά αποκατάστασης και να διατηρεί τα περιθώρια θορύβου. Δεκαετίες πριν,



ΣΧΗΜΑ 9.66 DC χαρακτηριστικές μεταφορές αντιστροφής σε χαμηλές τάσεις.

οι στατικές δομές λογικής CMOS επεδείκνυν καλές χαρακτηριστικές μεταφορές σε τάσεις προφοδοσίας τόσο χαμηλές, όσο τα 100 mV [Swanson72]. Το Σχήμα 9.66 παρουσιάζει τις τυπικές χαρακτηριστικές μεταφορές για μια διεργασία 65 nm με τρανζίστορ ελάχιστου πλάτους, για διάφορες τιμές της τάσης προφοδοσίας. Το σημείο μεταγωγής παρουσιάζεται απόκλιση επειδή τα κατώφλια των pMOS και nMOS τρανζίστορ δεν είναι ίδια και η πηγή δεν είναι σχεδωμένη για όλα ρεύματα ανόδου/κάθόδου· ωστόσο, η συμπεριφορά παρουσιάζει καλή στα 300 mV και είναι ανεκτή στα 200 mV.

Ανατοχώς, οι διακομάνσεις που εισάγει η κατασκευαστική διεργασία υποβαθμίζουν τα χαρακτηριστικά μεταγωγής. Στις γωνίες που αντιστοιχούν στη χειριστη περίπλοκη (συνήθως SF ή F5), η τάση προφοδοσίας μπορεί να χρεωστεί να γίνει 300 mV, η ακόμη υψηλότερη για πολυπλοκές πύλες, ώστε να είναι ενγυμνή η οωστή λειτουργία. Οι πύλες με πολυπλοκή εν σειρά και εν παραλληλίο τρανζίστορ απαιτούν υψηλότερη τάση προφοδοσίας για να διασφαλίσουν ότι το ρεύμα αγώγις (ON) που διαρρέει το σωρό των εν σειρά τρανζίστορ υπερβαίνει το ρεύμα αποκοπής (OFF) που διαρρέει όλα τα εν παραλληλίο τρανζίστορ. Επιπλέον, το «φαινόμενο σωρού» υποβαθμίζει το ρεύμα αγώγις (ON) και την ταχύτητα για τα εν σειρά τρανζίστορ. Συνεπώς, τα κυκλώματα υποκατωφλίου θα πρέπει να χρησιμοποιούν απλές πύλες (π.χ., όχι πολυπλοκότερες από μια AOI22 ή NAND3).

Οι στατικές δομές με πολλά εν παραλληλίο τρανζίστορ, όπως π.χ. οι πολυπλοκές μεγάλου εύρους, δεν λειτουργούν καλά σε χαμηλή τάση επειδή το ρεύμα διαρροής που διέρχεται από τα OFF τρανζίστορ μπορεί να υπερβεί το ρεύμα που διέρχεται από τα ON τρανζίστορ, κυρίως εάν ληφθούν υπόψη οι διακομάνσεις. Αυτό το ζήτημα γίνεται ιδιαίτερα σημαντικό κατά τη σχεδίαση κυκλωμάτων RAM για λειτουργία στην περιοχή υποκατωφλίου.

Τα βασίζόμενα σε λόγο διαστάσεων κυκλώματα δεν λειτουργούν καλά σε χαμηλή τάση επειδή η εκθέτικη ευσταθία που επιδεκνούν στις διακομάνσεις καθιστά δύσκολο το να διασφαλιστεί ότι είναι ισχυρότερο το οωστό τρανζίστορ. Συνεπώς, οι μοναδιαίες και οι καταγορητές με ασθενή στοιχεία ανόδρασης θα πρέπει να αποφευχθούν. Ο συμβατικός καταγορητής του Σχήματος 10.19(β) λειτουργεί καλά στην περιοχή υποκατωφλίου.

Επιπρόθετα, τα δυναμικά κυκλώματα δεν είναι εφάρστα όταν λειτουργούν στην περιοχή υποκατωφλίου, επειδή το ρεύμα διαρροής είναι πολύ εύκολο να διαταραχθεί έναν δυναμικό κύμβο. Τα κυκλώματα διατηρητών παρουσιάζουν ένα πρόβλημα το να λόγο διαστάσεων των τρανζίστορ, το οποίο είναι δύσκολο να λυθεί για όλο το εύρος διακομάνσεων των κατασκευαστικών διεργασιών.

Τα κυκλώματα που προορίζονται για λειτουργία στην περιοχή υποκατωφλίου μπορούν να συντιθέταν χρησιμοποιώντας εμπορικά διαθέσιμες βιβλιοθήκες τυποποιημένων κωτάρων χαμηλής κατανάδωσης ισχύος εξαρώντας βέβαια όλα εκείνα τα κώταρα που είναι υπερβολικά πολυπλοκά ή υπερβαίνουν το ελάχιστο διαθέσιμο μέγεθος.

9.7 Κίνδυνοι και Πλάνες

Σχεδίαση χωρίς να συνυπολογίζονται οι εξελλείψεις της τεχνολογίας

Η τεχνολογία γνωρίζει διαρκώς εξελλείψεις, οι οποίες αλλάζουν τα συγκριτικά μειονεκτήματα ή πλεονεκτήματα των τεχνικών σχεδίασης κυκλωμάτων. Για παράδειγμα, οι καθυστερήσεις των αγωνών διασύνδεσης δεν βελτιώνονται τόσο γρήγορα όσο η καθυστέρηση των πυλών, οι πιέσεις τάσης καταγωγών παίζουν μεγαλύτερο ρόλο στη διαμόρφωση της τάσης προφοδοσίας, και τα ρεύματα διαρροής συνεχώς αυξάνονται. Εάν κανείς δεν προβλέψει τέτοιες αλλαγές που μπορεί να φέρει το μέλλον, οι εφευρέσεις του θα έχουν περιορισμένη χρησιμότητα.

Ένα χαρακτηριστικό παράδειγμα είναι η ιστορική πορεία των κυκλωμάτων BiCMOS. Τα διπολικά τρανζίστορ έχουν μεγαλύτερο ρεύμα εξόδου ανά μονάδα χωρητικότητας εισόδου (δηλαδή, μικρότερο λογικό φόρτο) απ' ό,τι τα κυκλώματα CMOS στην τεχνολογία 0.8 μm, οπότε είχαν γίνει πολύ δημοφιλή, κυρίως για την οδηγία μεγάλων φορτίων. Στις αρχές της δεκαετίας του '90 είχαν δημοσιευθεί εκατοντάδες μελέτες γι' αυτό το θέμα. Οι επεξεργαστές Pentium και Pentium Pro είχαν κατασκευαστεί με τεχνολογίες BiCMOS. Οι επενδυτές είχαν δώσει τουλάχιστον 40 εκατομμύρια δολάρια σε μια εταιρεία ονόματι Exponential, η οποία επρόκειτο να κατασκευάσει έναν επεξεργαστή PowerPC τεχνολογίας BiCMOS. Δυστυχώς, η κλιμάκωση της τεχνολογίας απέβη εις βάρος της τεχνολογίας BiCMOS, επειδή κατασκευάστηκαν ταχύτερα τρανζίστορ CMOS, με χαμηλότερες τάσεις προφοδοσίας και μικρότερο αριθμό τρανζίστορ ανά ολοκληρωμένο. Έτσι, τα διπολικά τρανζίστορ έπαυσαν να έχουν συγκριτικό πλεονέκτημα έναντι των συμβατικών CMOS. Οπως αναφέραμε στην Ενότητα 9.4.3, η πτώση τάσης V_{th} κατά εξέλιξη είναι απαράδεκτα μεγάλο κλάσμα της προφοδοσίας. Τέλος, η κατανάδωση στατικής ισχύος που σφειόταν

στα ρεύματα βάσης των διπολικών τρανζίστορ περιορίζει τον αριθμό των διπολικών τρανζίστορ που μπορούν να χρησιμοποιηθούν.

Ο Pentium II βασίζονταν στη σχεδίαση του Pentium Pro, αλλά τα διπολικά τρανζίστορ αφαιρέθηκαν από τη σχεδίαση του επειδή δεν υπάρχουν πλέον οφέλη στην τεχνολογία των 0.35 μm. Αν και η εταιρεία Exponential διέθετε μια ομάδα τεχνολογικών ερευνητών, απέτυχε στους στόχους της και κατασκεύασε έναν επεξεργαστή που δεν προσέφερε κανένα πλεονέκτημα απόδοσης, ενώ κατανάδωνε πολύ περισσότερη ισχύ από κάθε άλλο επεξεργαστή της αγοράς (Miaei97).

Σύγκριση ενός βελτιστοποιημένου νέου κυκλώματος με ανεπαρκές, παραδοσιακό υφιστάμενης σχεδιαστικής πρακτικής
Μια δοκιμασμένη στο χρόνο πρακτική για την παρουσίαση μιας νέας εφευρέσεως με όσο το δυνατόν καλύτερους όρους είναι να τη βελτιστοποιήσεις όσο το δυνατόν περισσότερο και να τη συγκρίνεις με μια αναδόχλη σχεδίαση την οποία θα πρόσβληται ως «δείγμα υφιστάμενης πρακτικής». Για παράδειγμα, ο [Zimmermann97a] αναφέρει ότι οι περισσότερες δημοσιεύσεις που βρίσκουν τους αθροιστές με τρανζίστορ περσμάτων ταχύτερους από τους στατικούς αθροιστές CMOS, τους συγκρίνουν με κώταρα στατικών αθροιστών των 40 τρανζίστορ, ενώ θα έπρεπε να τους συγκρίνουν με τα ταχύτερα και μικρότερα κώταρα αθροιστών των 28 τρανζίστορ (βλ. Σχ. 11.4).

Παρόδωση της αντίστασης οδηγίας κατά το χαρακτηρισμό ενός κυκλώματος με τρανζίστορ περσμάτων

Ένας άλλος τρόπος για να κάνει κάποιος τις οικονομίες κυκλωμάτων με τρανζίστορ περσμάτων να δείχνουν ότι έχουν διπλάσια ταχύτητα απ' ό,τι στην πραγματικότητα, είναι οδηγώντας τις εισόδους διαχύσεως με μια πηγή τάσης και όχι με το στάδιο εξόδου της προηγούμενης πύλης.

Αναφορά μόνο μέρους της καθυστέρησης που επιδεκνεί ένα κύκλωμα

Όλα τα χρονισμένα κυκλώματα έχουν ένα χρόνο αποκατάστασης και μια καθυστέρηση από το ρολόι ως την έξοδο. Ένας καλός τρόπος για να δείχνουν ταχύτερα είναι η αναφορά μόνο της καθυστέρησης που επιδεικνύουν από το ρολόι έως την έξοδο. Αυτό είναι ιδιαίτερα σύνηθες σε λογικές οικογένειες που χρησιμοποιούν ενισχυτές αίσθησης.

Υπερβολικοί ισχυρισμοί περί επιδόσεων και απόδοσης

Σε αρκετές δημοσιεύσεις βρίσκουμε υπερβολικές δηλώσεις περί της απόδοσης συγκεκριμένων κυκλωμάτων. Για παράδειγμα, κατά τη σύγκριση σχεδωσών πλήρων αθροιστών, ορισμένοι συγγραφείς διαπίστωσαν ότι οι υποπύλες DSL και domino διπλής γραμμής είναι 8 έως 10 φορές ταχύτερες απ' ό,τι η στατική CMOS. Αυτές οι φερόμενες επιδόσεις απέχουν μακριά από αυτές που βλέπουν στην πράξη οι σχεδίαστες. Για παράδειγμα, ο [Ng96] διαπίστωσε ότι ένας πολυπλοκαστής 8x8 σε υλοποίηση DSL είναι 1.5 φορές ταχύτερος, ενώ σε υλοποίηση domino διπλής γραμμής είναι 2 φορές ταχύτερος από τη στατική CMOS υλοποίηση.

Γενικά, στη σχεδίαση κυκλωμάτων τίποτα δεν παρέχεται δωρεάν. Η τεχνολογία CMOS είναι ένα σχετικά ώριμο πεδίο και οι σχεδίαστες δεν είναι ανώθη (ή τουλάχιστον οι περισσότεροι) σχεδίαστες δεν αντιμετωπίζονται ως ανώθη διαρκώς, πράγμα το οποίο σημαίνει ότι εάν κάποια σχεδίαση δείχνει πολύ καλά για να είναι αληθινή, πιθανότατα αυτό ακριβώς ισχύει. Να είστε επιφυλακτικοί με τις δημοσιεύσεις που υπερτονίζουν τα πλεονεκτήματα μιας νέας εφευρέσεως χωρίς να αποκαλύπτουν τους συμβιβασμούς της. Οι συμβιβασμοί μπορεί να είναι αποδοκία, αλλά πρώτα απ' όλα θα πρέπει να είναι γνωστοί.

Κατασκευή κυκλωμάτων χωρίς επαρκή εργασία επαλήθευσης

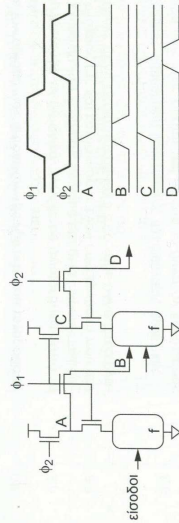
Η «εφρακλήνη» επαλήθευση των κυκλωμάτων σε ολοκληρωμένα με αρκετά εκατομμύρια (ή ακόμα και δισεκατομμύρια) τρανζίστορ είναι πλέον ανέφικτη. Τα αυτοματοποιημένα εργαλεία επαλήθευσης θα πρέπει να διεξάγουν ελέγχους για τα συνθήκη προβλήματα που παρουσιάζουν οι ευρέως χρησιμοποιούμενες λογικές οικογένειες κυκλωμάτων. Εάν τα οικονομικά σας δεν αντέχουν το κόστος αγοράς ή ανάπτυξης των κατάλληλων εργαλείων, καλό θα είναι να παραμείνετε στο εύρωστο και αξιόπιστο πλαίσιο της στατικής λογικής CMOS.

Λειτουργία κυκλωμάτων στην περιοχή υποκατωφλίου με στόχο την ταχύτητα

Ο στόχος της λειτουργίας ενός κυκλώματος στην περιοχή υποκατωφλίου είναι η ελαχιστοποίηση της κατανάδωσης ενέργειας. Υπάρχουν ορισμένες δημοσιεύσεις που έχουν προτείνει τη χρήση τρανζίστορ μεγάλου πλάτους για την επίτευξη υψηλότερης ταχύτητας. Με δεδομένη την εκθέτικη σχέση μεταξύ τάσης και ταχύτητας, η ίδια ταχύτητα θα μπορούσε να επιτευχθεί με χαμηλότερη κατανάδωση ενέργειας, αυξάνοντας ελαφρώς την τάση προφοδοσίας.

9.8 Σύντομη Ιστορική Αναδρομή

Τα βασίζόμενα σε λόγο διαστάσεων και τα δυναμικά κυκλώματα προηγούνται της ευρείας διάδοσης της τεχνολογίας CMOS. Σε μια τεχνολογία κατασκευής nMOS, δεν ήταν διαθέσιμα τα pMOS τρανζίστορ ώστε να είναι δυνατή η κατασκευή συμπληρωματικών πύλων. Μια στρατηγική που χρησιμοποιήθηκε ήταν η κατασκευή βραζίζωμενων σε λόγο διαστάσεων πύλων, οι οποίες κατανάδωναν στατική ισχύ όταν οι εξόδοι είναι σε χαμηλή στάθμη. Η ταχύτητα είναι ανάλογη του γνωμένου RC, οπότε, εάν οι γρήγορες πύλες απαιτούν χαμηλής αντίστασης κυκλώματα για την οδηγία πύλων, κάτι το οποίο επιδιώκουν οι πρόβλημα της κατανάδωσης ισχύος. Μια εναλλακτική λύση ήταν η χρήση δυναμικών πύλων. Το κλασικό εγχειρίδιο για τα MOS τρανζί-



ΣΧΗΜΑ 9.67 Δυναμικές πύλες nMOS.

στον στις αρχές της δεκαετίας του '70 [Prenney72] αφιέρωσαν 29 σελίδες για την περιγραφή μιας πλειάδας κυκλωματικών διαμορφώσεων δυναμικών πύλων.

Δυστυχώς, οι δυναμικές πύλες αντιμετώπιζον το πρόβλημα της μονονικότητας, οπότε κάθε φάση της λογικής μπορεί να έχει μόνο μια πύλη. Οι φάσεις διαχωρίστηκαν χρησιμοποιώντας nMOS τρανζίστορ, η παραγωγή των οποίων απαιτείται να μην είναι πολύπλοκη. Το Σχήμα 9.67 παρουσιάζει μια προσέγγιση, η οποία χρησιμοποιεί ρολόγια δύο μη-επικαλυπτόμενων φάσεων. Κάθε πύλη προφορτίζεται σε μια φάση, κατά την διάρκεια της οποίας η άλλη είναι αδρανής. Στη συνέχεια περνά στη φάση του υπολογισμού, κάνοντας το μανδαλωτή διαφανή. Αυτή η προσέγγιση είναι επιρρεπής σε θόρυβο διαμορφωστού φορτίου, όταν ανοίγει ο μανδαλωτής και η τάση προφορτίσης ανεβαίνει μόνο σε $V_{DD} - V_T$. Έχουν επίσης προσταθεί πολλές τεχνικές ρολογιού τεσσάρων φάσεων.

Με την έλευση της τεχνολογίας CMOS, η δυναμική λογική έλασε το πλεονέκτημα που είχε αναφορικά με την καταπόληση ισχύος. Ωστόσο, η επιφάνεια του ολοκληρωμένου ήταν σημαντικός πόρος, και οι δυναμικές πύλες μπορούσαν να εξοικονομήσουν αρκετή, εξελιφώντας τα περισσότερα nMOS τρανζίστορ. Οι πύλες domino αναπτύχθηκαν στα Bell Labs, αρχικά για έναν 32-bit αθροιστή του μικροεπεξεργαστή BELLMAC-32A, με στόχο την επίλυση προβλημάτων που σχετίζονταν με την καταπόληση επιφανείας και την ταχύτητα [Krambeck82, Shojaei82]. Η λογική domino επιτρέπει πολλαπλές μη-αντιπαραρτιές πύλες να συνδέονται διαδοχικά σε μια μόνο φάση.

Ορισμένες παλαιότερες ογέδιασες domino παραλείπουν το κύκλωμα του διατηρητή, οπότε δίνουν μια σχετική μείωση επιφανείας κι ένα μικρό κέρδος απόδοσης. Ωστόσο αυτό έχει γίνει αρκετά δύσκολο καθώς οι διαφορές και ο θόρυβος ζειδής έχουν αυξηθεί με την κλιμάκωση της τεχνολογίας. Ο Alpha 21164 τον 0.35 μm ήταν μια από τις τελευταίες ογέδιασες που δεν είχε διατηρητή (και χρησιμοποιούσε δυναμικές μανδαλωτές). Η πλήρης δυναμική λειτουργία του δόνη ένα προβάδισμα στην ταχύτητα και στην επιφάνεια, αλλά κατά τη διάρκεια των δοκιμών είχε ελάχιστη συχνότητα 20 MHz για να λειτουργεί σε σταθερή κατάσταση. Στον Alpha 21264, το ρεζιμά διαφραγή είχε ασφίθει σε βαθμό πιο καθατό απόλυτος αναγκαστικά τους διατηρητές. Οι σύγχρονες ογέδιασες χρησιμοποιούν πάντα διατηρητές. Ένα ενδιαφέρον επακόλουθο ήταν ότι οι επεξεργαστές Alpha δεν χρησιμοποιούσαν μανδαλωτές ανίχνευσης, επειδή η ανίχνευση κοστίζει σε επιφάνεια και επιβραδύνει την απόδοση. Αυτό αποδείχτηκε ατυχές για τον Alpha 21264, επειδή ήταν πολύ δύσκολο να αποσφαλτασθεί λόγω της περιορισμένης ορατότητας της κατάστασης του επεξεργαστή. Σήμερα, σχεδόν όλες οι μεθοδολογίες σχεδίασης απαιτούν δυνατότητα ανίχνευσης στους καταχωρητές ή στους μανδαλωτές, όπως θα δούμε στην Ενότητα 15.6

Οι μικροεπεξεργαστές υψηλών επιδόσεων έχουν ανεβάζει τις ταχύτητες ρολογιού πολύ περισσότερο απ' όσο θα μπορούσε μια απλή βελτίωση της τεχνολογίας κατασκευής, με αποτέλεσμα να έχει μειωθεί ο αριθμός των καθυστερημένων πύλων ανά κύκλο. Οι μικροεπεξεργαστές Alpha της DEC προσοστίασαν σ' αυτή την κίνηση κατά τη δεκαετία του '90 [Gronowski98], την οποία ακολούθησαν οι περισσότεροι άλλοι μικροεπεξεργαστές. Κατά την εποχή του «Πολέμου των MHz», περίπου από το 1994 έως το 2004, όπου η εμπορική προσέδοηση των μικροεπεξεργαστών βασιζόταν κυρίως στη συχνότητα ρολογιού, ο αριθμός των καθυστερημένων αντιπροφάσεων FO4 ανά κύκλο έπεσε από 24 (ή περισσότερο) σε 10 έως 12. Τα κύκλωματα domino έγιναν ζήτησης σημασίας για την επιτεύξη αυτών των γρηγορών χρόνων λειτουργίας. Η Intel μετέφερε τις πύλες domino με επικαλυπτόμενα ρολόγια (βλ. Ενότητα 10.5) στις αειρές επεξεργαστών Pentium Pro/II/III [Colwell95, Choudhury97] και Itanium [Nafziger02]. Ο αρχικός Pentium 4 τον 180 nm, ενομορμώμενος και «Williamette», υιοθέτησε μια ακόμα πιο εξεζητημένη υλοποίηση domino, η οποία ανβασε τη μονάδα εκτέλεσης ακεράτων πράξεων στο διπλάσιο της συχνότητας πυρήνα (βλ. Ενότητα 10.5) [Hinton01]. Ο Pentium 4 τον 90 nm, ενομορμώμενος «Prescott», υιοθέτησε την εξαιρετικά πολύπλοκη λογική οικογένεια LVS με μακροσκελές αλυσίδες nMOS τρανζίστορ συνδεδεμένων σε ενωγυτές αίσθησης [Deleganes04, Deleganes05]. Ειδικά για τον πυρήνα, απαιτήθηκαν επιπλέον προσαρμοές για τη σχεδίαση τρανζίστορ 6.8M, από μια ομάδα «ειδημόνων» στα μικροηλεκτρονικά κυκλώματα.

Δυστυχώς, οι λογικές δομές χαμηλής διακρίμανσης δεν κατάφεραν να επιδείξουν καλές δυνατάτητες κλιμάκωσης καθώς μειώνονταν οι τάσεις τροφοδοσίας και αυξάνονταν η μεταβλητότητα και η ζεδοί. Επιπλέον, τα

δυναμικά κυκλώματα έχουν υψηλό συντελεστή δραστηριότητας (μεταγωγής) και άρα καταναλώνουν πολλή ισχύ, πράγμα το οποίο τα καθιστά ακατάλληλα για ογέδιασες που αντιμετώπιζούν περιορισμούς στην καταπόληση ισχύος. Οι «εξεζητημένες» κυκλωματικές τεχνικές υπήρξαν συχνά απία προβλημάτων στη φάση της αποσφαλτάωσης πυριτίου [Josephson02]. Μια εξαιρετική καθυστέρηση στην παρουσίαση ενός προϊόντος μπορεί να κοστίσει εκατοντάδες εκατομμύρια δολάρια σε μια τόσο ανταγωνιστική αγορά, ενώ ακόμα μεγαλύτερες καθυστερήσεις μπορούν κυριολεκτικά να αφανίσουν ένα προϊόν, γεγονός το οποίο δίνει στους ογέδιαστές έναν ακόμη λόγο για να κινούνται συντηρητικά. Η ομάδα «Tejas» δεν είχε καταφέρει να ολοκληρώσει την αντικατάσταση της λογικής LVS, για την αναπόλη της οποίας είχε καθιερθεί εξαιρετική προσαρμοή, όταν το έργο της ακυρώθηκε το 2004. Η Intel προχώρησε σε αρχιτεκτονικές πυρήνα με καλύτερες επιδόσεις τόσο σε χρόνος λειτουργίας όσο και σε καταπόληση ισχύος. Η δυναμική λογική συνεχίζει να είναι πολύ σημαντική για ποικίλες διατάξεις μνήμης, αλλά έχει εξελιφθεί, σε μεγάλο βαθμό, από τους χειριστές δεδομένων.

Οι οικογένειες λογικών κυκλωμάτων με τρανζίστορ περσμάματος γνώρισαν μια περίοδο έντονης δραστηριότητας στην Ιαπωνία, τη δεκαετία του '90. Οι υπέρμαχοι τους προβαλλαν τα πλεονεκτήματα τους στους τομείς της ταχύτητας και της καταπόλησης ισχύος, αν και αυτοί οι ισχυρισμοί τους αμφισβητήθηκαν, όπως είδαμε στην Ενότητα 9.2.5. Τα κυκλώματα αυτά υποφέρουν από έλλειψη αφοροτότητας: η καθυστέρηση που οδηγεί μια διάχυση ισόδου εξετράται τόσο από το προηγούμενο στάδιο όσο και από το στάδιο ρεζιμάτος. Αυτό αποτελεί εμπόδιο για την συμβατική, στατική ανάλυση χρονισμού. Η προσαρμοή κατασκευής βιβλιοθήκων κατά-ρων είναι ένα ακόμα μειονέκτημα. Με δεδομένα τα οριακά οφέλη και τα μεγάλα κόστη, οι οικογένειες λογικών κυκλωμάτων που βασίζονται σε τρανζίστορ περσμάματος αποκλείστηκαν σταδιακά από τις εμπορικές εφαρμογές. Η IBM είναι ίσως το πιο χαρακτηριστικό παράδειγμα εταιρείας που βασιζόταν ανέκαθεν σε στατική λογική CMOS και μικρούς χρόνους για την εμπορική πρόοθηση προηγμένων τεχνολογιών SOI [Curtan02]. Για παράδειγμα, ο POWER6 μπορεί να λειτουργεί έως τα 5 GHz χωρίς να χρειάζεται δυναμική λογική στους χειριστές δεδομένων [Stolt08].

Τα πολλά χρόνια, η επινοήση μιας νέας οικογένειας κυκλωμάτων, η βάρθρωση της μ' ένα ακρονόμιο και η ανακάλυψη της με κάποια δημοσίωση στο έγκριτο *Journal of Solid-State Circuits* του IEEE ήταν απαραίτητη για την απόκτηση τίτλου Ph.D. Αυτό οδήγησε σε πολυάριθμες έρευνες που κατέληξαν στην παρουσίαση ακόμα περισσότερων οικογενών κυκλωμάτων, εκ των οποίων μόνο ένα ελάχιστα κλάσμα γνώρισε εμπορική επιτυχία. Σήμερα, ακόμα και οι λίγες εκεινές οικογένειες κυκλωμάτων που χρησιμοποιήθηκαν πραγματικά έχουν, σε μεγάλο βαθμό, παροπλιστεί από τα στατικά κυκλώματα CMOS, τα οποία είναι εύρωστα, αποδίδουν αρκετά καλά και παρέχουν τους μικρότερους χρόνους ογέδιασης και αποσφαλτάωσης. Οι καινοτομίες, όσον αφορά τα κυκλώματα, επικεντρώνονται πλέον σε πιο ανταποδοτικούς τομείς, όπως οι μνήμες χαμηλής τάσης, οι υψηλής ταχύτητας βαθμίδες E/E, οι βρόχοι με κλειδωμά φάσης, καθώς και τα ανα-λογικά/RF κυκλώματα.

Σύνοψη του Κεφαλαίου

Η καθυστερία ενός κυκλώματος ογέτιζεται με το γινόμενο $(C/\Lambda)V$ των πύλων. Σ' αυτό το κεφάλαιο εξετάσαμε εναλλακτικές δομές συνδυαστικών κυκλωμάτων για τη βελτίωση του λόγου C/Λ ή την αντιπρόληψη σε μικρότερες διακριμάνσεις (περιβόρια μεταβολής) της τάσης. Αρκετές από αυτές τις τεχνικές υιοθετούν συμβιβασμούς οι οποίοι ανέναντι υψηλότερη καταπόληση ισχύος και/ή χαμηλότερα επίπεδα ανοχής θορύβου, αποσκοπώντας σε βελτιωμένη καθυστέρηση. Παρότι τα συμπλορωματικά κυκλώματα CMOS είναι αρκούντως εύρωστα, οι εναλλακτικές οικογένειες κυκλωμάτων έχουν προβλήματα τα οποία πρέπει να κατανοηθούν και να αντιμετωπιστούν.

Σήμερα, χρησιμοποιείται ως επί το πλείστον στατική λογική CMOS. Υπάρχουν πολλές τεχνικές για τη βελτιστοποίηση των δομών στατικής λογικής CMOS, όπως η επιλογή και η προσεμρογη μεγέθους για τις πύλες, οι ασύμμετρες πύλες και οι πύλες με αποκλίση, καθώς και η χρήση πολλαπλών τάσεων καταπολέου. Οι τεχνολογίες SOI (πυριτίου σε μονωτή) μειώνουν την παραστική χωρητικότητα και βελτιώνουν τα φαινόμενα διαφραγής, επιτρέποντας χαμηλότερη καταπόληση ισχύος ή υψηλότερη απόδοση. Η λειτουργία των κυκλωμάτων στην περιοχή υποκατοφωλίου με τάση τροφοδοσίας 300–500 mV μπορεί να οδήγησει σε εξοικονόμηση ενέργειας κατά μια ολοκληρωτή τμή μεγέθους, όταν η απόδοση δεν είναι ο πρωταρχικός παράγον.

Τρεις από τις σημαντικότερες (από ιστορικής σκοπής) εναλλακτικές λύσεις έναντι της συμπλορωματικής λογικής CMOS είναι η λογική domino (διαδοχικής επίδρασης), η ψευδο-nMOS και η λογική που βασίζεται

σε τρανζίστορ περσάρματος. Κάθε μία επιφέρει να μειώσει τη χωρητικότητα εισόδου χρησιμοποιώντας κριός nMOS τρανζίστορ για την εκτέλεση των λειτουργιών.

Η λογική ψευδο-nMOS αντικαθιστά το pMOS δίκτυο οδήγησης πάνω μ' ένα ασθενές pMOS τρανζίστορ που είναι πάντα ON. Το pMOS τρανζίστορ καταναλώνει στατική ισχύ όταν η έξοδος είναι σε χαμηλή στάθμη. Εάν το τρανζίστορ είναι αρκετά ασθενές, τότε η μεταβολή προς υψηλή στάθμη είναι αργή. Εάν είναι πολύ ισχυρό, η V_{ol} είναι υψηλή και αυξάνεται η κατανάλωση ισχύος. Όταν η στατική καταπόνηση ισχύος βρισκεται σε ανεκτά επίπεδα, οι ψευδο-nMOS πύλες λειτουργούν ικανοποιητικά για NOR μεγάλο πλάτους.

Οι δυναμικές πύλες είναι παρόμοιες με τις ψευδο-nMOS, αλλά χρησιμοποιούν ένα χρονισμένο pMOS τρανζίστορ στη θέση του ασθενούς τρανζίστορ οδήγησης πάνω. Όταν το ρολόι έχει χαμηλή στάθμη, οι πύλες προφορτίζονται σε υψηλή στάθμη. Όταν το ρολόι ανέρχεται, η πύλη υπολογίζει το αποτέλεσμα, ενώ η έξοδος μεταβαίνει σε χαμηλή στάθμη ή αμείβεται σε υψηλή στάθμη. Η εισόδος της δυναμικής πύλης θα πρέπει να ανέρχεται μονοτονικά κατά τη διάρκεια που η πύλη υπολογίζει το αποτέλεσμα, αλλά η έξοδος κατέρχεται μονοτονικά. Οι πύλες domino αποτελούνται από μια δυναμική πύλη που ακολουθείται από μια στατική πύλη αντιστροφής και παράγουν μονοτονικά ανερχόμενες εξόδους. Συνεπώς, οι πύλες domino μπορούν να συνδεθούν διαδοχικά, αλλά υπολογίζουν μόνο συναρτήσεις χωρίς αντιστροφή. Οι πύλες domino διπλής γραμμής δέχονται την κανονική είσοδο και τη συμπληρωματική της και παράγουν την κανονική και τη συμπληρωματική έξοδο, οπότε μπορούν να υλοποιούν οποιαδήποτε λογική συνάρτηση με αντίτιμο μεγαλύτερες πύλες και διπλάσιους αγώγους διασύνδεσης. Οι δυναμικές πύλες είναι επίσης ευαίσθητες στο θόρυβο, επειδή η V_{th} είναι αρκετά κοντά στην τάση κατωφλίου V_{th} και η έξοδος αμείβεται.

Στις κυριότερες ηγίες θόρυβου περιλαμβάνονται ο διαμοριασμός φορτίου, η διασπορά και η ζέση. Για το λόγο αυτό, τα κυκλώματα λογικής domino χρησιμοποιούν συνήθως δευτερογενή τρανζίστορ προφορτικής κυκλώματα διατηρήτων και θορακισμένες ή προσεκτικά δρομολογημένες διασυνδέσεις. Οι μεγαλύτερες αποτελεσματικές μεταγωγής των ρολογιών και των δυναμικών κόμβων κανόνων τη λογική domino ιδιαίτερα απαιτητική σε ισχύ. Παρά ταύτα, η λογική domino παρέχει ταχύτητες 1.5 έως 2 φορές μεγαλύτερη από τα κυκλώματα στατικής λογικής CMOS, πράγμα το οποίο της παρέχει ένα σημαντικό πλεονέκτημα κριός για τα κριμα μονοταία συστημάτων υψηλής απόδοσης.

Τα κυκλώματα που χρησιμοποιούν τρανζίστορ περσάρματος χρησιμοποιούν εισόδους οι οποίες οδηγούν τις εισόδους διάχυσης και τις πύλες των τρανζίστορ. Έχουν εξερευνηθεί πολλές κυκλωματικές τεχνικές με τρανζίστορ περσάρματος και τελικά αποδείχθηκε ότι η λογική συμπληρωματικών τρανζίστορ περσάρματος είναι η πλέον αποτελεσματική. Αυτή η τεχνική των δύο γραμμών χρησιμοποιεί δίκτυα nMOS τρανζίστορ για τον υπολογισμό των true και συμπληρωματικών λογικών συναρτήσεων. Τα nMOS τρανζίστορ οδηγούν μόνο έως V_{DD}/V_{th} , οπότε χρειάζονται διαστατωμένα pMOS τρανζίστορ για να οδηγήσουν την έξοδο σε πλήρη λογική στάθμη. Ορισμένοι σχεδιαστές διαπιστώνουν ότι τα κυκλώματα που αποτελούνται από τρανζίστορ περσάρματος είναι ταχύτερα και με μικρότερες απαιτήσεις επιφάνειας για λειτουργίες όπως XOR, πλήρεις αφροιστές και πολλαπλές, των οποίων η υλοποίηση με στατική CMOS λογική δεν είναι ιδιαίτερα αποτελεσματική. Λόγω της πτώσης τάσης κατωφλίου, τα κυκλώματα αυτά δεν κλιμακώνονται εύκολα καθώς μειώνεται ο λόγος V_{DD}/V_{th} .

Ασκήσεις

9.1 Σχεδιάστε μια γρήγορη πύλη OR 6 εισόδων σε κάθε μία από τις ακόλουθες οικογένειες κυκλωμάτων: NAND2, κ.α.). Σε κάθε πύλη, αναφέρετε το πλάτος των pMOS και nMOS τρανζίστορ. Κάθε είσοδος μπορεί να οδηγήσει το μέγιστο 30 λ συνολικού πλάτους τρανζίστορ. Η έξοδος θα πρέπει να οδηγεί μια αντιστροφή 60/30 (δηλαδή, έναν αντιστροφή με pMOS πλάτους 60 λ και nMOS πλάτους 30 λ). Χρησιμοποιήστε τη μέθοδο του λογικού φόρτου για να επιλέξετε την τοπολογία και το μέγεθος με γνώμονα τη χαμηλότερη μέση καθυστέρηση. Εκτιμήστε πόση είναι αυτή η καθυστέρηση χρησιμοποιώντας τη μέθοδο του λογικού φόρτου. Κατά την εκτίμηση της παραστατικής χωρητικότητας, συνυπολογίστε μόνο τη χωρητικότητα διάχυσης του κόμβου εξόδου.

- Στατική CMOS.
- Ψευδο-nMOS.

iii. Domino (μια δυναμική πύλη με πόδι, ακολουθούμενη από έναν αντιστροφή γ -απόκλισης) βελτιστοποιήστε την καθυστέρηση μόνο από ανερχόμενη είσοδο σε ανερχόμενη έξοδο.

9.2 Προσομοίωσε κάθε πύλη που σχεδιάσατε στην Άσκηση 9.1. Βρείτε τη μέση καθυστέρηση (ή καθυστέρηση για ανερχόμενη ακμή στη σχεδίαση domino). Ο λογικός φόρτος είναι μόνο μια προσεγγιστική εκτίμηση. Προσμοίωσε τα μεγέθη των τρανζίστορ για τη βελτιστοποίηση της καθυστέρησης. Πόσο μπορεί να βελτιωθεί;

9.3 Σχεδιάστε το σχηματικό για μια πύλη OR 12 εισόδων, κατασκευασμένη από πύλες NAND και NOR, έκαστη εκ των οποίων έχει έως 3 εισόδους.

9.4 Σχεδιάστε ένα στατικό κυκλώμα CMOS για τον υπολογισμό της συνάρτησης $F = (A+B)(C+D)$ με την ελάχιστη δυνατή καθυστέρηση. Κάθε είσοδος μπορεί να παρουσιάζει το μέγιστο 30 λ πλάτους τρανζίστορ. Η έξοδος πρέπει να οδηγεί ένα φορτίο ισοδύναμο με 500 λ πλάτους τρανζίστορ. Επιλέξτε κατάλληλα μεγέθη για τα τρανζίστορ, ώστε να επιτύχετε την ελάχιστη δυνατή καθυστέρηση και υπολογίστε την βάζει t .

9.5 Το Σχήμα 9.76 παρουσιάζει δύο εν σειρά τρανζίστορ, τα οποία μοντελοποιούν το δίκτυο οδήγησης κάτω μιας πύλης NAND 2 εισόδων.

α) Σχεδιάστε τη γραμμική παράσταση $L=4$ χρησιμοποιώντας ιδανικά (μεγάλο μήκος καναλιού) μοντέλα τρανζίστορ, για $0.5 \leq A \leq 1$, $\beta = \gamma = 1$, $V_{th} = 1$, $V_{DD} = 1$. Στους ίδιους άξονες, αναπαραστήστε το I συναρτήσει του B για $0.5 \leq B \leq 1$, $A = 1$. Υπόδειξη: θα πρέπει να επιλύσετε για x : αυτό μπορεί να γίνει αριθμητικά.

β) Βασίζομενοι στα αποτελέσματα του βήματος (α), εξηγήστε γιατί η εσωτερική είσοδος μιας πύλης NAND 2 εισόδων έχει ελαφρώς μεγαλύτερο λογικό φόρτο από την εξωτερική είσοδο.

9.6 Πόσος είναι ο λογικός φόρτος μιας πύλης OR-AND-INVERT σε κάθε έναν από τους ακροδέκτες της OR και της AND; Ποσο είναι η παραστατική καθυστέρηση, εάν συνυπολογίσετε μόνο τη χωρητικότητα διάχυσης της εξόδου;

9.7 Προσομοίωσε μια πύλη NOR 3 εισόδων στην τεχνολογία κατασκευής που έχετε στη διάθεσή σας. Βρείτε το λογικό φόρτο και την παραστατική χωρητικότητα από κάθε είσοδο.

9.8 Βάσει του φύλλου δεδομένων του Σχήματος 4.25, βρείτε το λογικό φόρτο ανόδου & καθόδου, καθώς και την παραστατική χωρητικότητα για μια 2 εισόδων πύλη NAND X_1 , από την είσοδο A .

9.9 Επαναλάβετε την Άσκηση 9.8 για την είσοδο B . Εξηγήστε γιατί τα αποτελέσματα είναι διαφορετικά για κάθε είσοδο.

9.10 Σχεδιάστε 3 εισόδων πύλες NAND και NOR με γ - και χ -απόκλιση. Πόσος είναι ο λογικός φόρτος κάθε πύλης κατά την κριση μεταβίβαση;

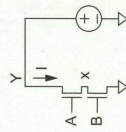
9.11 Διατυπώστε έναν τύπο για τον υπολογισμό των g_{av} , g_{ol} και g_{avg} για μια k εισόδων πύλη NAND με γ - και χ -απόκλιση με συντελεστή απόκλισης $s < 1$ (δηλαδή, το μη-κρίσιμο τρανζίστορ είναι s -πλάσιο από το κανονικό μέγεθος), ως συνάρτηση των s και k .

9.12 Σχεδιάστε μια ασύμμετρη πύλη NOR 3 εισόδων, η οποία θα ευνοεί μια κριση είσοδο εις βάρος των άλλων δύο. Επιλέξτε τα μεγέθη των τρανζίστορ έτσι ώστε ο λογικός φόρτος στην κριση είσοδο να είναι 1.5. Πόσος είναι ο λογικός φόρτος των μη-κρίσιμων εισόδων;

9.13 Αποδείξτε ότι ο λόγος P/N που δίνει την ελάχιστη μέση καθυστέρηση μονοστατικό σε μια λογική πύλη ισούται με τον τετραγωνικό ρίζα του λόγου που δίνει ίσες καθυστερήσεις ανόδου & καθόδου.

9.14 Έστω ότι $\rho(g,p)$ είναι ο βέλτιστος φόρτος σταδίου ενός μονοστατικού, εάν ο σχεδιαστής έχει τη δυνατότητα να προσφέρει απομονωτές με παραστατική καθυστέρηση p και λογικό φόρτο g . Για παράδειγμα, στην Ενότητα 4.3.3 είδαμε ότι $\rho(1,1) = 3.59$. Είναι εύκολο να σχεδιαστεί ένα πρόγραμμα των $\rho(1,p)$ επιπλοκών αρθρική την Εξ. (4.19) - αυτή δίνει το βέλτιστο φόρτο σταδίου των στατικών κυκλωμάτων CMOS στα οποία ο αντιστροφής έχει παραστατική χωρητικότητα p . Αποδείξτε το ακόλοδο αποτέλεσμα, τον οποίο είναι χρήσιμο για τον καθορισμό του βέλτιστου φόρτου σταδίου κυκλωμάτων domino, των οποίων οι χρησιμοποιούμενοι χαμηλότερο λογικό φόρτο:

$$\rho(g, p) = g\rho(1, \frac{p}{g})$$



ΣΧΗΜΑ 9.66 Το ρεύμα που διέρχεται από εν σειρά τρανζίστορ.

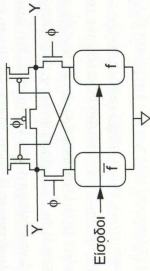
- 9.15 Προσομοιώστε έναν αντιστροφέα με βαθμό οδηγήγησης εξόδου 4. Χρησιμοποιήστε nMOS-τρανζίστορ μοναδιαίο μέγεθος. Πόσο πρέπει να είναι το πλάτος του pMOS-τρανζίστορ ώστε να επιτευχθεί ίση καθυστέρηση ανόδου και καθόδου; Πόση είναι αυτή η καθυστέρηση; Πόσο μικρότερη είναι η μέση καθυστέρηση;
- 9.16 Πολλές βελτιώσεις τυποποιημένων κυττάρων επιδέχονται το λόγο P/N για έναν αντιστροφέα κάτω ανάμεσα σ' αυτόν που μπορεί να δοθεί στη καθυστέρηση ανόδου και καθόδου και σ' αυτόν που δίνει ελάχιστη μέση καθυστέρηση. Για ποιο λόγο γίνεται αυτό;
- 9.17 Μια στατική CMOS πύλη NOR χρησιμοποιεί 4 τρανζίστορ, ενώ μια ψευδο-nMOS πύλη NOR χρησιμοποιεί μόνο 3. Δυστυχώς, το περιθώριο μεταβολής του σήματος στην έξοδο της ψευδο-nMOS δεν εκτείνεται από γραμμή σε γραμμή (rail to rail). Εάν είναι διαθέσιμες τόσο οι εισόδους όσο και τα συμπληρώματά τους, είναι δυνατό να κατασκευαστεί μια πύλη NOR με 3 τρανζίστορ, με περιθώριο μεταβολής σήματος από γραμμή σε γραμμή, χωρίς να χρησιμοποιηθούν δυναμικοί κόμβοι. Δείξτε πως μπορεί να γίνει αυτό. Αναφέρετε τα πιθανά μειονεκτήματά αυτού του κυκλώματος.
- 9.18 Σχεδιάστε ψευδο-nMOS πύλες NAND και NOR 3 εισόδων. Στο σχέδιο, επισημάνετε τα μήκη των τρανζίστορ. Πόσος είναι ο λογικός φόρτος ανόδου/καθόδου και μέσης τιμής για κάθε πύλη;
- 9.19 Σχεδιάστε μια ψευδο-nMOS πύλη, η οποία θα υλοποιεί την ακόλουθη συνάρτηση

$$F = A(B + C + D) + E \cdot F \cdot G$$

- 9.20 Σχεδιάστε μια πύλη AND 8 εισόδων με ηλεκτρικό φόρτο 6, χρησιμοποιώντας λογική ψευδο-nMOS. Εάν η παραστατική καθυστέρηση μιας n -εισόδων ψευδο-nMOS πύλης NOR είναι $(4n+2)/9$, πόση είναι η καθυστέρηση μονοστατικής;
- 9.21 Προσομοιώστε έναν αντιστροφέα τεχνολογίας ψευδο-nMOS, στον οποίο το pMOS-τρανζίστορ έχει μπό από το πλάτος του nMOS-τρανζίστορ. Πόσος είναι ο λογικός φόρτος ανόδου, καθόδου και μέσης τιμής; Πόσο είναι το περιθώριο V_{oi} ;
- 9.22 Επαναλάβετε την Άσκηση 9.21 για τις συνθήκες που ορίζουν οι κατασκευαστικές γωνίες FS και SF.
- 9.23 Σχεδιάστε μια συμμετρική πύλη NOR 3 εισόδων. Επιλέξτε τα μεγέθη των αντιστροφέων έτσι ώστε το δίκτυο οδηγήγησης «κίτρω» να είναι τέσσερις φορές ισχυρότερο από το δίκτυο οδηγήγησης «πύλω» σε συνθήκες χειρίστης περίπτωσης. Τυλοφορήστε τα τρανζίστορ με τα μήκη τους. Υπολογίστε εκτιμήσεις του λογικού φόρτου ανόδου, καθόδου και μέσου όρου. Πώς συγκρίνονται οι εκτιμήσεις σας με αυτές για μια στατική CMOS πύλη NOR 3 εισόδων;
- 9.24 Σχεδιάστε μια συμμετρική πύλη NAND 2 εισόδων. Επιλέξτε τα μεγέθη των αντιστροφέων έτσι ώστε το δίκτυο οδηγήγησης «κίτρω» να είναι τέσσερις φορές ισχυρότερο από το δίκτυο οδηγήγησης «πύλω» σε συνθήκες χειρίστης περίπτωσης. Τυλοφορήστε τα τρανζίστορ με τα μήκη τους. Υπολογίστε εκτιμήσεις του λογικού φόρτου ανόδου, καθόδου και μέσου όρου. Πώς συγκρίνονται οι εκτιμήσεις σας με αυτές για μια στατική CMOS πύλη NAND 2 εισόδων;
- 9.25 Συγκρίνετε τη μέση καθυστέρηση μιας ψευδο-nMOS πύλης NOR 2, 4, 8, 16 εισόδων με αυτή μιας αντιστοιχής πύλης από την οικογένεια SPFL, όταν οδηγούν 4 πανομοιότυπες πύλες.
- 9.26 Σχεδιάστε μια CVSL πύλη OR/NOR 3 εισόδων.
- 9.27 Σχεδιάστε δυναμικές, 3-εισόδων πύλες NAND και NOR, με ποδι και χωρίς ποδι. Καταγράψτε τα μήκη των τρανζίστορ στο σχέδιο. Πόσος είναι ο λογικός φόρτος κάθε πύλης;
- 9.28 Σχεδιάστε μια 3-εισόδων πύλη OR/NOR. Λογικός domino διαπλής γραμμής.
- 9.29 Σχεδιάστε μια 3-εισόδων πύλη πλετομηρίας/μειομηρίας, λογικής domino διαπλής γραμμής. Μια τέτοια πύλη χρησιμοποιείται συχνά σε κύτταρα πλήρους αθροιστών domino. Θυμηθείτε ότι η λειτουργία πλετομηρίας είναι true μόνο όταν περισσότερες από τις μισές εισόδους είναι true.

- 9.30 Συγκρίνετε έναν τυποποιημένο διατηρητή μ' ένα ανεκτικό στο θόρυβο στοιχείο προφύλαξης. Τα μεγαλύτερα pMOS-τρανζίστορ οδηγούν σε μεγαλύτερη V_{th} (και άρα καλύτερα περιθώρια θορύβου), αλλά και μεγαλύτερη καθυστέρηση. Προσομοιώστε μια 2-εισόδων πύλη NAND με ποδι και σχεδιάστε τη γραφική παράσταση του V_{th} συναρτήσει της καθυστέρησης για διάφορα μεγέθη διατηρητών και ανεκτικών στο θόρυβο τρανζίστορ προφύλαξης.
- 9.31 Σχεδιάστε μια 4-εισόδων δυναμική πύλη NAND με ποδι, η οποία οδηγεί ηλεκτρικό φόρτο 1. Υπολογίστε μια εκτίμηση για τη χειρίστη περίπτωση θορύβου διευροισμοθό φορτίου ως ποσοστό της V_{DD} , υποθέτοντας ότι η χωρητικότητα διάχυσης σε κόμβους χωρίς επαφή είναι περίπου μισή από τη χωρητικότητα πύλης, ενώ οι κόμβοι με επαφή ισοστα με τη χωρητικότητα πύλης.
- 9.32 Επαναλάβετε την Άσκηση 9.31 για να κατασκευάσετε τη γραφική παράσταση του θορύβου διευροισμοθό φορτίου συναρτήσει του ηλεκτρικού φόρτου για $n=0,1,2,4$ και 8.
- 9.33 Επαναλάβετε την Άσκηση 9.31, αλλά υποθέτοντας ότι έχει προστεθεί ένα μικρό δευτερεύον τρανζίστορ προφύλαξης σ' έναν από τους εξωτερικούς κόμβους.
- 9.34 Προσομοιώστε τα κυκλώματα της Άσκησης 9.31. Εξηγήστε πιθανές ανωμαλίες.
- 9.35 Σχεδιάστε ένα κύκλωμα domino λογικής, το οποίο θα υλοποιήσει τη συνάρτηση $F=(A+B)(C+D)$ με τη μέγιστη δυνατή ταχύτητα. Κάθε εισόδος μπορεί να περιοριστεί το πολύ 300 λ πλάτους τρανζίστορ. Η έξοδος θα πρέπει να οδηγεί φορτίο ισοδύναμο με 500 λ πλάτους τρανζίστορ. Επιλέξτε κατάλληλα μεγέθη τρανζίστορ για να επιτύχετε την ελάχιστη καθυστέρηση και εκφράστε την βάση F .
- 9.36 Επαναγεδιάστε τον αποκοδικοποιητή μνήμης της Ενότητας 4.3.4, χρησιμοποιώντας λογική domino με ποδι. Μπορείτε να υποθέσετε ότι έχει διαθέσιμη και την αληθιά και τη συμπληρωματική μονοτονική είσοδο, κάθε μια εκ των οποίων μπορεί να οδηγήσει 5 μοναδιαία τρανζίστορ. Αναφέρετε τα μεγέθη των πύλων και εκτιμήστε την καθυστέρηση.
- 9.37 Σχεδιάστε ένα κύκλωμα AND 8 εισόδων με λογική NP domino.
- 9.38 Σχεδιάστε έναν πολυπλέκτη 4:1. Σας δίνονται τέσσερα σήματα δεδομένων, D_0, D_1, D_2 και D_3 , και δύο σήματα επιλογής, S_0 και S_1 . Πόσα τρανζίστορ απαιτεί κάθε μια από τις ακόλουθες σχεδιάσεις;
- 9.39 Σχεδιάστε τη συνάρτηση XOR 3 εισόδων χρησιμοποιώντας τις ακόλουθες κοκλωματικές τεχνικές:
- Στατική CMOS
 - Ψευδο-nMOS
 - Domino διαπλής γραμμής
 - CPL
 - EEPL
 - DCVSFG
 - SPRL
 - PPL
 - DPL
 - LEAP
- 9.40 Επαναλάβετε την Άσκηση 9.39 για μια πύλη NAND 2 εισόδων
- 9.41 Σχεδιάστε πύλες ενισχυτή αίσθησης για τον υπολογισμό της συνάρτησης XOR 8 εισόδων σε μια και μόνο πύλη, χρησιμοποιώντας τις ακόλουθες οικογένειες κυκλωμάτων: SSDL, ECDL, LCDL, DCSL1, DCSL2, DCSL3. Κάθε true ή συμπληρωματική είσοδος δεν μπορεί να οδηγεί περισσότερο από 24 λ πλάτους τρανζίστορ. Κάθε έξοδος πρέπει να οδηγεί έναν αντιστροφέα 32/16 λ . Προσομοιώστε κάθε κύκλωμα για να καθορίσετε το χρόνο ενεργοποίησης/αποκατάστασης (setup) και την καθυστέρηση από το ρολόι στην έξοδο.

9.42 Το Σχήμα 9.69 παρουσιάζει μια πύλη διαφορικής δομής διακοπόμενης εξόδου (Switched Output Differential Structure, SODS). Εξηγήστε πώς λειτουργεί η πύλη και σχεδιάστε τις κυματομορφές της πύλης όταν λειτουργεί ως αντιστροφής/ απομονωτής. Σχολιάστε τα πλεονεκτήματα και μειονεκτήματα της συγκεκριμένης λογικής οικογένειας.



ΣΧΗΜΑ 9.69 SODS.

9.43 Επιλέξτε οποιαδήποτε από τις λογικές οικογένειες (εκτός της SODS, Άσκηση 9.42) που αναφέραμε στην Ενότητα 9.4.4 ή έχει δημοσιευθεί σε κάποια πρόσφατη εργασία. Βασίζομενοι στην κρίση σας, αξιολογήστε την εργασία στην οποία αρχικά προτάθηκε το συγκεκριμένο κύκλωμα. Σχεδιάστε έναν αντιστροφέα ή έναν απομονωτή και εξηγήστε πώς λειτουργεί, χρησιμοποιώντας τις κατάλληλες κυματομορφές. Ποια είναι τα ισχυρά σημεία της συγκεκριμένης οικογένειας; Εάν ήρσαν υπεύθυνοι για την επιλογή του στυλ σχεδίασης για να μεγάλο ολοκληρωμένο, ποια ζητήματα θα σας απασχολούσαν περισσότερο αναφορικά με τη συγκεκριμένη οικογένεια;

9.44 Βασίζομενοι στο ιδανικό (μεγάλο μήκος καναλιού) μοντέλο, διατυπώστε μια έκφραση για τον υπολογισμό της V_{out} του ψευδο-nMOS αντιστροφέα που απεικονίζεται στο Σχήμα 9.13, θεωρώντας ότι $V_{in} = V_{DD}$. Η V_{out} θα πρέπει να δίνεται ως συνάρτηση των τάσεων κατωφλίου και των τιμών β των δύο τρανζίστορ. Υποθέστε ότι $V_{out} < |V_{\phi}|$.

Σχεδίαση Ακολουθιακών Κυκλωμάτων

10.1 Εισαγωγή

Στο Κεφάλαιο 9 μελέτησαμε τα συνδυαστικά (combinational) κυκλώματα, στα οποία η εξόδος είναι συνάρτηση των τρεχουσών εισόδων. Στο παρόν κεφάλαιο θα μελετήσουμε τα ακολουθιακά (sequential) κυκλώματα, στα οποία η εξόδος εξαρτάται τόσο από τις τρέχουσες όσο και από τις προηγούμενες εισόδους· αυτά τα κυκλώματα λέγονται ότι έχουν *καταστάσεις* (states). Οι μηχανές πεπερασμένων καταστάσεων (finite state machines) και οι δομές με διαδοχική διαχείυση (pipeline) είναι δύο χαρακτηριστικά παραδείγματα ακολουθιακών κυκλωμάτων.

Τα ακολουθιακά κυκλώματα σχεδιάζονται συνήθως με flip-flop ή μανδαλωτές, τα οποία σε ορισμένες περιπτώσεις αποκαλούνται *στοιχεία μνήμης* διότι κατακρατούν (διατηρούν) δεδομένα – τα αποκαλούμενα *σύμβολα* (tokens). Ο σκοπός αυτών των στοιχείων δεν είναι να λειτουργούν ως πραγματικές μνήμες (δηλ. να αποθηκεύουν σύμβολα), αλλά να επιβάλουν μια ακολουθία (sequence), μέσω της οποίας επηρεάζονται η διαφοροποίηση του *πρόσθιου* συμβόλου από το *προηγούμενο* ή το *επόμενο* σύμβολο. Για το λόγο αυτό αποκαλούνται *ακολουθιακά στοιχεία* (sequencing elements) [Harris01a]. Εάν δεν υπήρχαν ακολουθιακά στοιχεία *σ' ένα κύκλωμα*, το επόμενο σύμβολο θα μπορούσε, κατά τη διάρκεια της επεξεργασίας, να προλάβει το *πρόσθιο* σύμβολο, με αποτέλεσμα να αλλοιωθούν και τα δύο. Τα ακολουθιακά στοιχεία καθυστερούν τα σύμβολα που καταφθάνουν πολύ νωρίς, εμποδίζοντας τα να αλλοιωθούν τα προηγούμενα σύμβολα. Δυστυχώς, όμως, προσθέτουν κάποια αναπόφευκτη καθυστέρηση στα σύμβολα, ορισμένα εκ των οποίων μπορεί είναι κρίσιμα, μειώνοντας έτσι την απόδοση του συστήματος. Αυτή η επιπρόσθετη καθυστέρηση αποκαλείται *ακολουθιακή επιβάρυνση* (sequencing overhead).

Σ' αυτό το κεφάλαιο θα εξετάσουμε τη δημιουργία ακολουθιακών δομών τόσο σε δυναμικά όσο και σε στατικά κυκλώματα. Ως στατικά χαρακτηρίζονται τα κυκλώματα με πόλεις που δεν έχουν είσοδο ρολογιού, όπως π.χ. κυκλώματα συμπληρωματικής λογικής CMOS, ψευδο-nMOS, ή λογικής με τρανζίστορ παράσιτου. Ως δυναμικά χαρακτηρίζονται τα κυκλώματα με πόλεις που έχουν είσοδο ρολογιού, ιδιαίτερα δε αυτά που υλοποιούν λογική διαδοχικής επίδρασης (domino). Ένα ακολουθιακό στοιχείο με *στατική αποθήκευση* χρησιμοποιεί κάποιο είδος ανάδρασης για να διατηρεί την τιμή εξόδου του επί *άπειρον*. Ένα στοιχείο με *δυναμική αποθήκευση* διατηρεί συνήθως την τιμή του σαν φορτίο *σ' έναν* πυκνωτή, το οποίο, εάν δεν αναγεωθεί για μεγάλο χρονικό διάστημα, θα διαρρέσει και θα χαθεί. Η επιλογή μεταξύ στατικών ή δυναμικών πύλων και ακολουθιακών στοιχείων μπορεί να γίνεται ανεξάρτητα.

Οι Ενότητες 10.2 έως 10.4 εξετάζουν ακολουθιακά στοιχεία για στατικά κυκλώματα, δίνοντας ιδιαίτερη έμφαση στα flip-flop, τους μανδαλωτές 2 φάσεων και τους παλμικούς μανδαλωτές. Η Ενότητα 10.5 αναλύει διάφορους τρόπους υλοποίησης δυναμικών ακολουθιακών κυκλωμάτων. Κατά κανόνα, χρησιμοποιείται ένα περιφερικό ρολόι για να υποδεικνύει το χρονικό μιας ακολουθίας. Η Ενότητα 10.6 περιγράφει πώς μπορούν να συγχρονίζονται με το ρολόι τα εξωτερικά σήματα και αναλύει τους κινδύνους που ενέχουν οι στοιχεία συγχρονισμού. Στην Ενότητα 10.7 περιγράφεται η τεχνική *wave pipelining* (διαδοχική διαχείυση σε μορφή "κομμάτων"). Η δημιουργία και διανομή του ρολογιού περιγράφεται στην Ενότητα 13.4.

Η επιλογή της στρατηγικής υλοποίησης ακολουθιακών δομών είναι άρρηκτα συνδεδεμένη με τη σχεδιαστική ροή που χρησιμοποιείται *σ' έναν* οργανισμό. Είναι, λοιπόν, σημαντικό πριν αρχίσει κανείς να προχωρά προς μια συγκεκριμένη σχεδιαστική κατεύθυνση να διασφαλίσει ότι όλες οι φάσεις –σύνολημη και αποτύπωση της σχεδίασης, σύνθεση και επαλήθευση– μπορούν να ολοκληρωθούν. Για το σκοπό αυτό απαιτείται να φροντιστούν ζητήματα όπως οι βιβλιοθήκες κορτάριον που θα χρησιμοποιηθούν (είναι