

5.1 Εισαγωγή

Στη Γη, με μοναδική εξάρτηση τις πηγές μηχανικής ενέργειας, όλη η ενέργεια προέρχεται από τον ήλιο. Ουσιαστικά, η Γη είναι μια τεράστια μπαταρία, η οποία φορτίζεται εδώ και δισεκατομμύρια χρόνια μέσω της ενέργειας που λαμβάνει από τον ήλιο, με τη μορφή της ανάπτυξης των φυτών, τα οποία με τη σειρά τους μετατρέπονται σε άνθρακα και κατόπιν σε πετρέλαιο, φυσικό αέριο, γαιάνθρακα και άλλα ορυκτά καύσιμα. Επιπρόσθετα, σήμερα μπορούμε να συλλέγουμε ενέργεια απευθείας από τον ήλιο, ή έμμεσα από τον άνεμο, τη θάλασσα, τη βροχόπτωση, καθώς και από τα έγκρατα της Γης. Η ενέργεια μετασχηματίζεται σε διάφορες μορφές: Το ηλεκτρικό φορτίο μετατρέπεται σε ανάπληξη των φώτων· τα φώτα σε άνθρακα· ο άνθρακας σε θερμότητα· η θερμότητα σε ηλεκτρισμό· ο ηλεκτρισμός σε χημική ενέργεια (φόρτιση μπαταριών), η χημική ενέργεια σε ηλεκτρισμό (εκφόρτιση μπαταριών)· ο ηλεκτρισμός σε ήχο (π.χ. αναπαραγωγή MP3) και ο ήχος σε κίνηση. Σ' αυτή την τελευταία μορφή μετατροπής, ένα μέρος της ενέργειας μετασχηματίζεται και ούτω καθεξής. Σ' αυτό το υπόλοιπο μετατρέπεται σε θερμότητα καθώς αποικοδομείται και σε ήχο και διαχέεται στο σύμπαν. Το υπόλοιπο μετατρέπεται σε θερμότητα καθώς αποικοδομείται και αναπαράγεται η μουσική. Και αυτό επίσης διαχέεται στο σύμπαν (πιθανώς ζεσταίνοντας λίγο τα χέρια μας τις κρύες νύχτες). Οι μετασχηματισμοί της ενέργειας γίνονται τόσο αφανώς και είναι τόσο συνυφασμένοι με την καθημερινή μας ζωή, που συνήθως δεν έχουμε καν επίγνωση τους. Τις περισσότερες φορές λαμβάνουν χώρα αθόρυβα και περνούν απαρατήρητοι.

Σήμερα, το ενδιαφέρον της ανθρωπότητας για την ισχύ εκτείνεται σε πολλούς τομείς. Οι σημερινές φορητές συσκευές τροφοδοτούνται κατά κανόνα από μπαταρίες. Αν και η τεχνολογία των μπαταριών έχει βελτιωθεί αξιοσημείωτα με την πάροδο του χρόνου, παραμένει το γεγονός ότι μια μπαταρία συγκεκριμένου μεγέθους και βάρους έχει συγκεκριμένη χωρητικότητα ενέργειας. Για παράδειγμα, ένα ζεύγος επαγωγισμένων μπαταριών AA έχει χωρητικότητα ενέργειας περίπου 7 W-hr, ενώ μια καλή μπαταρία ιόντων λιθίου για φορητούς υπολογιστές έχει ικανότητα ενέργειας περίπου 80 W-hr/lb. Αναπόφευκτα, σε κάποια στιγμή η ενέργεια κάθε μπαταρίας εξαντλείται και χρειάζεται επαναφόρτιση ή αντικατάσταση. Οι σχεδιαστές προϊόντων αναζητούν τρόπους για την επέκταση της διάρκειας ζωής των μπαταριών, ενώ ταυτόχρονα προσθέτουν δυνατότητες και μειώνουν το μέγεθος τους· αυτό σημαίνει ότι η σχεδίαση ολοκληρωμένων κυκλωμάτων χαμηλής κατανάλωσης ισχύος είναι κρίσιμες σημασίας. Σε εφαρμογές οι οποίες είναι μόνιμα συνδεδεμένες σε μια γρομμιά παροχής, η διαρκής ανάγκη για τη μείωση της εξάρτησης από τα ορυκτά καύσιμα και τη μείωση των εκπομπών αερίων που προκαλούν το φαινόμενο του θερμοκηπίου μας οδηγεί στην αναζήτηση λύσεων χαμηλής κατανάλωσης ισχύος για όλες τις εφαρμογές που απαιτούν ηλεκτρικά στοιχεία. Τα ολοκληρωμένα υψηλής απόδοσης περιφρονούν σε κατανάλωσης των 150 W περίπου, πριν καταστεί αναγκαία η χρήση υψηλής ψύξης, ή άλλων ακριβών μηχανισμών απαγωγής θερμότητας και servers) στις ΗΠΑ ανήλθε στα 61 δισεκατομμύρια kWh [EPA07]. Το νοήμο αυτό αντιπροσωπεύει την παραγωγή 15 εκκαταστάσεων παραγωγής ενέργειας, με κόστος περίπου 4,5 δισεκατομμύρια δολάρια, και ανέρχεται στο 1,5% της συνολικής κατανάλωσης ενέργειας στις ΗΠΑ – η περισσότερη από αυτή κατανάλωνται από τους ηλεκτρικούς δέκτες της χώρας. Ενώ στο παρελθόν η λειτουργικότητα των ολοκληρωμένων περιφρονούν από την επιφάνεια, σήμερα, πολλοί περιορισμοί έχουν να κάνουν με την κατανάλωση ισχύος. Η σχεδίαση συστημάτων υψηλών επιδόσεων είναι πλέον ταυτισμένη με τη σχεδίαση αποτελεσματικών, ως προς την κατανάλωση ενέργειας, συστημάτων.

Σ' αυτό το κεφάλαιο θα εξετάσουμε τη βασική θεωρία που διέπει τις διάφορες πηγές κατανάλωσης ισχύος σ' ένα ολοκληρωμένο CMOS. Στη συνέχεια θα μελετήσουμε μεθόδους υπολογισμού και ελεχ-

στοιχείοις αυτών των πηγών. Τέλος, θα εξετάσουμε ορισμένες αρχιτεκτονικές για την επίτευξη χαμηλής καταπόνησης ισχύος.

Αν και εδώ θα επικεντρωθούμε κυρίως στις μεθόδους που έχει στη διάθεσή του ένας σχεδιαστής ολοκληρωμένων για τη μείωση της ισχύος, θα πρέπει να θυμάστε ότι είναι τα επίπεδα εφαρμογής και αρχιτεκτονικής αυτά στα οποία μπορούν να λαμβάνονται οι σημαντικότερες αποφάσεις που αφορούν την κατάβαση ισχύος. Με απλά λόγια, όσο λιγότερο χρόνο είναι ενεργό ένα κύκλωμα, τόσο λιγότερη ισχύ θα καταναλώνει. Πρόκειται για μια απλή αρχή, η οποία όμως καθοδηγεί όλες τις προσπάθειες που γίνονται για την ανάπτυξη ολοκληρωμένων υπερ-χαμηλής καταπόνησης ισχύος. Με άλλα λόγια, θα πρέπει να βελτιστοποιήσουμε την καταπόνηση ισχύος υιοθετώντας προσεγγίσεις «από πάνω προς τα κάτω» - ξεκινώντας από τον ορισμό του προβλήματος και κινούμενοι προς τα κάτω. Οι απόπειρες βελτιστοποίησης που υιοθετούν την αντίστροφη προσέγγιση, δηλαδή από το επίπεδο του κυκλώματος προς τα επάνω, είναι καταδικασμένες σε αποτυχία.

5.1.1 Ορισμοί

Στα παραπάνω αναφέραμε ήδη κάποιους όρους που σχετίζονται με την ισχύ και την ενέργεια. Στο σημείο αυτό, θα ήπταν διαφορετικό να αναφερόμαστε προς στιγμήν στα βασικά και να εξετάσουμε τι ακριβώς εννοούμε μ' αυτούς τους όρους και γιατί θα πρέπει να μας ενδιαφέρουν.

Η *στιγμιαία ισχύς* $P(t)$ που καταναλώνεται ή παρέχεται από ένα κυκλωματικό στοιχείο είναι το γινόμενο του ρεύματος που διαρρέει το στοιχείο και της τάσης στα άκρα του

$$P(t) = I(t)V(t) \tag{5.1}$$

Η *ενέργεια* που καταναλώνεται ή παρέχεται για κάποιο χρονικό διάστημα T είναι το ολοκλήρωμα της στιγμιαίας ισχύος

$$E = \int_0^T P(t) dt \tag{5.2}$$

Η *μέση ισχύς* γι' αυτό το χρονικό διάστημα είναι

$$P_{avg} = \frac{E}{T} = \frac{1}{T} \int_0^T P(t) dt \tag{5.3}$$

Η ισχύς εκφράζεται σε μονάδες Watt (W). Η ενέργεια στα κυκλώματα εκφράζεται συνήθως σε Joule (J), με $1 \text{ W} = 1 \text{ J/s}$. Η ενέργεια των μπαταριών δίνεται συχνά σε W-hr, όπου $1 \text{ W-hr} = (1 \text{ J/s})(3600 \text{ s/hr}) = 3600 \text{ J}$.

5.1.2 Παραδείγματα

Το Σχήμα 5.1 παρουσιάζει μια αντίσταση. Η τάση και το ρεύμα που τη διαρρέει σχετίζονται βάσει του νόμου του Ohm, $V = IR$, οπότε η στιγμιαία ισχύς που καταναλώνεται στην αντίσταση είναι

$$P_R(t) = \frac{V^2(t)}{R} = I^2(t)R \tag{5.4}$$

Αυτή η ισχύς μετατρέπεται από ηλεκτρισμό σε θερμότητα.

Το Σχήμα 5.2 παρουσιάζει μια πηγή τάσης V_{DD} . Αυτή παρέχει ισχύ ανάλογη με το ρεύμα της.

$$P_{DD}(t) = I_{DD}(t)V_{DD} \tag{5.5}$$

Το Σχήμα 5.3 παρουσιάζει έναν πυκνωτή. Όταν ο πυκνωτής φορτίζεται από τα 0V σε V_C αποθηκεύει ενέργεια E_C ίση με

$$E_C = \int_0^{\infty} I(t)V(t) dt = \int_0^{\infty} C \frac{dV}{dt} V(t) dt = C \int_0^{V_C} V(t) dV = \frac{1}{2} CV_C^2 \tag{5.6}$$

Ο πυκνωτής απελευθερώνει αυτή την ενέργεια όταν εκφορτίζεται.

Το Σχήμα 5.4 παρουσιάζει έναν αντιστροφή CMOS που οδηγεί ένα χωρητικό φορτίο. Όταν η είσοδος μεταβληθεί από 1 σε 0, το pMOS-τρανζίστορ άγει (ON) και φορτίζει τον πυκνωτή σε τάση V_{DD} . Σχημάτωση με την Εξ. (5.6), η ενέργεια που αποθηκεύεται στον πυκνωτή είναι

$$E_C = \frac{1}{2} C_L V_{DD}^2 \tag{5.7}$$

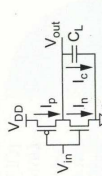
Η ενέργεια που παρέχεται από την τροφοδοσία είναι

$$E_{V_{DD}} = \int_0^{\infty} I(t)V_{DD} dt = \int_0^{\infty} C_L \frac{dV}{dt} V_{DD} dt = CV_{DD}^2 \tag{5.8}$$

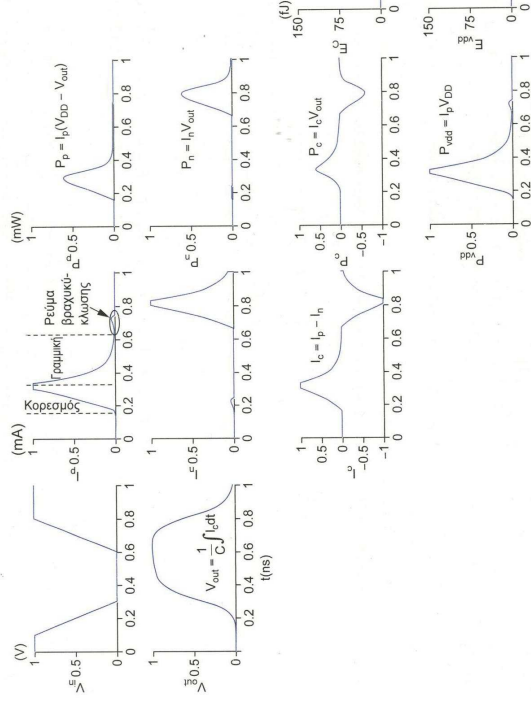
Παρατηρήστε ότι μόνο το μισό της ενέργειας από την τροφοδοσία αποθηκεύεται στον πυκνωτή. Το άλλο μισό καταναλώνεται (μετατρέπεται σε θερμότητα) στο pMOS-τρανζίστορ, επειδή το τρανζίστορ έχει τάση στα άκρα του κατά τη διάρκεια που διαρρέει από ρεύμα. Η ισχύς που καταναλώνεται εξαρτάται μόνο από το χωρητικό φορτίο - όχι από το μέγεθος του τρανζίστορ ή την ταχύτητα με την οποία μεταβάλλεται (αλλάζει κατάσταση) η πύλη. Τα διαγράμματα του Σχήματος 5.5 απεικονίζουν την ενέργεια και την ισχύ της πηγής τροφοδοσίας και του πυκνωτή καθώς μεταβάλλει η πύλη.

Όταν η είσοδος μεταβάλλεται από το 0 πίσω στο 1, το pMOS τρανζίστορ αποκλείεται (OFF) και το nMOS τρανζίστορ άγει (ON), εκφορτίζοντας τον πυκνωτή. Η ενέργεια που αποθηκεύεται στον πυκνωτή καταναλώνεται στο nMOS τρανζίστορ. Δεν αντλείται ενέργεια από την τροφοδοσία κατά τη διάρκεια αυτής της μεταγωγής. Η ίδια ανάλυση ισχύει για οποιοδήποτε στατική πύλη CMOS που οδηγεί ένα χωρητικό φορτίο.

Το Σχήμα 5.5 παρουσιάζει τις κομματογραφίες καθώς ο αντιστροφής οδηγεί έναν πυκνωτή 150 fF στο 1 GHz. Όταν η τάση εισόδου V_{in} αρχίζει να κατέρχεται, το pMOS τρανζίστορ αρχίζει να άγει (ON). Αρχικά είναι κορεσμένο, το ρεύμα I_p αυξάνεται και, τελικά, ισορροπεί στην τιμή I_{sat} καθώς πέφτει η V_{in} . Τελικά, η τάση εξόδου V_{out} ανέρχεται σ' ένα σημείο όπου το pMOS τρανζίστορ μεταβαίνει στην περιοχή γραμμικής λειτουργίας του. Το ρεύμα I_p μειώνεται εκθετικά, όπως θα περιμέναμε κανείς, φορτίζοντας έναν πυκνωτή διαμέσου μιας γραμμικής αντίστασης. Όταν η V_{in} ανεχτείται, το pMOS τρανζίστορ αρχίζει να αποκλείεται



ΣΧΗΜΑ 5.4 Αντιστροφής CMOS.



ΣΧΗΜΑ 5.5 Τάση μεταγωγής, ρεύμα, ισχύς και ενέργεια αντιστροφής.

(OFF). Ωστόσο, υπάρχει μια μικρή ποσότητα ρεύματος κατά τη διάρκεια που το μερικός ON pMOS τρανζίστορ «αντιμάχεται» το nMOS τρανζίστορ. Αυτό αποκαλείται *ρεύμα βραχυκύκλωσης*. Ο αντιστροφός αντλεί ισχύ από την V_{DD} καθώς ανέγεται η V_{out} . Το μισό της ισχύος καταναλώνεται στο pMOS τρανζίστορ και το άλλο μισό παραδίδεται στον πυκνωτή. Η V_{DD} παρέχει συνολικά 150 fJ ενέργειας, εκ των οποίων το μισό αποθηκεύεται στον πυκνωτή. Ο αντιστροφός έχει μέγεθος επολυμενό για ίσους χρόνους ανόδου/καθόδου, οπότε η καθοδική μεταβολή είναι συμμετρική. Η ενέργεια του πυκνωτή διοχετεύεται στη γείωση (GND). Το ρεύμα βραχυκύκλωσης καταναλώνει ένα ελαχιστότατο ποσό 2,7 fJ επιπλέον ενέργειας από την V_{DD} κατά τη διάρκεια αυτής της μεταβολής.

Υποθέστε ότι η πύλη αλλάζει κατάσταση με κάποια μέση συχνότητα μεταγωγής, f_{sw} . Κατά τη διάρκεια ενός ορισμένου χρονικού διαστήματος T , το φορτίο θα φορτιστεί και θα εκφορτιστεί $T_{sw} f_{sw}$ φορές. Οπότε, σύμφωνα με την Εξ. (5.3), η μέση κατανάλωση ισχύος είναι

$$P_{switching} = \frac{E}{T} = \frac{T_{sw} C V_{DD}^2}{T} = C V_{DD}^2 f_{sw} \quad (5.9)$$

Αυτή αποκαλείται *δυναμική ισχύς*, επειδή προκύπτει από την αλλαγή κατάστασης του φορτίου. Δεδομένου ότι οι περισσότερες πύλες δεν αλλάζουν σε κάθε κύκλο ρολογιού, είναι συχνά περισσότερο βολικό να εκφράζουμε τη συχνότητα μεταγωγής f_{sw} ως *παράγοντα δραστηριότητας μεταγωγής* (activity factor) α επί τη συχνότητα ρολογιού, f . Έτσι, η κατανάλωση δυναμικής ισχύος μπορεί να αναδιατυπωθεί ως

$$P_{switching} = \alpha C V_{DD}^2 f \quad (5.10)$$

Ο παράγοντας μεταγωγής αντιπροσωπεύει την πιθανότητα ότι ο κόμβος του κυκλώματος, αλλάζει κατάσταση από 0 σε 1, επειδή αυτή είναι η μόνη στιγμή που το κύκλωμα καταναλώνει ισχύ. Ένα ρολόι έχει παράγοντα μεταγωγής $\alpha = 1$ επειδή ανέγεται και κατέρχεται σε κάθε κύκλο. Τα περισσότερα δεδομένα έχουν μέγιστο παράγοντα μεταγωγής 0,5, επειδή αλλάζουν κατάσταση μόνο μια φορά ανά κύκλο. Οι πραγματικά τυγχείς είσοδοι δεδομένων έχουν παράγοντα μεταγωγής 0,25, επειδή αλλάζουν κατάσταση κάθε δεύτερο κύκλο. Για τις δομές στατικής λογικής CMOS, έχει καθοριστεί εμπειρικά ότι έχουν παράγοντα μεταγωγής πλησιέστερα στο 0,1, επειδή κάποιες πύλες διατηρούν μια κατάσταση εξόδου περισσότερο συχνά από μια άλλη, καθώς και επειδή οι πραγματικές είσοδοι δεδομένων σε κάποια μέρη ενός συστήματος συχνά παραμένουν σταθερές από τον ένα κύκλο στον επόμενο.

5.1.3 Πηγές Κατανάλωσης Ισχύος

Η κατανάλωση ισχύος στα κυκλώματα CMOS προέρχεται από δύο συνιστώσες:

- Δυναμική κατανάλωση ($P_{dynamic}$) λόγω...
 - της φόρτισης και εκφόρτισης των χωρητικών φορτίων καθώς μεταγίνουν οι πύλες ($P_{switching}$)
 - του ρεύματος βραχυκύκλωσης που υφίσταται κατά τη διάρκεια που αμφότεροι οι σοφοί των pMOS και nMOS άγουν μερικός ($P_{short\ circuit}$)
- Στατική κατανάλωση (P_{static}) λόγω...
 - του ρεύματος διαρροής υποκαταφορτίου (I_{sub}) διαμέσου των OFF τρανζίστορ
 - του ρεύματος διαρροής πύλης (I_{gate}) διαμέσου του ηλεκτρικού πύλης
 - του ρεύματος διαρροής εισαφής ($I_{junction}$) από τις περιοχές διάχυσης πηγής/ υποδοχής
 - του ρεύματος διαρροής εισαφής ($I_{contention}$) σε κυκλώματα με λίγο διαστάσεων (ratioed circuits, βλ. Ενότητα 9.2.2)

Βαζοντάς τα όλα μαζί, παίρνουμε τη συνολική ισχύ ενός κυκλώματος

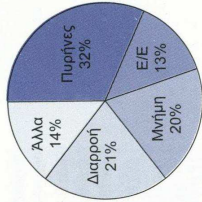
$$P_{dynamic} = P_{switching} + P_{short\ circuit} \quad (5.11)$$

$$P_{static} = (I_{sub} + I_{gate} + I_{junction} + I_{contention}) V_{DD} \quad (5.12)$$

$$P_{total} = P_{dynamic} + P_{static} \quad (5.13)$$

Η ισχύς μπορεί επίσης να αναλυθεί σε συνιστώσες που σχετίζονται με την κατάσταση στην οποία βρίσκεται το κύκλωμα: ενεργή, αναμονή και αδρανεια. Η *ισχύς ενεργής κατάστασης* είναι αυτή που καταναλώνεται κατά τη διάρκεια που το ολοκληρωμένο εκτελεί χρήσιμη εργασία. Συνήθως κυριαρχεί από την $P_{switching}$. Η *ισχύς κατάστασης αναμονής* είναι αυτή που καταναλώνεται κατά τη διάρκεια που το ολοκληρωμένο είναι άεργο. Όταν τα ρολόγια σταματούν και τα κυκλώματα με λίγο διαστάσεων απενεργοποιούνται, η ισχύς κατάστασης αναμονής υπαγορεύεται από τα φαινόμενα διαρροής. Σε κατάσταση αδράνειας, οι τροφοδοσίες προς τα μη-αναγκαία κυκλώματα απενεργοποιούνται, για την εξέλιξη των διαρροών. Αυτό μειώνει δραστηρίως την ισχύ που απαιτείται σε κατάσταση αδράνειας, αλλά το ολοκληρωμένο χρειάζεται χρόνο και ενέργεια για να «αφαινωθεί», οπότε η κατάσταση αδράνειας αποτελεί βιώσιμη επιλογή μόνο εάν το ολοκληρωμένο πρόκειται να παραμείνει άεργο για αρκετό χρόνο.

Ο [Gonzalez96] διαπιστώνει ότι περίπου το ένα τρίτο της ισχύος ενός μικροεπεξεργαστή αναλώνεται στο ρολόι, ένα τρίτο σε μνήμες και το τελευταίο τρίτο στη λογική και τους αγωγούς διασυνδέσεις. Στις ναυπηγικές τεχνολογίες, στέχον το ένα τρίτο της ισχύος αναλώνεται σε διαρροές. Οι υψηλές ταχύτητες μονάδες εισόδου/εξόδου συνεπηρεούν επίσης μια διαρκώς αυξανόμενη συνιστώσα. Το γράφημα του Σχήματος 5.6 αναλύει την ενεργή κατανάλωση ισχύος του 8-πυρήνων επεξεργαστή 84 W Niagara2 της Sun [Nawathe08]. Οι πυρήνες και οι άλλες συνιστώσες αντιπροσωπεύουν συνολικά στην ισχύ που καταναλώνεται για το ρολόι, τη λογική και τους αγωγούς. Στις ενότητες που ακολουθούν θα επιχειρήσουμε να υπολογίσουμε και να ελαχιστοποιήσουμε κάθε μία από αυτές τις συνιστώσες. Είναι διαθέσιμα πολλά εργαλεία για την εκτίμηση της κατανάλωσης ισχύος, αυτά θα εξεταστούν στις Ενότητες 8.5.4 και 14.4.1.6.



ΣΧΗΜΑ 5.6 Κατανάλμη της ισχύος στον Niagara2.

5.2 Δυναμική Ισχύς

Η δυναμική ισχύς αποτελείται κυρίως από την ισχύ που καταναλώνεται κατά τη διάρκεια της μεταγωγής (switching power), όπως δίνεται στην Εξ. (5.10). Η τάση τροφοδοσίας V_{DD} και η συχνότητα, f είναι εξερχής γνώστες στο σχεδιασμό. Για τον υπολογισμό αυτής της ισχύος, θα πρέπει κανείς να εξετάσει κάθε κόμβο του κυκλώματος. Η χωρητικότητα του κόμβου είναι το άθροισμα των χωρητικότητων πύλης, διάχυσης και αγωγών διασυνδέσης στο συγκεκριμένο κόμβο. Ο παράγοντας μεταγωγής μπορεί να υπολογιστεί χρησιμοποιώντας τις τεχνικές που περιγράφονται στην Ενότητα 5.2.1, η να μετρηθεί με προσομοίωση. Η ενεργή χωρητικότητα (effective capacitance) του κόμβου είναι η πραγματική του χωρητικότητα πολλαπλασιασμένη επί χωρητικότητων όλων των κόμβων.

Ο παράγοντας μεταγωγής επιδεικνύει έντονη εξάρτηση από τη συγκεκριμένη εργασία που εκτελείται. Για παράδειγμα, ο επεξεργαστής ενός κινητού τηλεφώνου θα καταναλώνει περισσότερη ισχύ όταν ο χρήστης του παίζει βιντεοπαιχνίδια απ' ό,τι όταν προβάλει το ημερολόγιο. Τα εργαλεία CAD κάνουν εξαιρετικά δουλειά όταν αφορά την εκτίμηση της ισχύος, με δεδομένο ένα ρεαλιστικό φάσμα εργασιών. Η σχεδίαση για χαμηλή κατανάλωση ισχύος απαιτεί την εξεμφύλιση και μείωση κάθε όρου που συνεπηρεεί στην ισχύ μεταγωγής. Δεδομένου ότι η V_{DD} είναι τετραγωνικός (δευτεροβάθμιος) όρος, μια είναι καλή πρακτική είναι να επιλέγεται η ελάχιστη V_{DD} που μπορεί να υποστηρίξει την απαιτούμενη συχνότητα λειτουργίας. Παρόμοια, επιλέγουμε τη χαμηλότερη δυνατή συχνότητα λειτουργίας που επιτυγχάνει την επιθυμητή ολική απόδοση. Ο παράγοντας μεταγωγής μειώνεται κυρίως θέτοντας τα μη-χρησιμοποιούμενα μολύκ σε κατάσταση αδράνειας. Τέλος, το κύκλωμα μπορεί να βελτιστοποιηθεί με στόχο τη μείωση της συνολικής χωρητικότητας φορτίου κάθε βαθμίδας του.

Παράδειγμα 5.1

Ένα ψηφιακό σύστημα-σε-ολοκληρωμένο (system-on-chip), κατασκευασμένο με τεχνολογία 65 nm, 1 V (με σχεδιαστικό μήκος καναλιού 50 nm και $\lambda = 25$ nm) έχει 1 διεκατομμύριο τρανζίστορ, εκ των οποίων τα 50 εκατομμύρια είναι σε λογικές πύλες και τα υπόλοιπα σε διατάξεις μνήμης. Το μέσο πλάτος των τρανζίστορ λογικής είναι 12 λ και το μέσο πλάτος των τρανζίστορ μνήμης είναι 4 λ. Οι διατάξεις μνήμης είναι χωρισμένες σε συστοιχίες (banks) και μόνο η αναγκαία συστοιχία είναι ενεργοποιημένη ανά πάσα στιγμή.

5.2.12 Πιθανότητα μεταγωγής Όπως προαναφέραμε, ο παράγοντας μεταγωγής ενός κόμβου αντιπροσωπεύει την πιθανότητα ενός ο κόμβος να μεταβεί (να αλλάξει κατάσταση) από 0 σε 1. Αυτή η πιθανότητα εξαρτάται από τη λογική συνάρτηση που υλοποιείται. Αναλύοντας την πιθανότητα ότι κάθε κόμβος είναι στο 1, μπορούμε να υπολογίσουμε μια εκτίμηση για τους παράγοντες μεταγωγής. Αν και οι σχέσεις δεν συνήθως να κάνουν χειρόκινητα την εκτίμηση των παράγοντων μεταγωγής, αξίζει να αναφερθούμε με μια τέτοια άσκηση επειδή είναι ιδιαίτερα διαφορετική όσον αφορά τη δραστηριότητα μεταγωγής.

Ορίζουμε ως P_i την πιθανότητα ο κόμβος i να είναι 1. $\bar{P}_i = 1 - P_i$ είναι η πιθανότητα ο κόμβος i να είναι 0. Ο παράγοντας μεταγωγής του κόμβου i , α_i , αντιπροσωπεύει την πιθανότητα ο κόμβος να είναι 0 στον ένα κύκλο και 1 στον επόμενο. Εάν οι τιμές αυτής της πιθανότητας, δεν επηρεάζουν ουσιαστικά από κάποιο κώλο, έχουμε

$$\alpha_i = \bar{P}_i P_i \quad (5.14)$$

Τα εντελώς τυχαία δεδομένα έχουν $P = 0.5$ και άρα $\alpha = 0.25$. Τα δεδομένα δομημένης μορφής μπορεί να έχουν διαφορετικές πιθανότητες. Για παράδειγμα, τα ανώτερα bits ενός μη προσομοιωμένου ακεραίου των 64 bit πιο αναπαιστικά ένα φυσικό μέγεθος, όπως π.χ. την ένταση ενός ήχου ή το υπόλοιπο του τριπλικού σης λογαριασμού, είναι 0 κατά το μεγαλύτερο μέρος του χρόνου. Ο παράγοντας μεταγωγής είναι μικρότερος από 0.25 για τέτοια δεδομένα.

Ο Πίνακας 5.1 παρουσιάζει τις πιθανότητες εξόδου διάφορων πύλων ως συνάρτηση των πιθανοτήτων εισόδου τους, υποθέτοντας ότι οι εισοδοί δεν επηρεάζουν ουσιαστικά. Σύμφωνα με την Εξ. (5.14), ο παράγοντας μεταγωγής της εξόδου είναι $P_o P_i$.

ΠΙΝΑΚΑΣ 5.1 Πιθανότητες Μεταγωγής

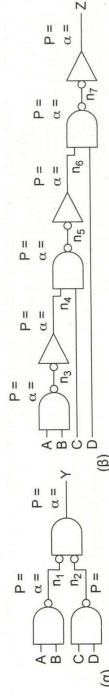
Πύλη	P_o
AND2	$P_A P_B$
AND3	$P_A P_B P_C$
OR2	$1 - \bar{P}_A \bar{P}_B$
NAND2	$1 - P_A P_B$
NOR2	$\bar{P}_A \bar{P}_B$
XOR2	$P_A \bar{P}_B + \bar{P}_A P_B$

Παράδειγμα 5.2

Το Σχήμα 5.8 παρουσιάζει μια πύλη AND 4 εισόδων κατασκευασμένη (α) με χρήση ενός δένδρου και (β) μιας αλυσίδας πύλων. Καθορίστε τους παράγοντες μεταγωγής σε κάθε κόμβο του κυκλώματος, υποθέτοντας ότι οι πιθανότητες εισόδου είναι $P_A = P_B = P_C = P_D = 0.5$.

ΛΥΣΗ: Στο Σχήμα 5.9 απομαρτνται οι πιθανότητες του σήματος και οι παράγοντες μεταγωγής σε κάθε κόμβο, βάσει του Πίνακα 5.1 και της Εξ. (5.14). Η αλυσίδα έχει μικρότερο συντελεστή μεταγωγής σε στους ενδιάμεσους κόμβους.

Σε περιπτώσεις όπου τα μονοπάτια περιλαμβάνουν επανασυγκλίνοσες οδηγούμενες εξόδους (reconvergent fanouts), τα σήματα επηρεάζουν στατιστική συσχέτιση και καθίσταται αναγκαίος ο υπολογισμός δεσμευμένων (conditional) πιθανοτήτων. Τα εργαλεία ανάλυσης ισχύος είναι ο πλέον βολικός τρόπος για το χειρισμό μεγάλων και πολύπλοκων κυκλωμάτων.



ΣΧΗΜΑ 5.8 Κυκλώματα AND 4-εισόδων

οπότε ο παράγοντας μεταγωγής για τη μνήμη είναι 0.02. Οι στατικές λογικές πύλες CMOS έχουν μέσο παράγοντα μεταγωγής 0.1. Υποθέστε ότι κάθε τρανζίστορ συνεισφέρει 1 fF/μm χωρητικότητα πύλης και 0.8 fF/μm χωρητικότητα διάχυσης. Για την ώρα, αγνοήστε τη χωρητικότητα της διασύνδεσης (αν και θα μπορούσε να είναι υπερέννο για μεγάλο περίοδο της συνολικής κατανάλωσης ισχύος). Υπολογίστε την ισχύ μεταγωγής όταν το σύστημα λειτουργεί στο 1 GHz.

ΛΥΣΗ: Υπόθεση (50 X 10⁶ τρανζίστορ λογικής)(12.4)(0.025 μm/λ)(1 + 0.8) fF/μm) = 27 nF για τα τρανζίστορ λογικής και (950 X 10⁶ τρανζίστορ μνήμης)(4λ)(0.025 μm/λ)(1 + 0.8) fF/μm) = 171 nF για τα τρανζίστορ μνήμης. Η κατανάλωση ισχύος μεταγωγής είναι [(0.1)(27 X 10⁻⁹) + (0.02)(171 X 10⁻⁹)] (1.0 V)²(10⁹ Hz) = 6.1 W.

Η δυναμική ισχύς περιλαμβάνει επίσης μια συνιστώσα ισχύος βραχυκύκλωσης, η οποία προκαλείται από την ισχύ που οδύει από την V_{DD} στη γείωση όταν αμώτερα τα δίκτυα οδήγησης πύλων και οδήγησης κάτω είναι μερικός ON κατά τη διάρκεια που μεταγίνει ένα τρανζίστορ. Κανονικά, αυτή είναι μικρότερη από το 10% του συνόλου, οπότε μπορεί να εκτιμηθεί συντηρητικά προσθέτοντας 10% στην ισχύ μεταγωγής.

Η ισχύς μεταγωγής κατανάλωνται επειδή παρέχει ενέργεια για τη φόρτιση ενός χωρητικού φορτίου, η οποία στη συνέχεια διοχετεύεται στη γείωση. Ειλόγα θα σκεφτόταν κανείς ότι μπορεί να επιστρέφει εξοικονόμηση ισχύος σπώνοντας αυτή την ενέργεια σε άλλα σημεία, όπου είναι αναγκαία, αντί να πει χημική στη γείωση. Τα κυκλώματα συντονισμού και τα κυκλώματα αδιαβατικής ανάκτησης φορτίου (resonant & adiabatic charge-recovering circuits, [Maksimovic00, Sathed07]) επιδιώκουν να πετύχουν αυτό το στόχο. Δυστυχώς, όμως, όλες αυτές οι τεχνικές προσφέρουν πολυπλοκότητα η οποία απομειώνει την οποία εξοικονόμηση ενέργειας, γι' αυτό και δεν έχουν καταφέρει να βρουν παρά μόνο περιορισμένα πεδία εφαρμογής.

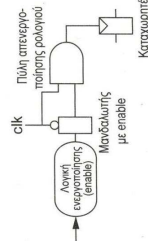
5.2.1 Παράγοντας Μεταγωγής

Ο παράγοντας μεταγωγής είναι ένα ισχύρο και εγχορηγό εργαλείο για τη μείωση της κατανάλωσης ισχύος. Εάν ένα κύκλωμα μπορεί να απενεργοποιηθεί ολοκληρωτικά, ο παράγοντας μεταγωγής και η δυναμική ισχύς μηδενίζονται. Τοπικά, τα μπλοκ ενός κυκλώματος απενεργοποιούνται σταματώντας το ρολόι, η τεχνική αυτή αποκαλείται clock gating. Όταν ένα μπλοκ είναι ενεργό, ο παράγοντας μεταγωγής είναι 1 για τα ρολόγια και σημαντικά χαμηλότερος για τους κόμβους σε λογικά κυκλώματα. Ο παράγοντας μεταγωγής μιας λογικής πύλης μπορεί να βρεθεί υπολογίζοντας την πιθανότητα μεταγωγής. Οι απόδοτες μεταβολές (glitches) μπορούν να αυξήσουν τον παράγοντα μεταγωγής.

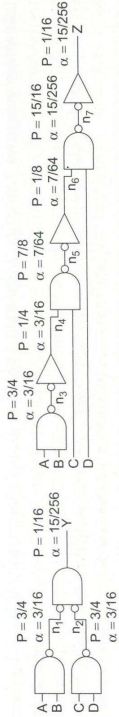
5.2.11 Έλεγχος ρολογιού μέσω πύλης: η τεχνική Clock Gating Η αποκαλούμενη τεχνική clock gating χρησιμοποιεί μια πύλη AND για την πρόσδεση ενός σήματος ρολογιού μ' ένα σήμα enable (επιτρέψης), με στόχο την απενεργοποίηση του ρολογιού στα άεργα μπλοκ. Είναι εξαιρετικά αποτελεσματική αφενός επειδή το ρολόι έχει πολύ υψηλό παράγοντα μεταγωγής και αφετέρου επειδή η μέση πύλη σύνδεση του ρολογιού στους καταχωρητές εισόδου ενός μπλοκ δεν επιτρέπει στους καταχωρητές να αλλάξουν κατάσταση και άρα σταματά όλη τη δραστηριότητα στη συνδαστική λογική που ακολουθεί από αυτό το σημείο και μετά.

Η τεχνική clock gating μπορεί να χρησιμοποιείται σε οποιονδήποτε καταχωρητή με σήμα enable. Στην Ενότητα 10.3.5 εξετάζεται η σχεδίαση καταχωρητών με σήμα enable. Ορισμένες φορές, η λογική για τον υπολογισμό του σήματος enable είναι ευκολή για παράδειγμα, μια μοναδική κινητή υποδιαστολή χρησιμοποιείται όταν δεν εισάγονται εντολές κινητής υποδιαστολής. Σηγνά, ωστόσο, τα σήματα που παράγονται με την τεχνική clock gating αποτελούν κρίσιμα από τα πλέον κρίσιμα μονοπάτια του ολοκληρωμένου.

Το σήμα enable του ρολογιού πρέπει να είναι σταθερό κατά τη διάρκεια που το ρολόι είναι ενεργό (δηλαδή, 1 για συνθήματα που χρησιμοποιούν θετικά ακριβοπρόδοτητα flip-flop). Το Σχήμα 5.7 δείχνει πώς μπορεί να χρησιμοποιηθεί ένας μοναδικός με enable για να διασφαλιστεί ότι το σήμα enable δεν μεταβάλλεται πριν κατέλθει το ρολόι. Όταν απενεργοποιείται ένα μεγάλο μπλοκ λογικής, το σήμα του ρολογιού μπορεί, μέσω clock gating, να στέλνεται από νοητός δίκτυο διανομής ρολογιού, ώστε να απενεργοποιούνται όχι μόνο οι καταχωρητές αλλά επίσης κι ένα τμήμα του γενικού δικτύου. Επειδή το δίκτυο του ρολογιού έχει παράγοντα μεταγωγής 1 και υψηλή χωρητικότητα, η τεχνική αυτή εξοικονομεί σημαντική ισχύ.



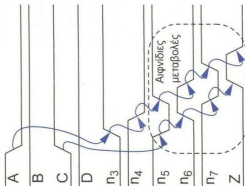
ΣΧΗΜΑ 5.7 Χρήση πύλης για την απενεργοποίηση του ρολογιού (clock gating).



ΣΧΗΜΑ 5.9 Πιθανότητες σήματος και παράγοντες μεταγωγής.

Η προκαταρκτική εκτίμηση ισχύος απαιτεί από το σχεδιαστή να εκάσει έναν παράγοντα μεταγωγής πριν γραφεί ο κώδικας RTL και πριν γίνουν γνωστοί οι φόροι εργασίας στο κύκλωμα. Εν τη απουσία καλύτερων δεδομένων, το $\alpha = 0.1$ είναι μια λογική επιλογή.

5.2.1.3 Απινίδες μεταβολές (glitches) Οι πιθανότερες μεταγωγής που υπολογίζουμε στην γοημενή ενότητα είναι έγκυρες μόνο εάν οι πύλες έχουν μηδενική καθυστέρηση διάδοσης. Στην πραγματικότητα, οι πύλες ορισμένες φορές κάνουν απρόβλεπτες επιπλοκές μεταβίβασης οι οποίες αποκαλούνται «glitches» όταν οι εισοδοί δεν καταφθάνουν ταυτόχρονα. Για παράδειγμα, στο Σχήμα 5.8(β), υποθέστε ότι οι εισοδοί ABCD μεταβάλλονται από 1101 σε 0111. Ο κύκλος n_4 ή n_1 και πέφτει στο 0. Ωστόσο, υπάρχει το ενδεχόμενο οι κορβίλες n_5, n_6, n_7 και Z να παρουσιάσουν μια απρόβλεπτη αιφνίδια μεταβολή, όπως βλέπεται στο Σχήμα 5.10. Τέτοιες μεταβολές προκαλούν επιπλέον καταπόνηση ισχύος. Οι αλυσίδες πύλων είναι ιδιαίτερα επιρρεπείς σ' αυτό το πρόβλημα. Η ύπαρξή του μπορεί να ανδρξεί τον παράγοντα μεταγωγής μιας πύλης πάνω από το 1 και μπορεί να αυθόνητα για το μεγαλύτερο μέρος της καταπόνησης ισχύος σε συγκεκριμένα κυκλώματα, όπως οι αθροιστές διάδοσης κρυπτομένου και οι πολλαπλασιαστές διατάξεων (δείτε το Κεφάλαιο 11). Η καταπόνηση ισχύος λόγω αιφνίδιων μεταβολών μπορεί να υπολογιστεί επισκρίβως μέσω προσομοιώσεων που συνυπολογίζουν το χρονισμό του κυκλώματος.

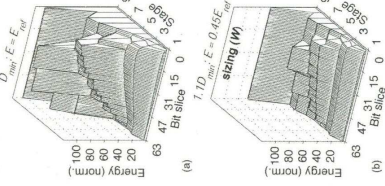


ΣΧΗΜΑ 5.10 Επίδραση αιφνίδιων μεταβολών σε μια αλυσίδα πύλων.

5.2.2 Χωρητικότητα

Η χωρητικότητα μεταγωγής προέρχεται από τους αγωγούς διασύνδεσης και τα τρανζίστορ ενός κυκλώματος. Η χωρητικότητα των αγωγών ελαττώνεται με καλή μελετημένη οροφήση και τοποθέτηση (εφαρμογή της αρχής της «απικατοποίησης» στη δομημένη σχεδίαση). Οι μονάδες που αντλαίνουν μεταξύ τους μεγάλες ποσότητες δεδομένων θα πρέπει να τοποθετούνται κοντά ή μία στην άλλη, ώστε να μειώνονται τα μήκη των απαιτούμενων αγωγών διασύνδεσης. Η χωρητικότητα μεταγωγής των στοιχείων (τρανζίστορ) μειώνεται επιλέγοντας λιγότερα στάδια λογικής και μικρότερα τρανζίστορ. Πόλες ελάχιστο μεγέθους μπορούν να χρησιμοποιούνται στα μη-κρίσιμα μονοπάτια. Αν και η μέθοδος του Λογικού Φόρτου μας λέει ότι ο βέλτιστος φόρτος σταδίου είναι περίπου 4, η χρήση μεγαλύτερου φόρτου σταδίου αυξάνει την καθυστέρηση μόνο ελαφρώς, ενώ μειώνει κατά πολύ τα μεγέθη των τρανζίστορ. Συνεπώς, οι μεγαλύτερες πύλες, ή αυτές που έχουν υψηλό παράγοντα μεταγωγής -και άρα κυριαρχούν στην καταπόνηση- μπορούν να μειωθούν σε μέγεθος με μικρή μόνο επίδραση στην απόδοση. Για παράδειγμα, οι απομονωτές που οδηγούν ενυγνυτές/υποβαθμιστές E/E (E/O pads) ή αγωγούς μεγάλου μήκους μπορούν να χρησιμοποιούν φόρτο σταδίου 8-12, με στόχο τη μείωση του μεγέθους του απομονωτή. Παρόμοια, οι καταχωρητές μεταγωγής τους είναι κατά μία τάξη μεγέθους στορ με σήμα ρολογιού, επειδή ο παράγοντας μεταγωγής τους κυμαίνεται συνήθως γύρω γύρω από τον απομονωτή. Παρόμοια, οι καταχωρητές μεταγωγής τους είναι κατά μία τάξη μεγέθους μεγαλύτεροι απ' ό,τι στα τρανζίστορ που χρησιμοποιούνται σε κυκλώματα συνδυαστικής λογικής. Στο Κεφάλαιο 6 θα δούμε ότι η χωρητικότητα των αγωγών διασύνδεσης κυριαρχεί σε πολλά κυκλώματα. Ο πλέον αποτελεσματικός (όσον αφορά την ενέργεια) τρόπος όδηγησης των μεγάλων μήκους αγωγών είναι χρησιμοποιώντας αντιστροφείς ή απομονωτές ή απομονωτές και όχι πολυαλκοτέρες πύλες, οι οποίες έχουν υψηλότερο λογικό φόρτο [Stern99].

Το Σχήμα 5.11 απεικονίζει σχηματικά τον καθορισμό του μεγέθους των τρανζίστορ για έναν αθροιστή Kogge-Stone των 64 bit (βλ. Ενότητα 11.2.2.8) [Markovic04]. Στο Σχήμα 5.11(α), το μέγεθος των πύλων έχει επιλεγεί με στόχο να επιτευχθεί η ελάχιστη δυνατή καθυστέρηση. Οι υψηλές αιχμές στο μέσον αντιπροσώπευαν σε μεγάλους που οδηγούν τους μεγάλους μήκους αγωγούς. Στο Σχήμα 5.11(β), το κύκλωμα έχει βελτιστοποιηθεί εκ νέου, αυτή τη φορά με αποτέλεσμα 10%



ΣΧΗΜΑ 5.11 Μεγέθη πύλων για έναν αθροιστή υπό δεδομένο περιορισμό καθυστέρησης. (Διασκευή από [Markovic04], © IEEE 2004).

μεγαλύτερη καθυστέρηση. Η ενέργεια μειώνεται κατά 55%. Γενικά, μπορεί να επιτευχθεί μεγάλη εξοκνομήση ενέργειας εάν «αλαρώσουμε» την απαίτηση ελάχιστης καθυστέρησης για ένα κύκλωμα, αποκλώντας κατά ένα ένα μικρό ποσό από το σημείο ελάχιστης καθυστέρησης.

Δυστυχώς, δεν υπάρχουν μέθοδοι που να παράγουν άπειρες κλειστές καθευτήριες μεταβλητές των πύλων με στόχο την ελαττοποίηση της ενέργειας υπό ένα δεδομένο περιορισμό καθυστέρησης, ακόμα και για κυκλώματα τόσο απλά όσο μια αλυσίδα αντιστροφικών [Ma94]. Ωστόσο, το πρόβλημα είναι απλό να λυθεί αριθμητικά, όπως θα δούμε στην επόμενη ενότητα.

5.2.2.1 Καθορισμός Μεγέθους Πύλων υπό Δεδομένο Περιορισμό Καθυστέρησης Στο Κεφάλαιο 4, η μέθοδος του Λογικού Φόρτου μας δέδειξε πως μπορούμε να ελαττοποιήσουμε την καθυστέρηση σ' ένα κύκλωμα. Ωστόσο, σε πολλές περιπτώσεις θα ήμαστε πρόθυμοι να αυξήσουμε την καθυστέρηση για να εξοικονομήσουμε ενέργεια. Μπορούμε να επεκτείνουμε την επαναληπτική τεχνική της Ενότητας 4.5.6 για να καθορίσουμε τα μεγέθη ενός κυκλώματος κατάλληλα για την επίτευξη ελάχιστης ενέργειας μεταγωγής, υπό ένα δεδομένο περιορισμό καθυστέρησης.

Ας δούμε κατ' αρχήν ένα μοντέλο για τον υπολογισμό της ενέργειας ενός κυκλώματος. Εάν ένας μοναδιαίος αντιστροφικός έχει χωρητικότητα πύλης 3C, τότε μια πύλη με λογικό φόρτο g, παραστατική καθυστέρηση τ και οδήγηση λ έχει gλ-πύλη χωρητικότητα πύλης και gλ-πύλη χωρητικότητα διάγωσης. Η ενέργεια μεταγωγής κάθε πύλης εξαρτάται από τον παράγοντα μεταγωγής της, τη χωρητικότητα διάγωσης της πύλης, τη χωρητικότητα αγωγών διασύνδεσης C_{wire} , και τη χωρητικότητα πύλης όλων των σταδίων που αυτή οδηγεί. Η ενέργεια ολόκληρου του κυκλώματος είναι το άθροισμα των ενεργειών κάθε πύλης,

$$\text{Ενέργεια} = 3C\tau^2 \sum_{f \in \text{nodes}(f)} \alpha_i \left(\frac{C_{wire}}{3C} + \rho_i x_i + \sum_{j \in \text{element}(f)} g_j x_j \right) \quad (5.15)$$

Εάν εκφράσουμε τη χωρητικότητα αγωγών διασύνδεσης σε πολλαπλάσια της χωρητικότητας ενός μοναδιαίου αντιστροφικού, $c = C_{wire}/3C$, και κανονικοποιήσουμε την ενέργεια ως προς τη χωρητικότητα και την τάση της συγκεκριμένης τεχνολογίας κατασκευής, η Εξ. (5.15) μετατρέπεται σε άθροισμα των ενεργιών χωρητικότητας των κορβίλων.

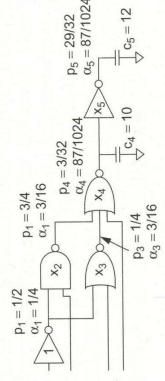
$$E = \sum_{f \in \text{nodes}(f)} \alpha_i \left(c_i + \rho_i x_i + \sum_{j \in \text{element}(f)} g_j x_j \right) = \sum_{f \in \text{nodes}(f)} \alpha_i x_i d_i \quad (5.16)$$

Ο στόχος μας τώρα είναι η ελαττοποίηση της ενέργειας E με τρόπο ώστε ο χειριστός χρόνος άρξης να είναι μικρότερος από κάποια καθυστέρηση D. Το εν λόγω πρόβλημα ανήκει στην κατηγορία προβλημάτων βελτιστοποίησης (γεωμετρικού προγραμματισμού) των οποίων η συνάρτηση κόστους είναι ένα posynomial (πολυώνυμο με θετικούς όρους) και έχει μια μοναδική λύση, η οποία μπορεί να βρεθεί μ' ένα καλό εργαλείο βελτιστοποίησης.

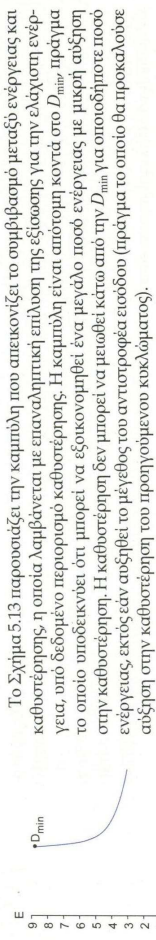
Παράδειγμα 5.3

Σχεδιάστε την καρμπή που απεικονίζει το συμβασιό μετὰξυ ενέργειας-καθυστέρησης για το κύκλωμα του Σχήματος 4.37, καθώς η καθυστέρηση μεταβάλλεται από την ελάχιστη δυνατή ($D_{\text{min}} = 23.44 \tau$) σε 50 τ. Υποθέστε ότι οι πιθανότητες εισόδου είναι 0.5.

ΛΥΣΗ: Το Σχήμα 5.12 παρουσιάζει τον παράγοντα μεταγωγής κάθε κορβίλου. Συνεπώς, η ενέργεια αυτού του κυκλώματος είναι

$$E = \frac{1}{4} \left(1 + \frac{1}{3} x_2 + \frac{2}{3} x_3 \right) + \frac{3}{16} \left(2x_2 + \frac{7}{3} x_4 \right) + \frac{87}{1024} \left(10 + 3x_4 + x_5 \right) + \frac{87}{1024} (12 + x_5) \quad (5.17)$$


ΣΧΗΜΑ 5.12 Παράγοντες μεταγωγής.



ΣΧΗΜΑ 5.13 Καμπύλη συμβιβασμού μεταξύ ενέργειας και καθυστέρησης.

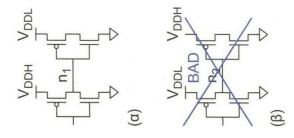
Το Σχήμα 5.13 παρουσιάζει την καμπύλη που απεικονίζει το συμβιβασμό μεταξύ ενέργειας και καθυστέρησης, η οποία λαμβάνεται με επαναληπτική επίλυση της εξίσωσης για την ελάχιστη ενέργεια, υπό δεδομένο περιόριο καθυστέρησης. Η καμπύλη είναι απότομη κοντά στο D_{min} , πράγμα το οποίο υποδεικνύει ότι μπορεί να εξοικονομηθεί ένα μεγάλο ποσό ενέργειας με μικρή αύξηση στην καθυστέρηση. Η καθυστέρηση δεν μπορεί να μειωθεί κάτω από την D_{min} για οποιαδήποτε ποσό ενέργειας, εκτός εάν αυξηθεί το μέγεθος του αντιστοίχου εισόδου (πράγμα το οποίο θα προοκάλυε αύξηση στην καθυστέρηση του προηγούμενου κυκλώματος).

5.2.3 Τύση
Η τάση έχει τετραγωνική (δευτεροβάθμια) επίδραση στη δυναμική ισχύ. Συνεπώς, η επιλογή χαμηλότερης τροφοδοσίας μειώνει σημαντικά την κατανάλωση ισχύος. Δεδομένου ότι πολλά τρανζίστορ λειτουργούν σε κατάσταση κορεσμού ταχύτητας, η χαμηλότερη τάση τροφοδοσίας μπορεί να μην μειώσει την απόδοση τόσο, όσο προβλέπουν τα ιδανικά (μεγάλο μήκος καναλιού) μοντέλα. Το ολοκληρωμένο μπορεί να διαχωριστεί σε ξεχωριστά πεδία, ή «επιφάνειες», τάσης (voltage domains), έτσι ώστε η κάθε επικράτεια να μπορεί να βελτιστοποιηθεί κατάλληλα για τις ανάγκες των συγκεκριμένων κυκλωμάτων που περιλαμβάνει. Για παράδειγμα, ένα ουσιαστικό-ολοκληρωμένο θα μπορούσε να χρησιμοποιεί υψηλή τάση τροφοδοσίας για τις μνήμες, ώστε να διασφαλίσει τη σταθερότητα των κυκλωτών, μετρια τάση για ένα επεξεργαστή και χαμηλή τάση για τις περιφερειακές μονάδες I/O που λειτουργούν σε χαμηλότερες ταχύτητες. Στην Ενότητα 5.3.2 θα δοθεί πώς μπορούμε να απενεργοποιούμε πλήρως μία ή περισσότερες επικράτειες τάσης, με στόχο την εξοικονόμηση της κατανάλωσης ισχύος που οφείλεται σε φαινόμενα διαρροής, κατά τη διάρκεια που αυτή η επικράτεια βρίσκεται σε κατάσταση αδράνειας.

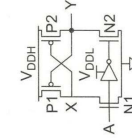
Η τάση μπορεί επίσης να προσομοιωθεί βάσει της κατάστασης λειτουργίας, για παράδειγμα, ο επεξεργαστής ενός φορητού υπολογιστή μπορεί να λειτουργεί σε υψηλή τάση και υψηλή ταχύτητα όταν η συσκευή είναι συνδεδεμένη στο δίκτυο παροχής ρεύματος, και σε χαμηλότερη τάση/ταχύτητα όταν τροφοδοτείται από τη μπαταρία. Εάν η συχνότητα και η τάση κλιμακωθούν αναλογικά προς τα κάτω, επιτυγχάνεται κομβική μείωση στην κατανάλωση ισχύος. Για τον επεξεργαστή του φορητού, η προς τα κάτω κλιμάκωση στα 2/3 της συχνότητας και της τάσης λειτουργίας επιφέρει εξοικονόμηση 70% στην κατανάλωση ισχύος όταν ο υπολογιστής δεν είναι συνδεδεμένος στο δίκτυο ρεύματος.

5.2.3.1 Επικράτειες Τάσης Ορισμένες από τις προκλήσεις που αντιμετωπίζει κανείς όταν υιοθετεί την προ-αγγιστή των ξεχωριστών επικρατειών τάσης είναι η μετατροπή, στις κατάλληλες στάθμες, των σημάτων που διακινούνται μεταξύ των επικρατειών, η επιλογή των κυκλωμάτων που θα ανήκουν στην κάθε επικράτεια και η ορομολόγηση της τροφοδοσίας ισχύος σε πολλαπλές επικράτειες.
Το Σχήμα 5.14 παρουσιάζει την απεικόνιση σύνδεση αντιπροσώπων σε δύο επικράτειες τάσης, τα οποία χρησιμοποιούν υψηλή και χαμηλή τάση τροφοδοσίας, V_{DDH} και V_{DDL} , αντίστοιχα. Μια πύλη στην επικράτεια της V_{DDH} μπορεί να οδηγήσει απευθείας μια πύλη στην επικράτεια της V_{DDL} . Ωστόσο, η συγκεκριμένη πύλη της επικράτειας V_{DDL} θα μεταγίνει ταχύτερα απ' ό,τι εάν οδηγούνταν από μια άλλη πύλη της επικράτειας V_{DDL} . Ο αναλυτής χρονισμού θα πρέπει να συνυπολογίσει αυτό το γεγονός κατά τον υπολογισμό της καθυστέρησης μολοντις, ώστε να μην παραβιαστεί κάποιος χρόνος διατήρησης. Δυστυχώς, η πύλη από επικράτεια V_{DDL} δεν μπορεί να οδηγήσει απευθείας μια πύλη της επικράτειας V_{DDH} . Όταν ο κόμβος h_2 είναι σε δυναμικό V_{DDL} , το pMOS τρανζίστορ στην επικράτεια της V_{DDH} έχει $V_{gs} = V_{DDH} - V_{DDL}$. Εάν αυτή υπερβεί την V_T το pMOS τρανζίστορ θα αρχίσει να αγεί, καταναλώνοντας ρεύμα διαρροής. Ακόμα κι αν η διαφορά είναι μικρότερη από V_T , το pMOS τρανζίστορ θα υποφέρει από σημαντικά ασήμαντα διαρροή. Αυτό το πρόβλημα μπορεί να μετριαστεί, χρησιμοποιώντας pMOS υψηλής V_T στο κύκλωμα-δέκτη, εάν η διαφορά τάσης μεταξύ των επικρατειών είναι αρκετά μικρή [Tawfik09].

Η καθιερωμένη μέθοδος για το χειρισμό των σημάτων που διακινούνται πολλαπλές διαφορετικές επικράτειες τάσης είναι η χρήση ενός μετατροπέα στάθμης, όπως παρουσιάζεται στο Σχήμα 5.15. Όταν $A = 0$, το M1 είναι OFF και το M2 είναι ON. Το M2 οδηγεί τον κόμβο Y χαμηλά, και η διαφορά τάσης από το M1 αποκολλάει τον κόμβο X ψηλά, στην V_{DDL} , και διασφαλίζοντας ότι το P2 αποκολλάει (OFF). Όταν $A = 1$, το M1 είναι ON και το M2 είναι OFF. Το M1 οδηγεί τον κόμβο X προς τα κάτω, στο 0, πράγμα το οποίο ενεργοποιεί (ON) το P2, οδηγώντας τον κόμβο Y επάνω, στην V_{DDH} . Σε κάθε περίπτωση, ο μετατροπέας στάθμης συμπεριφέρεται ως απαινοωτής και οδηγεί ουσιαστικά τον κόμβο Y μεταξύ των σταθμών 0 και V_{DDL} χωρίς τον κίνδυνο να τρανζίστορ να παραβιαστεί κανονικός ON. Δυστυχώς, ο μετατροπέας στάθμης κοστίζει σε καθυστέρηση (περίπου



ΣΧΗΜΑ 5.14 Πέρασμα σημάτων μεταξύ διαφορετικών επικρατειών τάσης.

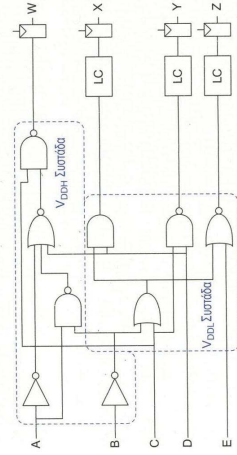


ΣΧΗΜΑ 5.15 Μετατροπέας στάθμης.

2 FO4) και κατανάλωση ισχύος, σε κάθε πέρασμα μεταξύ διαφορετικών επικρατειών τάσης. Οι [Kulkarni04] και [Shihata04] εξετάζουν διάφορους μετατροπέες στάθμης. Το προσαναφερθέν κόστος μπορεί να μετριαστεί με την ενσωμάτωση του μετατροπέα σε έναν καταχωρητή και την επίτευξη περασμάτων από επικράτεια σε επικράτεια μόνο στα όρια του κυκλώματος. Τέτοιον μετατροπέα περιγράφονται στην Ενότητα 10.4.4.

Ο εκκολαπτερος τρόπος αξιοποίησης των επικρατειών τάσης συνίσταται στο συσχετισμό της κάθε επικράτειας με μεγάλη επιφάνεια αξιοθέτησης. Εάν η κάθε επικράτεια λαμβάνει το δικό της πλήγμα ισχύος, Σημειώστε ότι οι μετατροπές στάθμης απαιτούν δύο τροφοδοσίες, οπότε θα πρέπει να τοποθετούνται κοντά στην περιφέρεια της επικράτειας, εκεί όπου είναι αναγκαίο για τα περάσματα σημάτων μεταξύ των επικρατειών.

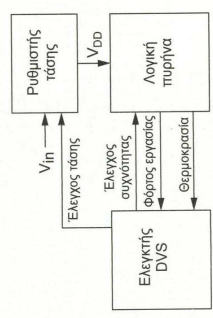
Μια εναλλακτική προσέγγιση είναι η αποκαλούμενη κλιμάκωση τάσης κατά συστάδες (clustered voltage scaling, CVS) [Usami95], με την οποία μπορούν να χρησιμοποιούνται δύο τάσεις τροφοδοσίας σε ένα μεμονωμένο μολκο. Το Σχήμα 5.16 παρουσιάζει ένα παράδειγμα αυτής της προσέγγισης. Οι πύλες που φθάνουν χωρίς στο μονοπάτι χρησιμοποιούν την V_{DDH} . Οι μη-κρίσιμες πύλες που φθάνουν αργότερα στο μονοπάτι χρησιμοποιούν την V_{DDL} . Οι τάσεις αντιστοιχίζονται στις πύλες με τρόπο ώστε να μην υπάρχει ποτέ διασταύρωση ενός μονοπατιού από μια πύλη V_{DDL} με ένα μονοπάτι μιας πύλης V_{DDH} μέσα σε ένα μολκο συνδυαστικής λογικής, πράγμα το οποίο σημαίνει ότι μετατροπές στάθμης απαιτούνται μόνο στους καταχωρητές. Η χρήση CVSS προβλέπει ότι οι δύο τροφοδοσίες είναι καταναμιγμένες σε όλη την έκταση του μολκο. Αυτό μπορεί να γίνει χρησιμοποιώντας δύο γραμμές (rails) τροφοδοσίας. Μια βιβλιοθήκη κορτάρων μπορεί να διαθέτει υψηλής- και χαμηλής-τάσης εκδόσεις κάθε κυκλωτή, οι οποίες διαφοροποιούνται μόνο ως προς τη γραμμή τροφοδοσίας στην οποία συνδέονται τα pMOS τρανζίστορ. Σημειώστε ότι πολλές τεχνολογίες κατασκευής απαιτούν να υπάρχει μεγάλη απόσταση μεταξύ n-πύλων που συνδέονται σε διαφορετικά δυναμικά, πράγμα το οποίο περιορίζει την εγγύτητα των πύλων που συνδέονται στις V_{DDH} και V_{DDL} .



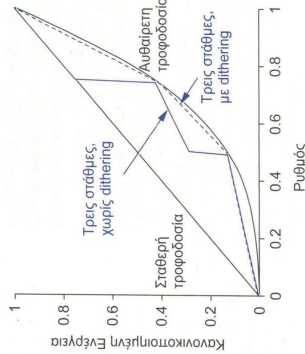
ΣΧΗΜΑ 5.16 Κλιμάκωση τάσης κατά συστάδες.

5.2.3.2 Δυναμική Κλιμάκωση Τάσης (Dynamic Voltage Scaling, DVS) Πολλά συστήματα έχουν απαιτήσεις απόδοσης που μεταβάλλονται στο χρόνο. Για παράδειγμα, ένας αποκωδικοποιητής βίντεο εκτελεί περισσότερους υπολογισμούς στις σκηνές με γρήγορη δράση απ' ό,τι στις πιο ήρεμες σκηνές. Ένας σταθμός εργασίας έχει ασθιμένες απαιτήσεις απόδοσης όταν τρέχει το SPICE παρά όταν παίζει πασιέντζα. Τέτοιον είδος συστήματα μπορούν να εξοικονομούν μεγάλες ποσότητες ενέργειας μειώνοντας τη συχνότητα ρολογιού ή τη βηροκρασία του ολοκληρωμένου. Καθορίζει την ελάχιστη τάση τροφοδοσίας και συχνότητα ρολογιού που επαρκεί για τη διεκπεραίωση του τρέχοντος φόρτου εργασίας, η για τη μεγιστοποίηση της απόδοσης χωρίς να προκληθεί υπερθέρμανση. Ένας διακοπτικός ρυθμιστής τάσης μειώνει βαθμιαία την V_{in} από μια υψηλή τιμή στην αναγκαία V_{DD} . Η λογική του πυρήνα περιέχει ένα βρόχο κλειδώματος φάσης ή κάποιο άλλο υποσυστήμα παραγωγής παλμών ρολογιού, για την παραγωγή της υπολογιστικής συχνότητας ρολογιού.

Ο ελεγκτής DVS καθορίζει τη συχνότητα λειτουργίας και κατόπιν επιλέγει την ελάχιστη δυνατή τάση τροφοδοσίας που είναι κατάλληλη γι' αυτή τη συχνότητα. Μια μέθοδος επιλογής της κατάλληλης τάσης είναι



ΣΧΗΜΑ 5.17 Σύστημα DVS.



ΣΧΗΜΑ 5.18 Μείωση της καταναλώσις ενέργειας με δυναμική κλιμάκωση τάσης

μέσω ενός πίνακα, ο οποίος περιέχει ζεύγη τιμών τάσης και συχνότητας. Η προσέγγιση αυτή είναι εκ φύσεως συντηρητική, επειδή η επιλεγμένη τάση θα πρέπει να είναι επαρκώς υψηλή ώστε να καλύπτει ακόμα και τη χειρστή περίπτωση (δείτε το Κεφάλαιο 7 για πληροφορίες σχετικά με τις διακυμάνσεις στην αποδοχή). Ο τετραπύρηνος επεξεργαστής Itanium περιέχει έναν προγραμματιζόμενο μέσο ασφαλείας (fuse-programmable) πίνακα, ο οποίος μπορεί να διαμορφωθεί κατάλληλα για τις ανάγκες κάθε ολοκληρωμένου κατά τη διάρκεια της παραγωγής [Stackhouse09]. Μια άλλη μέθοδος είναι η χρήση ενός κωδολίστατος «αντιγραφής» (replica), όπως π.χ. ένας ταλαντωτής δικταλλίου, το οποίο θα παρακολουθεί την αποδοχή του συστήματος, όπως θα δοθεί στην Ενότητα 7.5.3.4.

Ας δούμε τώρα πώς διαφοροποιούνται οι απαιτήσεις ενέργειας ενός συστήματος ανάλογα με το φόρτο εργασίας που αντιμετωπίζει. Ορίζουμε ως *ρυθμό* (rate) το κλάσμα της μέγιστης αποδοχής που απαιτείται για την ολοκλήρωση του φόρτου εργασίας *σ'* ένα συγκεκριμένο ποσό χρόνου. Το Σχήμα 5.18 απεικονίζει τη γραφική παράσταση της ενέργειας συναρτήσει του ρυθμού. Εάν ο ρυθμός είναι μικρότερος από 1, η συχνότητα ρολογιού μπορεί να προσαρμωθεί κατάλληλα προς τα κάτω, ή το σύστημα μπορεί να λειτουργεί σε πλήρη συχνότητα μέχρι να ολοκληρωθεί η εργασία, και κατόπιν να σταματήσει το ρολόι και να μεταβεί σε κατάσταση αδράνειας: αυτό μπορεί να είναι απλούστερο από το να κατασκευαστεί ένα ρολόι με δυνατότητα συνεχούς προσαρμογής. Χωρίς δυναμική κλιμάκωση τάσης (DVS), η ενέργεια μεταβάλλεται γραμμικά με το ρυθμό. Μ' ένα ιδανικό μηχανισμό DVS, η τάση θα μπορούσε επίσης να μειώνεται σε αργότερους ρυθμούς. Υποθέτοντας γραμμική σχέση μεταξύ τάσης και συχνότητας, η ενέργεια είναι ανάλογη προς το ρυθμό υψωμένο στην τρίτη δύναμη: αυτό σημαίνει πολύ μεγαλύτερη εξοικονόμηση σε χαμηλότερους ρυθμούς. Η λειτουργία από το μισό του μέγιστου ρυθμού κοστίζει μόνο ένα όγδοο της ενέργειας.

Τέτοια συστήματα δυναμικής κλιμάκωσης ρυθμιζόμενου συνεχούς προσαρμοσμένης τάσης τροφοδοσίας, πρώην για το οποίο είναι πιο ακριβό απ' ό,τι οι πηγές τροφοδοσίας με διακριτές στάθμες. Ο χαρακτηρισμός ενός κωδολίστατος για ένα συνεχές εύρος τάσεων και συχνοτήτων είναι επίσης δύσκολη υπόθεση. Εάν η τάση τροφοδοσίας περιορίζεται σε τρεις στάθμες, π.χ., 1.0, 0.75 και 0.5 V, και οι συχνότητες περιορίζονται επίσης σε τρεις τιμές, είναι δυνατό να επιτευχθεί μεγάλο μέρος των κερδών που παρέχει η δυναμική κλιμάκωση τάσης. Ακόμα καλύτερα, ένα σύστημα μπορεί να *αμφοτερόπλευρα* (dither) μεταξύ αυτών των τάσεων, για εξοικονόμηση ακόμα περισσότερο ενέργειας [Gutin97]. Για παράδειγμα, εάν απαιτείται ρυθμός 0,6, το σύστημα θα μπορούσε να λειτουργεί σε ρυθμό 0,75 για το 40% του υλολογισμού και κατόπιν να μεταπίπτει σε ρυθμό 0,5 για το υπόλοιπο 60%. Δηλαδή, ταλαντωμένο μεταξύ τριών σταθμών, το σύστημα μπορεί να επιτυγχάνει οφέδων τόσο χαμηλή καταναλώση ενέργειας όσο κι αν χρησιμοποιούσε μια αυθαίρετα επιλεγμένη τάση τροφοδοσίας. Στην πραγματικότητα, η ταλάντωση μεταξύ δύο και μόνο τάσεων τροφοδοσίας, κατάλληλα επιλεγμένων για λειτουργία σε πλήρη και μισό ρυθμό, επαρκεί για να αποκομίσει κανείς το 80 και πλέον τοις εκατό από το όφελος της δυναμικής κλιμάκωσης τάσης [Alsaik02].

Στην Ενότητα 5.3.2 θα εξετάσουμε την αποκαλούμενη τεχνική power gating για τη διακοπή της τροφοδοσίας ενός μπλοκ κατά τη διάρκεια που αυτό είναι αδρανές. Ο ίδιος μηχανισμός μπορεί να χρησιμοποιηθεί για την εμλογία μιας από πολλές τάσεις τροφοδοσίας για κάθε μπλοκ κατά τη διάρκεια που είναι σε ενεργή λειτουργία. Αυτό επιτρέπει *πυκνή αμφοτερόπλευρη μεταξύ τάσεων* (local voltage dithering), έτσι ώστε κάθε μπλοκ να μπορεί να λειτουργήσει στην προτιμώμενη τάση.

Κανονικά, η δυναμική κλιμάκωση τάσης (DVS) λειτουργεί για ένα εύρος τάσεων - από το μέγιστο της V_{DD} έως περίπου το μισό αυτής της τιμής. Μπορεί επίσης να επεκταθεί στην περιοχή λειτουργίας υποκατωφλίου [Zhai05a, Callhoun06] - αυτό αναφέρεται ορισμένες φορές ως *υπερ-δυναμική κλιμάκωση τάσης* (ultra-dynamic voltage scaling, UDVS). Η κατασκευή ενός κωδολίστατος «αντιγραφής» το οποίο θα παρακολουθεί την καθυστέρηση «χειρστή περίπτωσης» στο ολοκληρωμένο για ένα μεγάλο φάσμα τιμών τάσης είναι δύσκολη υπόθεση. Η DVS χρησιμοποιείται πλέον εκτός σε μεγάλη γκάμα συστημάτων - από καταναλωτικά ηλεκτρονικά, έως μικροεπεξεργαστές υψηλών επιδόσεων [Keating07, Stackhouse09].

Δεδομένου ότι τα φαινόμενα διαρροής υποκατωφλίου & πολής επεκτείνονται εξαιρετικά ελαστικά ελαστικότητα από την τάση τροφοδοσίας, η DVS είναι επίσης αποτελεσματική στη μείωση των διαρροών κατά τη διάρκεια των περιόδων μειωμένης δραστηριότητας του συστήματος.

Η λειτουργία σε μεταβαλλόμενες τάσεις V_{DD} προτιμάται τη χρήση ενός προσαρμωμένου ρυθμιζόμενου συστήματος, ο οποίος θα μειώνει την τάση από μια υψηλότερη γραμμική τροφοδοσία. Θα πρέπει να χρησιμοποιηθεί ρυθμιζόμενος διακριτικός λειτουργία - διαφορετικά, η ισχύς που εξοικονομείται θα καταναλώνεται πάνω στο ρυθμιζόμενο.

5.2.4 Συχνότητα

Η δυναμική ισχύς είναι ευθέως ανάλογη της συχνότητας λειτουργίας. Συνεπώς, ένα ολοκληρωμένο δεν θα πρέπει να λειτουργεί ταχύτερα απ' όσο είναι αναγκαίο. Όπως προαναφέραμε, η μείωση της συχνότητας επιτρέπει επίσης τη μείωση του μεγέθους των τρανζίστορ, ή τη χρήση χαμηλότερης τάση τροφοδοσίας, πράγμα το οποίο έχει ακόμα μεγαλύτερη επίδραση στην ισχύ. Οι οποίες απόψεις στην απόδοση μπορούν να υιοθετηθούν με παραλληλισμό (βλ. Ενότητα 5.5.2), κυρίως εάν η καταναλώση επιφανείας δεν είναι τόσο σημαντική όσο η καταναλώση ισχύος.

Ακόμα κι αν δεν είναι διαθέσιμες πολλαπλές τάσεις τροφοδοσίας, ένα ολοκληρωμένο μπορεί να χρησιμοποιεί πολλαπλές επικρατές συχνότητας (frequency domains), έτσι ώστε συγκεκριμένα τμήματά του να μπορούν να λειτουργούν πιο αργά από άλλα. Για παράδειγμα, η διαπαφή του διαλλίου ενός μικροεπεξεργαστή λειτουργεί συνήθως πολύ αργότερα από τον πυρήνα. Οι επικρατές χαμηλής συχνότητας μπορούν επίσης να εξοικονομούν ενέργεια χρησιμοποιώντας μικρότερα τρανζίστορ.

Το πέρασμα από μια επικρατέα συχνότητας σε μια άλλη είναι ενοχότερο εάν η μία συχνότητα είναι ακριβώς πολλαπλάσιο της άλλης και τα ρολόγια είναι συγχρονισμένα μεταξύ των επικρατειών. Στην Ενότητα 10.6 θα ασχοληθούμε περισσότερο με το συγχρονισμό.

5.2.5 Ρεύμα Βραχυκύκλωσης

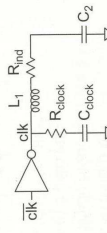
Καταναλώση ισχύος λόγω ρεύματος βραχυκύκλωσης συμβαίνει όταν αμφοτέρωτα τα δίκτυα οδηγίας πάνω και οδηγίας κάτω είναι μερικώς ON, κατά τη διάρκεια που η είσοδος, αλλάζει κατάσταση, όπως είδαμε στο Σχήμα 5.5. Αδράζεται καθώς ο ρυθμός ακμής της εισόδου γίνεται αργότερος, επειδή αμφοτέρωτα τα δίκτυα είναι ON για περισσότερο χρόνο [Veedrick84]. Αυτό, μειώνεται καθώς αυξάνεται η χωρητικότητα φορτίου, επειδή με τα μεγάλα φορτία η έξοδος αλλάζει κατάσταση μόνο κατά ένα μικρό ποσό κατά τη διάρκεια της μετάβασης της εισόδου, με αποτέλεσμα μικρό V_{th} στα άκρα του τρανζίστορ που προκαλεί το ρεύμα βραχυκύκλωσης. Εκτός κι αν ο ρυθμός ακμής της εισόδου είναι πολύ αργότερος από το ρυθμό ακμής της έξοδου, το ρεύμα βραχυκύκλωσης είναι ένα μικρό κλάσμα (<10%) του ρεύματος στο φορτίο και μπορεί να αγνοείται κατά τους υλολογισμούς με τη χέρ. Είναι καλό να χρησιμοποιούνται σχετικά «κοφτερά» ρυθμοί ακμής στις εισόδους των πωλών με πλατάρ τρανζίστορ, για την ελαχιστοποίηση του ρεύματος βραχυκύκλωσης. Αυτό επιτυγχάνεται κρατώντας σε λογικά επίπεδα το φόρτο σταθίου του προηγούμενου σταθίου - π.χ., 4 ή λιγότερο. Γενικά, οι πωλές με ισορροπημένους ρυθμούς ακμής εισόδου και έξοδου έχουν χαμηλή καταναλώση ισχύος λόγω ρεύματος βραχυκύκλωσης.

Η καταναλώση ισχύος λόγω ρεύματος βραχυκύκλωσης επηρεάζεται σημαντικά από το λόγο $v = V_i / V_{DD}$. Στην οριστική περίπτωση όπου $v > 0.5$, το ρεύμα βραχυκύκλωσης επηρεάζεται ολόκληρα επειδή τα δίκτυα οδηγίας πάνω και οδηγίας κάτω δεν είναι ποτέ ταυτόχρονα ON. Για $v = 0.3$ ή 0.2, η καταναλώση ισχύος λόγω ρεύματος βραχυκύκλωσης είναι τοπικά περίπου 2% ή 10% της καταναλώσις ισχύος μεταγωγής αντίστοιχα, υποθέτοντας «κοφτερές» ακμές [Nose04a]. Στις νανομετρικές τεχνολογίες κατασκευής, V_i ελαττώνεται μπορεί να πέσει κάτω από τα 0.3 V χωρίς να προκαληθεί υπερβολική διαρροή και η V_{DD} είναι στην τάξη μεγέθους του 1 V, οπότε το ρεύμα βραχυκύκλωσης έχει γίνει σχεδόν αμελητέο.

5.2.6 Κυκλώματα Συντονισμού

Τα κυκλώματα συντονισμού επιχειρούν να μειώσουν την καταναλώση ισχύος μεταγωγής, αναγκάζοντας την ενέργεια να «πηγαίνει» μετάξυ στοιχείων αποθήκευσης όπως οι πυκνωτές και τα πηνία, αντί να την «αδειάζουν» στη γείωση. Η τεχνική αυτή είναι ιδανική για εφαρμογές όπως ρολόγια τα οποία λειτουργούν σε σταθερή συχνότητα.

Το Σχήμα 5.19 παρουσιάζει το μοντέλο ενός δικτύου συντονισμού για ένα ρολόι [Chan05]. C_{clock} είναι η χωρητικότητα του δικτύου του ρολογιού. Σ' ένα συντηρημένο κύκλωμα ρολογιού, οδηγείται μεταξύ V_{DD} και GND από έναν ισχυρό απομονωτή ρολογιού. Το δίκτυο συντονισμού προσφέρει το πηνίο L_1 και τον πυκνωτή C_2 με χωρητικότητα περίπου $10C_{clock}$. Οι R_{clock} και R_{ind} αντιπροσωπεύουν απώλειες στους αγώγιους του δικτύου και το πηνίο, οι οποίες μειώνουν την ποιότητα του ολόου κυκλώματος. Σ' αυτό το κύκλωμα, η ενέργεια πηγαίνει μεταξύ των



ΣΧΗΜΑ 5.19 Δίκτυο συντονισμού.

L_1 και C_{clock} προκαλούνται ρητμονοειδή ταλάντωση στη συχνότητα συντονισμού, f . Το κύκλωμα οδηγείται προηγουμένως από ενέργεια χρειάζεται για την αντιστάθμιση των ωρικών αποκλίσεων. Η χωρητικότητα C_2 παρέχει να είναι επαρκώς μεγάλη ώστε να αποθηκεύει την πλεονάζουσα ενέργεια χωρίς να παρεμβάλλεται στη χωρητικότητα συντονισμού του ρολογιού.

$$f = \frac{1}{2\pi\sqrt{L_1 C_{\text{clock}}}} \quad (5.18)$$

Επιχειρώντας μια αναλογία με την κλασική μηχανική, θα μπορούσαμε να πούμε ότι τα πηνία αντιπροσωπεύουν ελατήρια και οι πυκνωτές αντιπροσωπεύουν μάζα. Το ίδιο το ρολόι έχει μεγάλη χωρητικότητα και μικρή επαγωγή – δηλαδή, αναπαριστά μια άκαμπτη μάζα ανερπημένη δ ένα σύνολο ελατηρίων που αντιστοιχούν στο πηνίο L_1 . Η μάζα ταλαντώνεται επάνω-κάτω. Το κύκλωμα οδηγείται του ρολογιού παρέχει την αναγκαία ενέργεια για το επαρκή ρολόι λάκτομα στη μάζα και την αντιστάθμιση της αποσβέσης των ελατηρίων, αλλά η ενέργεια αυτή είναι λίγη επειδή τα ελατήρια είναι αυτά που κάνουν την περισσότερη δουλειά, αποθηκεύοντας ενέργεια καθώς συμπιέζονται και αποδίδοντας την στη μάζα καθώς αποσυμπιέζονται.

Η IBM παρουσίασε ένα γενικό σύστημα διανομής ρολογιού το οποίο χρησιμοποιεί συντονισμό για τον επεξεργαστή Cell [Cham09]. Σε συχνότητα λειτουργίας 4–5 GHz, το σύστημα θα μπορούσε να μειώσει την κατανάλωση ισχύος του ολοκληρωμένου κατά 10%. Η χρήση συντονισμού σε κυκλώματα ρολογιού έχει και ορισμένα μειονεκτήματα, όπως το περιορισμένο φάσμα συχνοτήτων λειτουργίας ή η μημονοειδής έξοδος του ρολογιού και η δύσκολη κατασκευής πηνίων υψηλής ποιότητας με τεχνολογίες CMOS.

5.3 Στατική Ισχύς

Στατική ισχύς καταναλώνεται ακόμα κι όταν ένα ολοκληρωμένο δεν αλλάζει κατάσταση. Η τεχνολογία CMOS αντικατέστησε την nMOS επειδή το ρεύμα διαρροής που είναι ένα ενδογενές χαρακτηριστικό της λογικής nMOS περιορίζει τον αριθμό των τρανζίστορ που μπορούσαν να ενσωματωθούν δ ένα ολοκληρωμένο. Οι στατικές πύλες CMOS δεν έχουν ρεύμα διαρροής. Πριν από τον κόμβο των 90 nm, η οφελόμενη σε διαρροές καταναλώση ισχύος ενδιέφερε τους σχεδιαστές πρωτίστως κατά τη διάρκεια που το κύκλωμα ήταν σε κατάσταση αδρανούς, επειδή ήταν αμελητέες σε σύγκριση με τη δυναμική κατανάλωση ισχύος. Στις νανομετρικές τεχνολογίες κατασκευής εν τέρει κάθε πηγή στατικής ισχύος. Σηη συνέχεια θα εξετάσουμε την απομείνα διαρροής μπορεί να είναι υπεράβλητα για εώς και το ένα τρίτο της συνολικής κατανάλωσης ισχύος στην ενεργή κατάσταση. Στην Ενότητα 2.4.4 παρουσιάσαμε τους μηχανισμούς που προκαλούν ρεύματα διαρροής. Σ' αυτή την ενότητα θα εξετάσουμε εν τέρει κάθε πηγή στατικής ισχύος. Σηη συνέχεια της καταναλώσεως ισχύος καλωδιακή τεχνική power gating, η οποία είναι ιδιαίτερα σημαντική για τη μείωση της καταναλώσεως ισχύος σε κατάσταση αδρανούς. Επειδή η διαρροή υποκαταφλίου είναι συνήθως η κορυφαία πηγή στατικής καταναλώσεως ισχύος, θα διερευνήσουμε επίσης τεχνικές για τη μείωση της διαρροής.

5.3.1 Πηγές Στατικής Ισχύος

Όπως δίνεται από την Εξ. (5.12), η στατική ισχύς προκαλείται από τα ρεύματα διαρροής υποκαταφλίου, πύλης και επαφής, καθώς και από το ρεύμα διαρροής. Τα φαινόμενα διαρροής είναι κάτι για το οποίο έχουν γραφτεί ολόκληρα βιβλία, αλλά εδώ θα συνοψίσουμε τα βασικά.

5.3.1.1 Διαρροή Υποκαταφλίου Το ρεύμα διαρροής υποκαταφλίου ρέει όταν ένα τρανζίστορ υποτίθεται ότι είναι OFF. Λίαντα από την Εξ. (2.45), η οποία, για τιμές V_{ds} που ξεπερνούν τα λίγα πολλαπλάσια της θερμοκτικής τάσης (π.χ., $V_{ds} > 50$ mV), μπορεί να απλοποιηθεί στην ακόλουθη έκφραση

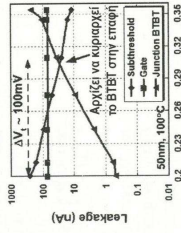
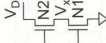
$$I_{\text{sub}} = I_{\text{off}} 10^{\frac{V_g + \eta(V_{ds} - V_{DD}) - k_f V_{ds}}{S}} \quad (5.19)$$

όπου I_{off} είναι το ρεύμα υποκαταφλίου σε $V_{gs} = 0$ και $V_{ds} = V_{DD}$ ενώ S είναι η κλίση υποκαταφλίου και δίνεται από την Εξ. (2.44) (περίπου 100 mV/δεκάδα). Το I_{off} είναι μια βασική παράμετρος της τεχνολογίας κατασκευής η οποία ορίζει το ρεύμα διαρροής ενός μεμονωμένου OFF τρανζίστορ. Κορμάνεται από περίπου 100 nA/ μm για τυπικά στοιχεία χαμηλής V_{gs} εώς κάτω από 1 nA/ μm για στοιχεία υψηλής V_{gs} . I_{off} είναι ο συντελεστής DIBL_{off} τυπικά γύρω στα 100 mV/V για ένα τρανζίστορ στα 65 nm και επικενδύει αυξητική τάση επειδή η υποδοχή σκεπεί διαρκώς αυξανόμενη επίδραση στο κανάλι καθώς συρρικνώνεται η γεωμετρία. Εάν η V_{ds} είναι μικρή,

το I_{sub} μπορεί να μειωθεί περίπου κατά μία τάξη μεγέθους από το I_{off} , k_f είναι ο συντελεστής φαινόμενου ώματος, ο οποίος περιγράφει πώς διαμορφώνει το φαινόμενο ώματος την τάση καταφλίου. Αυξάνοντας την τάση πηγής ή εφαρμόζοντας αρνητική τάση ώματος, μπορεί να μειωθεί περαιτέρω η διαρροή. Το ρεύμα I_{off} αναστρέφεται συνήθως στις προδιαγραφές για θερμοκρασία 25°C και αυξάνεται εκθετικά με τη θερμοκρασία, επειδή η V_t μειώνεται με τη θερμοκρασία και το δ είναι ευθέως ανάλογο της θερμοκρασίας.

Το I_{off} τυπικά αυξάνεται κατά δύο τάξεις μεγέθους στους 125°C , πράγμα το οποίο σημαίνει ότι ο περιφορμός της θερμοκρασίας πάνω στην ψηφίδα είναι ζωτικής σημασίας για τον έλεγχο της διαρροής. Το ρεύμα διαρροής διαμέσου δύο ή περισσότερων εν σειρά τρανζίστορ μειώνεται θεματικά λόγω του *φαινομένου σωρού* (stack effect) [Ye98, Narendral01]. Το Σχήμα 5.20 παρουσιάζει δύο εν σειρά τρανζίστορ σε κατάσταση OFF, με τις πύλες στα 0 volt. Η υποδοχή του $N2$ είναι στην V_{DD} , πράγμα το οποίο σημαίνει ότι θα έχουμε ρεύμα διαρροής στο σωρό των τρανζίστορ. Ωστόσο, η τάση στο μεσαίο κόμβο, V_x σταθεροποιείται δ ένα σημείο όπου κάθε τρανζίστορ έχει το ίδιο ρεύμα. Εάν η V_x είναι μικρή, το $N1$ θα βλέπει πολύ μικρότερο φαινόμενο DIBL και θα έχει λιγότερη διαρροή. Καθώς ανεβαίνει η V_x , η V_{gs} του $N2$ γίνεται αρνητική, μειώνοντας τη διαρροή του. Συνεπώς, θα μπορούσαμε να πούμε ότι τα εν σειρά τρανζίστορ επικεντρώνουν λιγότερη διαρροή. Αυτό μπορεί να αποδειχτεί μαθηματικά, υποθέτοντας $V_x > 50$ mV και λύνοντας για V_x και I_{sub} .

ΣΧΗΜΑ 5.20 Το φαινόμενο σωρού (OFF τρανζίστορ εν σειρά).



$$I_{\text{sub}} = I_{\text{off}} 10^{\frac{\eta(V_x - V_{DD})}{N_2 S}} = I_{\text{off}} 10^{\frac{-V_x + \eta(V_{DD} - V_x) - k_f V_x}{S}} \quad (5.20)$$

$$V_x = 1 + 2\eta + k_f \quad (5.21)$$

$$I_{\text{sub}} = I_{\text{off}} 10^{\frac{-\eta V_{DD}}{S}} \approx I_{\text{off}} 10^{\frac{-\eta V_{DD}}{S}} \quad (5.22)$$

Χρησιμοποιώντας τις παραπάνω τυπικές τιμές και $V_{DD} = 1.0$ V, βρίσκουμε ότι το φαινόμενο σωρού μειώνει τη διαρροή υποκαταφλίου κατά ένα συντελεστή περίπου 10. Σωροί με τρία ή περισσότερα OFF τρανζίστορ έχουν ακόμα χαμηλότερη διαρροή.

Η διαρροή υποκαταφλίου δεν μπορεί να μειωθεί χωρίς να λιφθούν υπόψη άλλες μορφές διαρροής [Mukheradhyay05]. Η αύξηση του επιπέδου νόθευσης, με στόχο την αύξηση της V_t μέσω ελέγχου των φαινόμενων DIBL και κοντού καναλιού, προκαλεί αύξηση του BTBT. Η εφαρμογή αντιστροφής πόλωσης ώματος για την αύξηση της V_t προκαλεί επίσης αύξηση του BTBT. Η εφαρμογή αρνητικής τάσης πύλης για αποκοπή (OFF) του τρανζίστορ προκαλεί εντονότερη αύξηση του GIDL. Το Σχήμα 5.21 υποδεικνύει ότι η διαρροή υποκαταφλίου κυριαρχεί σε μια τεχνολογία κατασκευής των 50 nm σε χαμηλές V_{gs} ενώ σε υψηλότερες V_{gs} άλλες πηγές αναλαμβάνουν τον κυρίαρχο ρόλο [Agarwal07].

Τα κυκλώματα τεχνολογίας SOI (Ποτίσιο σε Μοναχή) είναι ελκυστική επιλογή για σχεδιαστές χαμηλής διαρροής, επειδή έχουν πιο απότομη μείωση του ρεύματος υποκαταφλίου (μικρότερο n στην Εξ. (2.42)). Η σχεδίαση κυκλωμάτων SOI θα εξεταστεί στην Ενότητα 9.5.



(α)

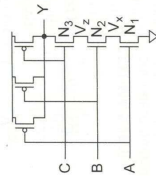


(β)

5.3.1.2 Διαρροή Πύλης Η διαρροή πύλης εξαρτάται επίσης από την τάση στα άκρα της πύλης. Για παράδειγμα, το δεύτερο διαηλεκτρικό πύλης όταν εφαρμόζεται τάση στα άκρα της πύλης (π.χ., όταν η πύλη είναι ON), μια τεχνολογία κατασκευής καθορίζει συνήθως το ρεύμα πύλης I_{CG} σε nA/ μm για μια πύλη ελάχιστου μήκους, ή σε A/ mm^2 για μια πύλη τρανζίστορ. Η διαρροή πύλης επικενδύει εντονότερα εξάρτηση από το πάχος διαηλεκτρικού. Συνήθως περιορίζεται σε αποδεκτά επίπεδα κατά την κατασκευή μέσω κατάλληλης επιλογής του πάχους του διαηλεκτρικού. Για pMOS τρανζίστορ, η διαρροή πύλης είναι μια τάξη μεγέθους μικρότερη σε συμβατικές πύλες SiO_2 και συχνά μπορεί να αγνοείται: εντούτοις, μπορεί να είναι σημαντική για άλλα διαηλεκτρικά πύλης.

Το ρεύμα διαρροής πύλης εξαρτάται επίσης από την τάση στα άκρα της πύλης. Για παράδειγμα, το Σχήμα 5.22 παρουσιάζει δύο εν σειρά τρανζίστορ. Εάν το $N1$ είναι ON και το $N2$ είναι OFF, το $N1$ έχει $V_{gs} = V_{DD}$ και υφίσταται πλήρη διαρροή πύλης. Από την άλλη, εάν το $N1$ είναι OFF και το $N2$ είναι ON,

ΣΧΗΜΑ 5.22 Διαρροή πύλης σε εν σειρά τρανζίστορ.



ΣΧΗΜΑ 5.23
Η πύλη NAND επιδεικνύει την εξόριση της διαδρομής πύλης και υποκαταφίλιου από το μοτίβο εσόδων.

έχει $V_{gs} = V_i$ και υφίσταται αμελητέα διαδρομή πύλης [Lee03, Makhoradhiyah03]. Και στις δύο περιπτώσεις, το OFF τρανζίστορ δεν έχει διαδρομή πύλης. Συνεπώς, η διαδρομή πύλης μπορεί να μετριαστεί διελευσιάζοντας το σπορ των τρανζίστορ με τρόπο ώστε το OFF τρανζίστορ να είναι πλησιέστερα στη γραμμή τροφοδοσίας. Ο Πίνακας 5.2 παρουσιάζει ουσιαστικά τις συνδυασμένες επιδράσεις της διαδρομής πύλης και υποκαταφίλιου για την πύλη NAND 3 εσόδων του Σχήματος 5.23, χρησιμοποιώντας δεδομένα από τον [Lee03] για μια τεχνολογία κατασκευής με πάχος οξείδιου 15 Å και μήκος κανάλιού 60 nm. Το ρεύμα διαδρομής πύλης για ένα nMOS τρανζίστορ που έχει είναι 6.3 nA. Για τα pMOS, το ρεύμα διαδρομής πύλης είναι αμελητέο. Το ρεύμα διαδρομής υποκαταφίλιου διαμέσου ενός pMOS τρανζίστορ με $|V_{ds}| = V_{DD}$ είναι 9.3 nA.

Η NAND3 οφείλεται από το φαινόμενο σπορού, με αποτέλεσμα μείωση του ρεύματος διαδρομής υποκαταφίλιου. Στην περίπτωση 000, και τα τρία nMOS τρανζίστορ είναι OFF και το τριπλό φαινόμενο σπορού μεώνει τη διαδρομή κατά συντελεστή 10. Οι ενδιάμεσοι κόμβοι μετακινούνται προς τα επάνω, γύρω στα 100-200 mV, όπως υπαγορεύεται το φαινόμενο σπορού. Στις περιπτώσεις 001 και 100, τα δύο nMOS τρανζίστορ είναι OFF και το διπλό φαινόμενο σπορού μειώνει τη διαδρομή κατά συντελεστή 5. Στην περίπτωση 110, ο σπορός των nMOS τρανζίστορ υφίσταται πλήρη διαδρομή υποκαταφίλιου επειδή μόνο ένα τρανζίστορ είναι OFF και βλέπει $V_{ds} = V_{DD}$. Στις περιπτώσεις 011 και 101, το ένα nMOS τρανζίστορ που είναι OFF βλέπει $V_{ds} = V_{DD} - V_p$, οπότε η διαδρομή μειώνεται εν μέρει. Στην περίπτωση 111, και τα τρία εν παραλλήλω pMOS τρανζίστορ υφίστανται διαδρομή.

Η NAND3 βλέπει επίσης διαφορετικό ρεύμα διαδρομής πύλης σε κάθε περίπτωση. Στην περίπτωση 000, και τα τρία nMOS τρανζίστορ είναι σε αποκοπή, οπότε δεν ρέει ρεύμα πύλης. Στις περιπτώσεις 001 και 011, τα ON τρανζίστορ βλέπουν $V_{ds} = V_i$ και άρα έχουν μικρή διαδρομή. Στην περίπτωση 010, το ρεύμα διαδρομής πύλης διαμέσου του M2 φορτίζει τους κόμβους V_i και V_i σε μια ενδιάμεση τάση, έως ότου η αύξηση στην τάση ηγής/υποδοχής μειώσει το ρεύμα πύλης. Αυτό αυξάνει την τάση ηγής του M3, ουσιαστικά εξαλείφοντας τη διαδρομή υποκαταφίλιου σ' αυτό. Στην περίπτωση 101, το M1 βλέπει πλήρη διαδρομή πύλης, ενώ το M3 υφίσταται ελάχιστη επειδή ο κόμβος V_i είναι σε υψηλή τάση. Στην περίπτωση 110, αμφότερα τα M1 και M2 βλέπουν διαδρομή πύλης, ενώ στην περίπτωση 111 υπάρχει διαδρομή και στα τρία nMOS τρανζίστορ.

ΠΙΝΑΚΑΣ 5.2 Ρεύματα διαδρομής πύλης & υποκαταφίλιου σε μια πύλη NAND3 (σε nA)

Κατάσταση Εισόδου (ABC)	I_{sub}	I_{gate}	I_{total}	V_k	V_z
000	0.4	0	0.4	φαινόμενο σπορού	φαινόμενο σπορού
001	0.7	0	0.7	φαινόμενο σπορού	$V_{DD} - V_i$
010	0	1.3	1.3	ενδιάμεση τιμή	ενδιάμεση τιμή
011	3.8	0	10.1	$V_{DD} - V_i$	$V_{DD} - V_i$
100	0.7	6.3	7.0	0	φαινόμενο σπορού
101	3.8	6.3	10.1	0	$V_{DD} - V_i$
110	5.6	12.6	18.2	0	0
111	28	18.9	46.9	0	0

5.3.13 Διαδρομή Επαφής: Διαδρομή επαφής συμβαίνει όταν η περιοχή διάχυσης της ηγής ή της υποδοχής είναι σε διαφορετικό δυναμικό από το υπόστρωμα. Αν και η συνθιβισμένη διαδρομή των ανώτερων πολυμένων διόδων είναι συνήθως αμελητέα, τα φαινόμενα BTBT και GIDL μπορούν να δώσουν ρεύματα διαδρομής τα οποία προσεγγίζουν τις στάθμες του ρεύματος διαδρομής υποκαταφίλιου σε τρανζίστορ υψηλής V_i . Το BTBT μεγιστοποιείται όταν εφαρμόζεται έντονη αναστροφή πόλωση μεταξύ της υποδοχής και του σώματος (π.χ., $V_{ds} = V_{DD}$ για ένα nMOS τρανζίστορ). Το GIDL μεγιστοποιείται όταν το τρανζίστορ είναι OFF και εφαρμόζεται έντονη πόλωση στην υποδοχή (π.χ., $V_{gs} = -V_{DD}$ για ένα nMOS τρανζίστορ). Η διαδρομή επαφής είναι συνήθως δευτερεύουσας σημασίας σε σύγκριση με τις άλλες διαδρομές, αλλά μπορεί να εκφραστεί σε nA ανά μm πλάτους τρανζίστορ όταν χρειάζεται να συνυπολογίζεται.

5.3.14 Ρεύμα Διαρροής: Τα στατικά κυκλώματα CMOS δεν έχουν ρεύμα διαρροής. Ωστόσο, συγκεκριμένα εναλλακτικά κυκλώματα αντλούν εκ φύσεως ρεύμα ακόμη κι όταν βρίσκονται σε κατάσταση ηρεμίας. Για παράδειγμα, οι πύλες ψευδο-nMOS που θα εξεταστούν στην Ενότητα 9.2.2 αντιμετωπίζουν ένα φαινόμενο διαρροής (contention) μεταξύ των nMOS δικτύων οδήγησης κάτω και των «άνω» ή «αγώνη» δικτύων pMOS οδήγησης πάνω όταν η έξοδος είναι 0. Τα λογικά κυκλώματα κατάστασης ρεύματος και πολλά αναλογικά κυκλώματα αντλούν επίσης στατικό ρεύμα. Τέτοια κυκλώματα θα πρέπει να αποκόπτονται όταν μεταβούν σε κατάσταση αδράνειας, απενεργοποιώντας τα δίκτυα οδήγησης πάνω ή την υψηλή ρεύματος.

5.3.15 Εκτίμηση της Στατικής Ισχύος Κατ' αρχήν θα πρέπει να υπολογιστεί το στατικό ρεύμα, υπολογίζοντας το συνολικό πλάτος των τρανζίστορ που υφίσταται διαδρομή, πολλαπλασιάζοντας επί το ρεύμα διαρροής ανά πλάτος και κατόπιν πολλαπλασιάζοντας επί τον αριθμό των τρανζίστορ που είναι σε κατάσταση διαρροής (συνήθως τα μισά). Εάν απαιτείται, θα πρέπει να προστεθεί το ρεύμα διαρροής. Στη συνέχεια, η στατική ισχύς υπολογίζεται πολλαπλασιάζοντας απλώς την τάση τροφοδοσίας επί το στατικό ρεύμα.

Παράδειγμα 5.4

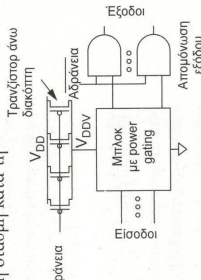
Θα χρησιμοποιήσουμε και πάλι το σύστημα σε-ολοκληρωμένο από το Παράδειγμα 5.1. Η διαδρομή υποκαταφίλιου για τα στοιχεία που είναι σε αποκοπή (OFF) είναι $100 \text{ nA}/\mu\text{m}$ για στοιχεία χαμηλής τάσης καταφίλιου και $10 \text{ nA}/\mu\text{m}$ για στοιχεία υψηλής τάσης καταφίλιου. Το ρεύμα διαρροής πύλης είναι $5 \text{ nA}/\mu\text{m}$. Το ρεύμα διαρροής επαφής είναι αμελητέο. Οι μνήμες χρησιμοποιούν παρόμοια στοιχεία χαμηλής διαρροής. Για τη λογική χρησιμοποιούνται στοιχεία χαμηλής διαρροής σε όλη την έκταση των μονοπατιών, εκτός από εκείνο το 5% που παίζει τον κρισιότερο ρόλο για την απόδοση. Υπολογίστε τη στατική καταναλωση ισχύος.

ΛΥΣΗ: Υπάρχουν 50×10^6 τρανζίστορ στη μονάδα λογικής $(0.05)(12.2)/(0.025 \mu\text{m}/\lambda) = 0.75 \times 10^6$ μμ στοιχεία χαμηλής τάσης καταφίλιου και $(50 \times 10^6 \text{ τρανζίστορ στη μονάδα λογικής})(0.95)(12.2) + (950 \times 10^6 \text{ τρανζίστορ μνήμης})(4.4)(0.025 \mu\text{m}/\lambda) = 109.25 \times 10^6$ μμ στοιχείων υψηλής τάσης καταφίλιου. Εάν αγνοήσουμε τα σπορ των εν σειρά σπορών, τα μισά τρανζίστορ είναι OFF και συνεισφέρουν στο ρεύμα διαρροής υποκαταφίλιου, I_{sub} . Τα άλλα μισά τρανζίστορ είναι ON και συνεισφέρουν στο ρεύμα διαρροής πύλης, $I_{gate} = (0.75 \times 10^6 \mu\text{m})(100 \text{ nA}/\mu\text{m}) + (109.25 \times 10^6 \mu\text{m})(10 \text{ nA}/\mu\text{m})/2 = 584 \text{ mA}$. $I_{sub} = ((0.75 + 109.25) \times 10^6 \mu\text{m})(5 \text{ nA}/\mu\text{m})/2 = 275 \text{ mA}$. $P_{static} = (584 \text{ mA} + 275 \text{ mA})(1 \text{ V}) = 859 \text{ mW}$. Αυτό αντιπροσωπεύει το 15% της ισχύος μεταγωγής και είναι αρκετό για να εξαντλήσει γρήγορα τη μισατομία μιας φορητής συσκευής.

5.3.2 Έλεγχος της Τροφοδοσίας Μέσω Πύλης (Power Gating)

Ο επεκτελεστές πρόβλεψαν για τη μείωση του στατικού ρεύματος κατά τη διάρκεια που το κύκλωμα βρίσκεται σε κατάσταση αδράνειας είναι η διακοπή της τροφοδοσίας στα «αδρανή» μπλοκ. Αυτή η τεχνική αποκαλείται *power gating* και απεικονίζεται στο Σχήμα 5.24. Το μπλοκ λαμβάνει την ισχύ του από μια ειδική γραμμή V_{DD} αποκαλούμενη V_{DDP} . Όταν το μπλοκ είναι ενεργό, τα τρανζίστορ του άνω διακλάστη (header switch) είναι ON, συνδέοντας την V_{DDP} στην V_{DD} . Όταν το μπλοκ μεταβαίνει σε κατάσταση αδράνειας, ο άνω διακλάστη αποκλείεται (OFF), αφήνοντας την V_{DDP} μετώρα (αδρανής). Ο άνω διακλάστη συμβαίνει αυτό, οι εξόδοι του μπλοκ μπορεί να βρεθούν σε στάθμες τάσης που ανήκουν στην απαγορευμένη ζώνη. Οι πύλες απομωώνονται στην έξοδο αναγκάζοντας τις εξόδους να λάβουν ένα έγκορη στάθμη κατά τη διάρκεια της κατάστασης αδράνειας, έτσι ώστε να μην προκαλούν προβλήματα στα κυκλώματα λογικής που ακολουθούν.

Η τεχνική power gating θέτει ορισμένα σχεδιαστικά προβλήματα τα οποία χρειάζονται λύση. Ο άνω διακλάστη απαιτεί προσεκτικό καθορισμό των μεγεθών των τρανζίστορ. Θα πρέπει να προσέξει ελάχιστη καθυστέρηση στο κύκλωμα κατά τη διάρκεια ενεργής λειτουργίας και θα πρέπει επίσης να έχει χαμηλή διαρροή κατά τη διάρκεια της κατάστασης αδράνειας. Επειδή η μετάβαση μεταξύ της ενεργού λειτουργίας και της κατάστασης αδράνειας απαιτεί χρόνο και ενέργεια, η τεχνική power gating είναι αποτελεσματική μόνο όταν ένα μπλοκ απενεργοποιείται για αρκετό χρόνο. Όταν εφαρμόζεται σ' ένα μπλοκ, η κατάστασή του πρέπει είτε να αποθηκεύεται, είτε να επανατεθεί (reset) κατά την επόμενη ενεργοποίησή του. Στην



ΣΧΗΜΑ 5.24 Η τεχνική power gating.

Ενόητα 10.4.3 θα εξετάσουμε τους καταχωρητές διατήρησης κατάστασης (state retention registers), οι οποίοι χρησιμοποιούν μια δεύτερη προφοδία για να διατηρούν την κατάσταση. Εναλλακτικά, η κατάσταση των σημαντικών καταχωρητών μπορεί να αποθηκεύεται στη μνήμη-περίπτωση στην οποία η τεχνική power gating μπορεί να εφαρμόζεται σε ολοκληρωμένο κύκλωμα. Τα περιεχόμενα των καταχωρητών θα πρέπει να φορτώνονται από τη μνήμη όταν αποκαταστήσει η προφοδία. Ο [Kleing07] εξετάζει επιπλέον τρόπους χρήσης της τεχνικής power gating σε μια τυπική ροή εργασιών που βασίζεται σε εργαλεία CAD. Εάν οι διακόπτες γίνονται αρκετά γρήγορα, μπορούν να χρησιμοποιούνται για την εξοικονόμηση ισχύος από φαινόμενα διαρροής κατά τη διάρκεια της ενεργής λειτουργίας, αποκόπτοντας την προφοδία στα μπουκόν με απενεργοποιημένο ρολόι (clock-gated) [Tschalm03, Min06]. Εάν η αποδέκωση ή η απώλεια της κατάστασης κοστίζει υπερβολικά σε χρόνο, η μείωση της προφοδίας στην ελάχιστη στάθμη που απαιτείται για να διατηρηθεί η κατάσταση (περίπου 300 mV) χρησιμοποιώντας δυναμική κλιμάκωση τάσης (DVS) επαρκεί για να εξελιχθεί η καταναλωτική ενέργεια λόγω της διαρροής πύλης και να μειώσει την καταναλωτική ενέργεια λόγω διαρροής υιοκατωφλίου κατά περισσότερο από μια τάξη μεγθών. [Calhoun04].

Η τεχνική power gating προτάθηκε αρχικά με το όνομα *Multiple Threshold CMOS* (MTCMOS) [Mutoh95], επειδή χρησιμοποιούσε τρανζίστορ χαμηλής V_t για τη λογική και υψηλής V_t για τους διακόπτες. Ωστόσο, το όνομα αυτό είναι μάλλον παραπλανητικό, επειδή ένα σύστημα μπορεί να χρησιμοποιήσει πολλαπλές τάσεις κατωφλίου αλλά όχι την τεχνική power gating.

5.3.2.1 Σχεδίαση με την Τεχνική Power Gating Η τεχνική power gating μπορεί να υλοποιηθεί εξωτερικά με μία εισόδου disable σε ένα ρυθμιστή τάσης, ή εσωτερικά με διακόπτες υψηλής V_t . Στην περίπτωση εξωτερικής εφαρμογής, η τεχνική power gating εξαλείφει πλήρως τη διαρροή κατά τη διάρκεια της κατάστασης αδράνειας, αλλά απαιτεί πολύ χρόνο και σημαντική ενέργεια επειδή το δίκτυο ισχύος μπορεί να έχει να εκφορτίσει εκατοντάδες nF χωρητικότητας αποφόνης.

Για την εφαρμογή της τεχνικής power gating πάνω στο ίδιο το ολοκληρωμένο μπορούν να χρησιμοποιούνται pMOS τρανζίστορ για τον άνω διακόπτη ή nMOS τρανζίστορ για τον κάτω διακόπτη (footer switch). Τα nMOS τρανζίστορ αποδίδουν περισσότερο ρεύμα ανά μονάδα πλάτους, οπότε μπορούν να είναι μικρότερα. Από την άλλη, εάν χρησιμοποιείται ταυτόχρονα εσωτερικό και εξωτερικό power gating, είναι πιο αποτελεσματικό και για τις δύο μεθόδους να αποκόπτονται την V_{DD} . Στην περίπτωση των pMOS τρανζίστορ η τεχνική power gating είναι επίσης απλούστερη όταν χρησιμοποιούνται πολλαπλές προφοδίες. Σε πρακτικό επίπεδο, το να διασφαλίζεται ότι η γειώση είναι πάντα σταθερή μειώνει τις πιθανότητες σύγχυσης μεταξύ σχεδιαστών και εργαλείων CAD, αυτό και μόνο το όφελος αρκεί για να συνηγορήσει υπέρ της τεχνικής power gating με pMOS τρανζίστορ σε πολλά έργα.

Θεωρητικά, είναι δυνατό να εφαρμοστεί κανείς την τεχνική power gating με πολύ υψηλότερο βαθμό λεπτομέρειας σε επίπεδο μεμονωμένων λογικών πύλων, αλλά η τοποθέτηση ενός διακόπτη σε κάθε κύτταρο επιφέρει τεράστια επιβάρυνση σε επιφάνεια. Οι πραγματικές σχεδίασεις χρησιμοποιούν την τεχνική *power gating* με χαμηλότερο βαθμό λεπτομέρειας σε επίπεδο ολοκληρωμένου κυκλώματος. Ένας διακόπτης έχει ενεργή αντίσταση, η οποία αναπόφευκτα προκαλεί κάποιες απώλειες τάσης στην V_{DD} και αυξάνει την καθυστέρηση του μπλοκ. Συνήθως, το μέγεθος του διακόπτη διαμορφώνεται κατάλληλα ώστε αυτή η καθυστέρηση να περιορίζεται στο 5–10%. Ένας τρόπος για να επιτευχθεί αυτό είναι να υπολογίσουμε, με το χέρι ή με προσομοίωση, πόση πτώση μπορεί να υποστεί η V_{DD} διατηρώντας ταυτόχρονα σε αποδεκτό επίπεδο την καθυστέρηση. Στη συνέχεια, το μέσο ρεύμα του μπλοκ καθορίζεται μέσω ανάλυσης ισχύος. Το πλάτος του διακόπτη επιλέγεται ώστε η πτώση τάσης να είναι επαρκώς μικρή όταν το μέσο ρεύμα διαρρέει από το διακόπτη. Εάν το μπλοκ είναι αρκετά μεγάλο, οπότε τα συμβάντα μεταγωγής έχουν μεγαλύτερη διασπορά στο χρόνο, και έχει αρκετή χωρητικότητα στην V_{DD} για την εξομάλυνση των κριμακών, αυτή η μέθοδος του μέσου ρεύματος [Mutoh99] είναι ικανοποιητική. Οι διακόπτες μεγαλύτερου πλάτους μειώνουν την πτώση τάσης αλλά έχουν περισσότερο διαφορά όταν είναι OFF και χρειάζονται περισσότερη ενέργεια. Για παράδειγμα, οι επεξεργαστές Core στα 45 nm χρησιμοποιούν 1.5 μέτρα power-gated pMOS τρανζίστορ χαμηλής διαρροής ανά πυρήνια για την απενεργοποίηση των άεργων πυρήνων [Kumar09].

Παράδειγμα 5.5

Μια μνήμη cache κατασκευασμένη σε τεχνολογία 65 nm καταναλώνει μέση ισχύ 2 W. Υπολογίστε πόσο πλάτος πρέπει να έχει το pMOS τρανζίστορ του άνω διακόπτη εάν η καθυστέρηση δεν πρέπει να αυξηθεί πάνω από 5%.

Λύση: Η τεχνολογία κατασκευής 65 nm λειτουργεί στο 1 V, οπότε το μέσο ρεύμα είναι $2 \text{ W} / 1 \text{ V} = 2 \text{ A}$.

Το pMOS τρανζίστορ έχει αντίσταση αγώγισης $R = 2 \text{ k}\Omega \cdot \mu\text{m}$. Αύξηση 5% στην καθυστέρηση αντιστοιχεί σε

πτώση της V_{DD} περίπου κατά 5% (αυτό μπορείτε να το ελέγξετε χρησιμοποιώντας την Εξ. (4.29). Συνεπώς, η $R_{\text{switch}} = 0.05 \times 1 \text{ V} / 2 \text{ A} = 25 \text{ m}\Omega$. Άρα, το πλάτος του τρανζίστορ πρέπει να είναι $2 \text{ k}\Omega \cdot \mu\text{m} / 25 \text{ m}\Omega = 8 \times 10^4 \mu\text{m}$. Η αντίσταση αγώγισης σε χαμηλή V_{ds} είναι χαμηλότερη από την R . Η προσομοίωση του κυκλώματος υποδεικνύει ότι πλάτος $3.7 \times 10^4 \mu\text{m}$ αρκεί για να κρατήσει την πτώση στο 5%.

Γενικά, ο διακόπτης ισχύος κατασκευάζεται από πολλά εν παραλληλώ τρανζίστορ. Το μήκος και το πλάτος των τρανζίστορ θα πρέπει να επιλέγεται με τρόπο ώστε να μεγιστοποιεί το λόγο $I_{\text{on}} / I_{\text{off}}$ αυτός εξαρτάται έντονα από την τεχνολογία κατασκευής και για τον υπολογισμό του απαιτεί συνήθως προσομοιώσεις με το SPICE, για ένα φάσμα τιμών L και W . Στα τρανζίστορ του διακόπτη ισχύος μπορεί να εφαρμόζεται αναστροφή πόλωσης ομίματος κατά τη διάρκεια της κατάστασης αδράνειας για τη βελτίωση του λόγου $I_{\text{on}} / I_{\text{off}}$ (βλ. Ενότητα 5.3.4). Εναλλακτικά, ο διακόπτης μπορεί να υπερδημιουργείται θετικά ή αρνητικά ώστε να ανοίγει και να κλείνει πιο αποτελεσματικά, υπό τον όρο ότι δεν υφίσταται υπερβολική καταπόνηση το οξείδιο πύλης [Min06].

Όταν ο διακόπτης ισχύος είναι ON, η αυριανία εισροή ρεύματος μπορεί να προκαλέσει θόρυβο IR και $L \cdot di/dt$ (βλ. Ενότητα 13.3) και φαινόμενο ηλεκτρομαγνητισμού στο δίκτυο ισχύος (βλ. Ενότητα 7.3.3.1). Για το μετριασμό αυτών των προβλημάτων ο διακόπτης μπορεί να ενεργοποιείται βαθμιαία, ελέγχοντας τον αριθμό των εν παραλληλώ τρανζίστορ που είναι ON.

5.3.3 Πολλαπλές Τάσεις Κατωφλίου και Πάχη Οξειδίου

Η επλεκτική εφαρμογή πολλαπλών τάσεων κατωφλίου μπορεί να διατηρεί την απόδοση στα κρισιμικά μονοίτια με τρανζίστορ χαμηλής V_t μειώνοντας ταυτόχρονα τη διαρροή σε άλλα μονοίτια με τρανζίστορ υψηλής V_t .

Μια βελτιωμένη κορτίερρον που υποστηρίζει πολλαπλές τάσεις κατωφλίου θα πρέπει να καθιστά εύκολη τα οποία θα είναι φυσικά πανομοιότυπα σε όλα εκτός από τα κατώφλιά τους, έτσι ώστε να περνάει κτώλη την αναλογία σε διαφορετικές τάσεις κατωφλίου. Μια καλή σχεδιαστική πρακτική ξεκινά με στοιχεία υψηλής V_t παντού και εισάγει επλεκτικά στοιχεία χαμηλής V_t όπου είναι αναγκαία.

Η χρήση πολλαπλών τάσεων κατωφλίου απαιτεί τη χρήση επιπλέον μασκών κατά τη διαδικασία κατασκευής, πράγμα το οποίο αυξάνει το κόστος μιας τεχνολογίας κατασκευής CMOS. Εναλλακτικά, οι σχεδιαστές μπορούν να αυξήσουν το μήκος καναλιού, τεχνική η οποία τελειώνει να αυξάνει την τάση κατωφλίου λόγω του φαινόμενου κοντού καναλιού. Για παράδειγμα, στην τεχνολογία κατασκευής 65 nm της Intel, η σχεδίαση των τρανζίστορ με 10% μεγαλύτερο μήκος μειώνει το ρεύμα I_{on} κατά 10%, αλλά μειώνει επίσης το I_{off} κατά ένα συντελεστή 3 [Rusul07]. Ο διυρήνος επεξεργαστής Xeon χρησιμοποιεί σχεδόν αποκλειστικά τρανζίστορ μεγαλύτερου μήκους στις μνήμες cache και στο 54% των πύλων των πυρήνων.

Οι περισσότερες ναυμετρικές τεχνολογίες κατασκευής χρησιμοποιούν λεπτό οξείδιο για τα τρανζίστορ λογικής και οξείδιο πολύ μεγαλύτερο πάχους για τα τρανζίστορ των μονάδων I/O, τα οποία πρέπει να αντέχουν υψηλότερες τάσεις. Το πάχος οξειδίου ελέγχεται μέσω ενός επιπλέον βήματος μασκαρίσματος. Η διατήρηση πύλης είναι αμελητέα στα στοιχεία με παχύ στρώμα οξειδίου, αλλά η απόδοσή τους είναι ανεπαρκής για υψηλής ταχύτητας εφαρμογές λογικής. Ορισμένες τεχνολογίες κατασκευής παρέχουν επίσης ένα ενδιάμεσο πάχος οξειδίου για τη μείωση της διαρροής πύλης.

Ο [Anis03] περιλαμβάνει εκτενή αναφορά στις εφαρμογές που χρησιμοποιούν πολλαπλές τάσεις κατωφλίου.

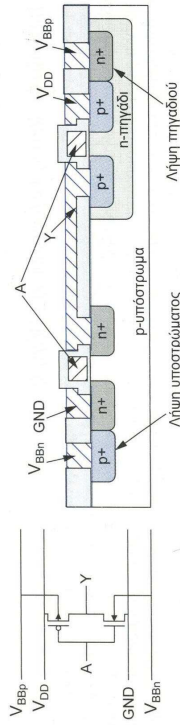
5.3.4 Μεταβλητή Τάση Κατωφλίου

Όπως υποδεικνύει η Εξ. (2.38), η V_{gs} διαμορφώνει την τάση κατωφλίου μέσω του φαινόμενου ομίματος. Μια άλλη μέθοδος για την επίτευξη υψηλού ρεύματος I_{on} στην κατάσταση ενεργής λειτουργίας και χαμηλού ρεύματος I_{off} στην κατάσταση αδράνειας είναι η δυναμική προσαρμογή της τάσης κατωφλίου του τρανζίστορ, εφαρμοζόμενος πύλωτος ομίματος. Η τεχνική αυτή αποκλείεται επίσης CMOS μεταβλητής τάσης κατωφλίου (variable threshold CMOS, VT-CMOS).

Για παράδειγμα, μπορούν να χρησιμοποιούνται στοιχεία χαμηλής V_t και να εφαρμόζεται αναστροφή πόλωσης ομίματος (reverse body bias, RBB) κατά τη διάρκεια της κατάστασης αδράνειας, για τη μείωση της διαρροής [Kuroda06]. Εναλλακτικά, μπορούν να χρησιμοποιούνται στοιχεία υψηλότερης V_t και να εφαρμόζεται ορθή πόλωση ομίματος (forward body bias, FBB) κατά τη διάρκεια της ενεργής λειτουργίας, για την αύξηση της απόδοσης [Narendral03]. Στα τρανζίστορ που αποκόπτονται από την προφοδία μέσω power gating μπορεί να εφαρμόζεται πόλωση ομίματος για την αποτελεσματικότερη απενεργοποίησή τους κατά τη διάρκεια της κατάστασης αδράνειας.

Η υπερβολική αναστροφή πόλωση σώματος (π.χ., < -1.2 V) οδηγεί σε μεγαλύτερη διαρροή επαφής μέσω του φανωμένου BITB [Keshavarzi01], ενώ η υπερβολική ορθή πόλωση σώματος (> 0.4 V) οδηγεί σε ροή σημαντικού ρευσματος διαμέσου του σώματος προς τις διόδους της πηγής. Σύμφωνα με την Εξ. (2.39), το φανωμένο σώματος εξεβάθνεται καθώς γίνεται λεπτότερο το οξείδιο (t_{ox}), πράγμα το οποίο σημαίνει ότι η πόλωση σώματος παρέχει ελάχιστη σφέλη σε τεχνολογίες από τα 90 nm και κάτω [von Armin05].

Η εφαρμογή πόλωσης σώματος απαιτεί επιπλέον γραμμές τροφοδοσίας για την διανομή των τάσεων στο υπόστρωμα και στο πηνιάδι. Για παράδειγμα, ένα σχήμα αναστροφής πόλωσης (RBB) για μια διεργασία n-πηνιάδι στο 1.0 V θα μπορούσε να παλώσει το p-τύπου υπόστρωμα σε $V_{RBB} = -0.4$ V και το n-πηνιάδι σε $V_{RBP} = 1.4$ V. Το Σχήμα 5.25 παρουσιάζει το σχηματικό και τη διατομή ενός αντιστροφέα στον οποίο χρησιμοποιείται πόλωση σώματος. Σε μια διαδικασία κατασκευής n-πηνιάδι, όλα τα nMOS τρανζίστορ μορφοποιούνται το ίδιο υπόστρωμα p-τύπου και πρέπει να έχουν την ίδια V_{RBP} . Σε μια διαδικασία κατασκευής τριπλό πηνιάδι, διαφορετικές ομάδες τρανζίστορ μπορούν να χρησιμοποιούν διαφορετικά πηνιάδια p-τύπου, απομονωμένα από το υπόστρωμα, και κατ'επέκταση διαφορετικές πόλωσεις σώματος. Επειδή το πηνιάδι και το υπόστρωμα μεταφέρουν λίγο ρεύμα, οι αναγκαίες τάσεις πόλωσης είναι σχετικά εύκολο να παραχθούν χρησιμοποιώντας μια αντάλλα φορτίου (charge pump, βλ. Ενότητα 13.3.8).



(a)

(b)

ΣΧΗΜΑ 5.25 Πόλωση σώματος

5.3.5 Έλεγχος με Διάνυσμα Εισόδου

Όπως υποδεικνύει ο Πίνακας 5.2, το φαινόμενο σωρού και η διεστέριση της σειράς των εισόδων προκαλούν διακομάνσεις στις διαρροές υποκαταφύλιου και πύλης, οι οποίες φτάνουν έως και δύο τάξεις μεγέθους μεταξύ της βέλτιστης και της χειρότερης περίπτωσης. Συνεπώς, η διαρροή που παρουσιάζει ένα μπλοκ λογικής εξαρτάται από τις εισόδους των πύλων, πράγμα το οποίο, με τη σειρά του, εξαρτάται από τις εισόδους στο μπλοκ λογικής. Το σκεπτικό της χρήσης ενός *διανύσματος εισόδων* (input vector) για σκοπούς ελέγχου εφαρμόζεται σε καταστάσεις [Narendrab, Abdollahi04]. Το εν λόγω διάνυσμα εισόδων μπορεί να εφαρμοστεί μέσω εισόδων set/reset στους καταχωρητές ή μέσω μιας αλυσίδας σάρωσης (scan chain). Ο έλεγχος όλων των πύλων ενός μπλοκ λογικής χρησιμοποιώντας μόνο τις εισόδους του μπλοκ είναι δύσκολη υπόθεση, αλλά τα καλύτερα διανύσματα εισόδων μπορούν να επιφέρουν εξοικονόμηση της τάξης του 25-50% στη διαρροή, συγκριτικά με τοχώρα διανύσματα εισόδων. Επειδή η εφαρμογή του διανύσματος εισόδων προκαλεί κάποια δραστηριότητα μεταγωγής, ένα μπλοκ μπορεί να χρειάζεται να παραμείνει σε κατάσταση αδράνειας για γιλιάρδες κύκλους ώστε να ανακτήσει την ενέργεια που αναλήφθηκε για τη μετάβαση του στην κατάσταση αδράνειας.

5.4 Βελτιστοποίηση Ενέργειας-Καθυστέρησης

Στο σημείο αυτό, εγείρεται ένα ερώτημα: Ποια είναι η βέλτιστη επιλογή για τις V_{DD} και V_T ; Η απάντηση φυσικά, εξαρτάται από το στόχο. Από μόνη της, η ελαχιστοποίηση της ισχύος δεν είναι ενδοσφαιρικός στόχος επειδή επιταχύνεται όταν η καθυστέρηση για την εκτέλεση ενός υπολογισμού προσεγγίζει το άπειρο, οπότε δεν έχουμε κανένα κέρδος. Ο χρόνος που απαιτείται για την εκτέλεση ενός υπολογισμού πρέπει να συνυπολογίζεται στην ανάλυση. Ορισμένες καλύτερες μετρήσεις είναι η ελαχιστοποίηση της ενέργειας, η ελαχιστοποίηση του γινόμενου ενέργειας-καθυστέρησης και η ελαχιστοποίηση της ενέργειας υπό δεδομένο περιορισμό στην καθυστέρηση.

5.4.1 Ελάχιστη Ενέργεια

Σύμφωνα με την Εξ. (5.3), το γινόμενο της ισχύος επί το χρόνο που απαιτεί για να ολοκληρωθεί μια λειτουργία είναι η ενέργεια που καταναλώνεται. Συνεπώς, το γινόμενο ισχύος-καθυστέρησης (power-delay product, PDP) είναι απλώς η ενέργεια. Το σημείο ελάχιστης ενέργειας αντιπροσωπεύει την ελάχιστη ενέργεια που θα μπορούσε να καταναλώσει μια λειτουργία εάν η καθυστέρηση ήταν άπειρη. Σοβιβάντι κατά τη λειτουργία στην περιοχή υποκαταφύλιου, όπου $V_{DD} < V_T$. Τοπικά, στο σημείο ελάχιστης ενέργειας καταναλώνεται κατά μία τάξη μεγέθους λιγότερη ενέργεια συγκριτικά με το συμβατικό σημείο λειτουργίας, αλλά ο χρόνος λειτουργίας επιβραδύνεται τουλάχιστον κατά τρεις τάξεις μεγέθους [Wang06].

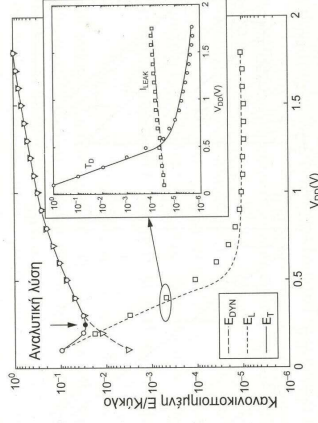
Ο John von Neumann ήταν ο πρώτος που υποστήριξε (χωρίς να το αποδείξει) ότι το «θερμοδυναμικό ελάχιστο ενέργειας ανά στοιχειώδη πράξη πληροφορίας» είναι $kT \ln 2$ [von Neumann66]. Ο [Meindl00] απέδειξε αυτό τον ισχυρισμό για τη λογική CMOS, περιμαρματισμένος με την ελάχιστη επιτρεπτή τάση στην οποία θα μπορούσε να λειτουργήσει ένας αντιστροφέας. Για να επιτευχθούν μη-μηδενικά περιθώρια θορύβου, ένας αντιστροφέας πρέπει να έχει κλίση πιο απότομη από -1 στο σημείο μεταγωγής, V_{min} . Για έναν ιδανικό αντιστροφέα με $n = 1$ στις χαρακτηριστικές της περιοχής υποκαταφύλιου, αυτό συμβαίνει σε ελάχιστη τάση λειτουργίας ίση με

$$V_{min} = 2 \ln 2 v_{tr} = 36 \text{ mV @ } 300 \text{ K} \quad (5.23)$$

Η ενέργεια που αποθηκεύεται στη χωρητικότητα πολλών μεμονωμένων MOSFET είναι $E = QV_{DD}/2$, όπου Q είναι το φορτίο. Το ελάχιστο δυνατό φορτίο είναι ένα ηλεκτρόνιο, q . Αντικαθιστώντας την V_{min} στη θέση της V_{DD} παίρνουμε $E_{min} = kT \ln 2 = 2.9 \times 10^{-21}$ J. Εν αντιθέσει, ένας μοναδιαίος αντιστροφέας σε τεχνολογία κατασκευής $0.5 \mu\text{m}$, 5 V αντλεί περίπου 1.5×10^{-13} J από την τροφοδοσία όταν μεταγγίζει, ενώ ο ίδιος αντιστροφέας σε τεχνολογία κατασκευής 65 nm, 1 V αντλεί 3×10^{-16} J.

Έχουν παρουσιαστεί αντιστροφέες που λειτουργούν με τροφοδοσίες ισχύος κάτω των 100 mV, αλλά ουσιαστικά αυτοί δεν ελαχιστοποιούν την ενέργεια σε μια πραγματική τεχνολογία κατασκευής CMOS. Αν και έχουν εξαιρετικά χαμηλή ενέργεια μεταγωγής, λειτουργούν τόσο αργά που η οφελώμενη στις διαρροές ενέργεια κορυφώνει. Το πραγματικό σημείο ελάχιστης ενέργειας είναι σε μια υψηλότερη στάθμη τάσης, η οποία εξισορροπεί την ενέργεια μεταγωγής και διαρροής.

Σε λειτουργία στην περιοχή υποκαταφύλιου, το ρεύμα μειώνεται εκθετικά καθώς μειώνεται ο όρος $V_{DD} - V_T$ και όρα η καθυστέρηση αυξάνεται εκθετικά. Η ενέργεια μεταγωγής βελτιώνεται τετραγωνικά με την V_{DD} . Το ρεύμα διαρροής βελτιώνεται αργά με την V_{DD} λόγω φανωμένου DIBL, αλλά η ενέργεια διαρροής αυξάνεται εκθετικά επειδή η αργότερη πύλη έχει διαρροή για περισσότερο χρόνο. Για να επιτευχθεί ελάχιστη ενέργεια λειτουργίας, όλα τα τρανζίστορ θα πρέπει να έχουν ελάχιστο πλάτος. Αυτό μειώνει τόσο τη χωρητικότητα μεταγωγής όσο και τη διαρροή. Η διαρροή πύλης και επαφής, καθώς και η ισχύς βραχυκύκλωσης είναι απερίτητες σε λειτουργία υποκαταφύλιου, οπότε η συνολική ενέργεια είναι το άθροισμα της ενέργειας μεταγωγής και διαρροής, το οποίο ελαχιστοποιείται κοντά στο σημείο τομής τους, όπως υποδεικνύει το Σχήμα 5.26.



ΣΧΗΜΑ 5.26 Σημείο ελάχιστης ενέργειας (αναπαράγεται από τον [Calhoun05]. © 2005 IEEE).

Για να υπολογίσουμε την ενέργεια, θα υποθέσουμε ότι ένα κύκλωμα έχει N πύλες στο κρίσιμο μονοπάτι, συνολική ενεργή χωρητικότητα C_{eff} και συνολικό ενεργό πλάτος W_{eff} για τα τρανζίστορ με διαφορά. Η καθυστέρηση μιας πύλης που λειτουργεί στην περιοχή υποκατωφλίου με φορτίο C_g δίνεται από την Εξ. (4.31). Συνεισώς, ο χρόνος κύκλου είναι

$$D = \frac{NkC_g V_{DD}}{I_{eff} 10^{V_{DD}}} \quad (5.24)$$

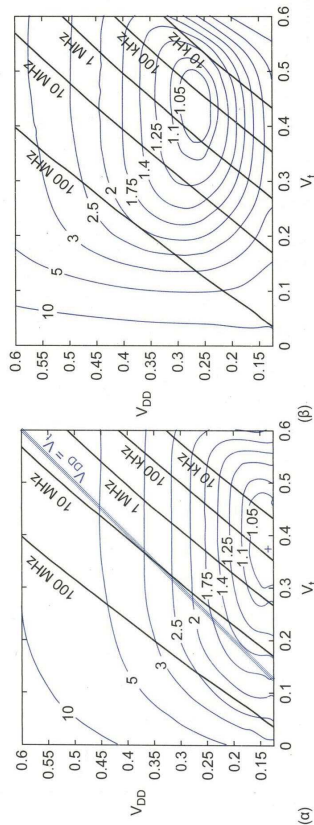
Η ενέργεια που καταναλώνεται ϵ' έναν κύκλο είναι

$$\begin{aligned} E_{switching} &= C_{eff} V_{DD}^2 \\ E_{leak} &= I_{sub} V_{DD} D = W_{eff} k C_g 10^{-V_{DD}} V_{DD}^2 \\ E_{total} &= E_{switching} + E_{leak} = V_{DD}^2 (C_{eff} + W_{eff} k C_g 10^{-V_{DD}}) \end{aligned} \quad (5.25)$$

Μπορούμε να διαφοροποιήσουμε την Εξ. (5.25) ως προς V_{DD} για να βρούμε το σημείο ελάχιστης ενέργειας [Calhoun05], αλλά αυτό είναι σχετικά δύσκολο.

Μια πιο διασθητική προσέγγιση είναι να προσδιορίσουμε το σημείο ελάχιστης ενέργειας γραφικά. Το Σχήμα 5.27(α) απεικονίζει τη γραφική παράσταση των κυκλωτών ενέργειας και καθυστέρησης ως συνάρτηση των V_{DD} και V_i για έναν ταλαντωτή δακτύλου σε τεχνολογία κατασκευής 180 nm, σχεδιασμένο ώστε να προσομοιώνει τη συμπεριφορά μιας γραμμής διαδοχικής διοχέτευσης (pipeline) ενός μικροεπεξεργαστή [Wang02]. Καθώς αυξάνεται η V_{DD} η μείωνεται η V_i η συχνότητα λειτουργίας αυξάνεται εκθετικά, υποθέτοντας ότι το κύκλωμα λειτουργεί στο, ή κοντά στο, κατώφλι. Σε $V_{DD} = V_i$, το κύκλωμα λειτουργεί περίπου στα 10 MHz. Οι καμπύλες ενέργειας είναι κανονικοποιημένες ως προς το σημείο ελάχιστης ενέργειας. Αυτό το σημείο, το οποίο επισημαίνεται με ένα σταυρό, προκύπτει σε $V_{DD} = 0.13$ V και $V_i = 0.37$ V. Η ενέργεια είναι περίπου 10 φορές χαμηλότερη από ϵ' ή, σ' ένα τυπικό σημείο λειτουργίας, αλλά η καθυστέρηση είναι τρεις έως τέσσερις τάξεις μεγέθους μεγαλύτερη.

Το σχήμα της καμπύλης έχει μικρή εξάρτηση από τις παραμέτρους της τεχνολογίας κατασκευής, οπότε παραμένει έγκορο και για τις νανοτεχνικές τεχνολογίες κατασκευής. Ωστόσο, το αποτέλεσμα επηρεάζεται έντονη εξάρτηση από τις σχετικές ενέργειες μεταγωγής και διαρροής. Το Σχήμα 5.27(β) απεικονίζει τα αποτελέσματα όταν ο παράγοντας μεταγωγής μειώνεται σε 0.1, μειώνοντας την C_{eff} . Επειδή η ενέργεια μεταγωγής είναι λιγότερο σημαντική, το κύκλωμα μπορεί να λειτουργεί σε υψηλότερη τάση τροφοδοσίας. Τότε, το κατώφλι αυξάνεται για τη μείωση της διαρροής. Η συνολική καταπόνηση ενέργειας μειώνεται σε μεγάλο βαθμό. Το αποτέλεσμα εξαρτάται επίσης από τη θερμοκρασία: σε υψηλή θερμοκρασία, τα κυκλώματα επηρεάζονται περισσότερο διαρροή, οπότε θα πρέπει να χρησιμοποιείται υψηλότερη τάση



ΣΧΗΜΑ 5.27 Καμπύλες ενέργειας και καθυστέρησης για ταλαντωτές δακτύλου με (α) $\beta = 1$, (β) $\beta = 0.1$ (Πηγή: [Wang02]. © IEEE 2002).

κατωφλίου. Οι διακυμάνσεις της τεχνολογίας κατασκευής πιέζουν επίσης το βέλτιστο σημείο λειτουργίας προς υψηλότερη τάση και ενέργεια.

5.4.2 Ελάχιστο Πινόμενο Ενέργειας-Καθυστέρησης

Το *πινόμενο ενέργειας-καθυστέρησης* (energy-delay product, EDP) είναι μια ευρέως χρησιμοποιούμενη μετρική, η οποία υιοθετείται τη συνομοιωτική της ενέργειας και της καθυστέρησης [Gonzalez97, Stan99, Nose00c]. Εάν αγνοήσουμε τη διαρροή, έχουμε στη διάθεσή μας έναν κοινό τρόπο για τον υπολογισμό της τάσης τροφοδοσίας που ελαχιστοποιεί το EDP. Εάν συνομολογήσουμε τη διαρροή, η βέλτιστη τάση τροφοδοσίας είναι ελαφρώς υψηλότερη.

Κατ' αρχήν, ως υπολογισμένο το EDP όταν η διαρροή είναι αμελητέα. Η ενέργεια που απαιτείται για τη φόρτιση ενός χωρητικού φορτίου C_{eff} δίνεται από την Εξ. (5.7). Η καθυστέρηση, χρησιμοποιώντας ένα βραχυτόμο στο νόμο α -ισχύος μοντέλο, δίνεται από την Εξ. (4.29). Συνεισώς, το EDP είναι

$$EDP = k \frac{C_{eff}^2 V_{DD}^3}{(V_{DD} - V_t)^\alpha} \quad (5.26)$$

Διαφορίζοντας ως προς V_{DD} και εξισώνοντας με 0, παίρνουμε την τάση στην οποία ελαχιστοποιείται το EDP

$$V_{DD-opt} = \frac{3}{3-\alpha} V_t \quad (5.27)$$

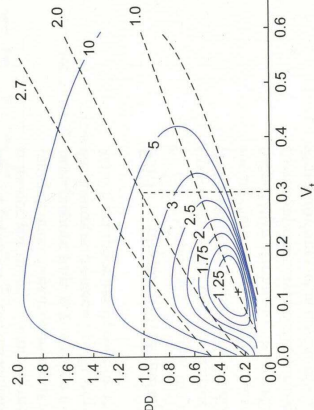
Όπως γνωρίζετε, το α κομμάτι μετάξυ 1 (μέγιστος κορεσμός ταχύτητας) και 2 (μηδενισμένος κορεσμός ταχύτητας). Για μια τυπική τιμή του α , φτάνουμε στο ενδιαφέρον συμπέρασμα ότι $V_{DD-opt} \approx 2V_t$ τιμή η οποία είναι σημαντικά χαμηλότερη από αυτή στην οποία λειτουργούν τα περισσότερα συστήματα σήμερα. Η Εξ. (5.26) δείχνει να υποδηλώνει ότι το EDP βελτιώνεται καθώς η V_i προσεγγίζει το 0, πράγμα το οποίο προφανώς δεν ισχύει, επειδή τότε θα κυριαρχούσε η ισχύς λόγω διαρροής. Εάν εννοιαστώσουμε έναν όρο διαρροής στην Εξ. (5.27), ο υπολογισμός γίνεται υπερβολικά μακροσκελής για να τον παρουσιάσουμε εδώ. Το Σχήμα 5.28 παρουσιάζει υιοθετημένες καμπύλες του EDP και της καθυστέρησης ως συνάρτηση των V_{DD} και V_i .

Το EDP είναι κανονικοποιημένο ως προς τη βέλτιστη επιτεύξιμη τιμή του. Για τυπικές παραμέτρους της τεχνολογίας κατασκευής, η βέλτιστη V_i είναι περίπου 100–150 mV και το EDP είναι περίπου τέσσερις φορές καλύτερο από αυτό που ισχύει για ένα τυπικό σημείο λειτουργίας με $V_{DD} = 1.0$ V και $V_i = 0.3$ V. Στη βέλτιστη περίπτωση, η ενέργεια που οφείλεται στη διαρροή είναι περίπου το μισό της δυναμικής ενέργειας. Οι διακεκομμένες γραμμές υποδεικνύουν καμπύλες ίσης ταχύτητας, κανονικοποιημένες ως προς την ταχύτητα στο βέλτιστο σημείο EDP. Για λειτουργία σε υψηλότερη ταχύτητα, απαιτείται αύξηση του EDP. Στην Ενότητα 7.5.3.2 θα επανεξετάσουμε αυτή την ανάλυση, συνομολογώντας τις διακυμάνσεις της κατασκευαστικής διεργασίας, και θα δείξουμε ότι το ελάχιστο EDP προκύπτει σε υψηλότερη τάση και κατώφλι όταν συνομολογίζονται αυτές οι διακυμάνσεις.

5.4.3 Ελάχιστη Ενέργεια υπό Δεδομένο Περιορισμό Καθυστέρησης

Στην πράξη, οι σχεδιαστές αντιμετωπίζουν το πρόβλημα της επιτεύξιμης ελάχιστης ενέργειας υπό δεδομένο περιορισμό καθυστέρησης. Ισοδυναμικά, η καταπόνηση ισχύος του συστήματος περιορίζεται από ζητήματα σχετιζόμενα με τη μισαρέα ή την ψύξη και ο σχεδιαστής επιδιώκει να πετύχει την ελάχιστη καθυστέρηση υπό δεδομένο περιορισμό στην ενέργεια. Στο Σχήμα 5.27(α) είδατε τις καμπύλες καθυστέρησης και ενέργειας. Η βέλτιστη τάση τροφοδοσίας και κατωφλίου για λειτουργία σε δεδομένη καθυστέρηση αντιστοιχεί στο σημείο όπου εφάπτονται οι καμπύλες καθυστέρησης και ενέργειας.

Για δεδομένη τάση τροφοδοσίας και τάση κατωφλίου, ο σχεδιαστής μπορεί να λάβει τις κατάλληλες αποφάσεις σε επίπεδο λογικής και τάση κατωφλίου, να επηρεάσει την καθυστέρηση και την ενέργεια. Στο Σχήμα 5.13 είδατε ένα παράδειγμα συμβιβασμού μεταξύ ενέργειας και καθυστέρησης. Έτσι, οι καμπύλες



ΣΧΗΜΑ 5.28 Γραφική παράσταση του πινόμενου ενέργειας-καθυστέρησης (Πηγή: [Gonzalez97]. © IEEE 1997).

μπορούν να παράγονται, χρησιμοποιώντας ένα εργαλείο σύνθεσης λογικής ή υπολογισμό μεγέθων στοιχείων, στο οποίο εισάγονται διάφοροι περιορισμοί καθυστέρησης. Η καρμπή γίνεται από την κοινή στο σημείο ελάχιστης καθυστέρησης, πράγμα το οποίο σημαίνει ότι οι αποτελεσματικές (σε σχέση με την ενέργεια) σχεδιαστές θα πρέπει να συγχέουν σε λειτουργία με μεγαλύτερη καθυστέρηση.

Ελαχιστοποίηση της ενέργειας υπό δεδομένο περιορισμό καθυστέρησης επιτυγχάνεται επίσης όταν η διαδρομή αντιστοιχεί περίπου στο μισό της δυναμικής ισχύος [Marković'04]. Ωστόσο, επειδή η καρμπή είναι ογκεινά επιπέδη γύρω από αυτό το σημείο, πολλές σχεδιαστές προβλέπουν λειτουργία του συστήματος σε χαμηλότερη διαδρομή για να διεκδικούν την εξοικονόμηση ισχύος κατά τη διάρκεια της κατάστασης αδράνειας.

5.5 Αρχιτεκτονικές Χαμηλής Κατανάλωσης Ισχύος

Στο παρελθόν, η σχεδίαση συστημάτων VLSI περιόριζαν από τον αριθμό των τρανζίστορ που μπορούσαν να χωρέσουν σ' ένα ολοκληρωμένο. Η απολαβή της μέγιστης ταχύτητας από κάθε τρανζίστορ ήταν ο τρόπος για τη μεγιστοποίηση της συνολικής απόδοσης. Εν αντιθέσει, στις νανομετρικές κλίμακες του σήμα, όπου διακεταμύρια τρανζίστορ χωρούν σ' ένα ολοκληρωμένο, πολλές σχεδιαστές υφίστανται περιορισμούς στην κατανάλωση ισχύος, ενώ οι σχεδιαστές με αποτελεσματικότερη χρήση της ενέργειας είναι αυτές που δίνουν τη βέλτιστη απόδοση. Αυτός είναι ένας από τους παράγοντες στους οποίους οφείλεται η μετάβαση της αγοράς σε πολυπύρηνους επεξεργαστές.

5.5.1 Μικροαρχιτεκτονική

Οι αποτελεσματικές ως προς την ενέργεια αρχιτεκτονικές αξιοποιούν τις αργές της τημητοποίησης (modularity) και τις τοπικότητες (locality) της δομημένης σχεδίασης [Horowitz'04, Naiffziger'08]. Ο [Policke'99] παρατηρεί ότι η απόδοση των επεξεργαστών αυξάνει ανάλογα με την τετραγωνική ρίζα του αριθμού των τρανζίστορ. Η κατασκευή πολύπλοκων «απλομένων» επεξεργαστών με παραλληλισμό (παράλληλη λειτουργία) σε επίπεδο εντολών, αποσκοπώντας να μην μείνει ανεξιοποίητο ούτε ένα bit, είναι εξαιρετικά αποτελεσματική τόσο αφορά την ενέργεια. Οι μικροαρχιτεκτονικές προσαρμόζονται πάλι στην χρήση μεγαλύτερου αριθμού απλούστερων πυρήνων, επιδιώκοντας τον παραλληλισμό σε επίπεδο εργασιών και δεδομένων. Οι μικρότεροι πυρήνες έχουν επίσης μικρότερο μήκος αγωγούς και ταχύτερη προσέλαση μνήμης.

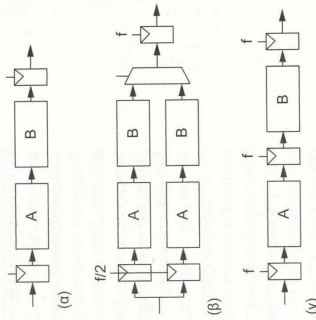
Οι μνήμες έχουν πολύ χαμηλότερη πυκνότητα ισχύος από τις μονάδες λογικής, λόγω εξαιρετικά μικρού πάραυτα μεταγωγής, ενώ η κανονικότητα τους απλοποιεί τον έλεγχο των διαρροών. Εάν μια εργασία μπορεί να επιταχυνθεί χρησιμοποιώντας είτε ταχύτερο επεξεργαστή είτε μεγαλύτερη μνήμη, συχνά η μνήμη ή προτιμότερη επιλογή. Σήμερα, οι μνήμες καταλαμβάνουν πάνω από τη μισή επιφάνεια πολλών ολοκληρωμένων.

Οι λειτουργικές μονάδες ειδικού σκοπού μπορούν να παρέχουν αποτελεσματική αξιοποίηση της ενέργειας κατά μία τάξη μεγέθους καλύτερη από αυτή των επεξεργαστών γενικού σκοπού. Οι μονάδες που χρησιμοποιούνται ως επιταχυντές σε υπολογιστικά απαιτητικές εφαρμογές –π.χ. γραφικών, δικτύωσης και κρυπτογραφίας– αναλαμβάνουν αυτές τις εργασίες, ανακουφίζοντας τον κύριο επεξεργαστή του συστήματος. Τέτοιες επεργαστικές αρχιτεκτονικές που συνδυάζουν συμβατικούς πυρήνες, εξειδικευμένους επιταχυντές και μεγάλες ποσότητες μνήμης, αποκτούν ολοένα και μεγαλύτερη αποδοτικότητα.

Στην παρούσα περίπτωση, έχει αποδειχτεί ότι η εξέλιξη του εμπορικού λογισμικού παρουσιάζει οδήγηση περίπου μιας δεκαετίας έναντι των σημαντικών εξελίξεων στο υλικό, όπως για παράδειγμα, η εκοινωνική μνήμη, η προσομοίωση 32-/64-bit χειριστές δεδομένων και η εβρωστη διαχείριση ισχύος. Επί του παρόντος, οι προγράμματα, αντιμετωπίζουν δυσκολίες στην αξιοποίηση των πολυπύρηνων επεξεργαστών. Ο χρόνος θα δείξει εάν οι πρακτικές και τα εργαλεία προγραμματισμού θα καταφέρουν να εξελιχθούν ώστε να προλάβουν την τεχνολογία, ή εάν οι μικροαρχιτεκτονικές θα είναι αυτές που θα προσαρμοστούν στις ανάγκες των προγραμματιστών.

5.5.2 Παραλληλισμός και Διοχέτευση

Στο παρελθόν, ο παραλληλισμός (parallelism, παράλληλη λειτουργία) και η διοχέτευση (pipelining) ήταν αποτελεσματικοί τρόποι για τη μείωση της κατανάλωσης ισχύος, όπως υποδεικνύει το Σχήμα 5.29 [Chandrakasan'02].



ΣΧΗΜΑ 5.29 Λειτουργικές μονάδες: (α) κανονική, (β) με παραλληλισμό, (γ) με διοχέτευση.

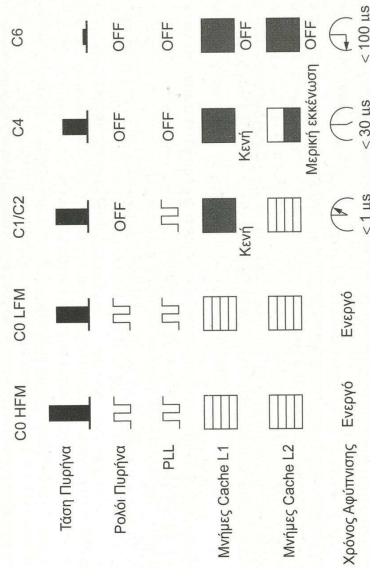
Η αντικατάσταση μιας μεμονωμένης λειτουργικής μονάδας με N παράλληλες μονάδες επιτρέπει σε κάθε μία να λειτουργεί στο $1/N$ της συχνότητας. Ένας πολύπλοκος εκτελεστής την επιλογί μεταξύ των αποτελεσμάτων. Η τάση μπορεί να κλιμακωθεί προς τα κάτω αντιστοίχως, παρέχοντας τετραγωνική εξοικονόμηση ενέργειας αντίτιμο το διπλασιασμό της επιφάνειας. Η αντικατάσταση μιας μεμονωμένης λειτουργικής μονάδας με μια N σταθίων μονάδα με διοχέτευση μειώνει επίσης το ποσό της λογικής ανά κύκλο ρολογιού, με αντίτιμο περισσότερες καταχωρήσεις. Κατ' αυτή την περίπτωση, η τάση μπορεί να κλιμακωθεί προς τα κάτω. Επιπλέον, οι δύο τεχνικές μπορούν να συνδυάζονται, για ακόμη καλύτερη αξιοποίηση της ενέργειας.

Όταν η διαδρομή είναι άνω σημασίας, ο παραλληλισμός παρέχει ένα μικρό πλεονέκτημα επειδή ο πολύπλοκος έχει λιγότερο φόρτο από τους καταχωρητές των σταθίων διοχέτευσης. Επίσης, η τάση κατανόμη και εξορθόληση της λογικής μεταξύ των σταθίων διοχέτευσης μπορεί να αποδειχτεί δύσκολη υπόθεση. Σήμερα, η ποιο διαδρομή συμβάλει κατά μεγάλο μέρος στη συνολική κατανάλωση ισχύος, η διοχέτευση αποτελεί ελκυστικότερη επιλογή επειδή το αντίστοιχο υλικό που απαιτείται για την «λοποίηση» παραλληλισμού έχει πλησιέστερα στο βέλτιστο σημείο δεδομένου ότι σήμερα η $1/10$ βρίσκεται πλησιέστερα στο βέλτιστο σημείο ενέργειας-καθυστέρησης, οι δυνατότητες μείωσης της τάσης τροφοδοσίας και εξοικονόμησης ενέργειας αρχίζουν να εκλείπουν. Παρά ταύτα, ο παραλληλισμός και η διοχέτευση παραμένουν βασικά εργαλεία για την άντληση κατά το δυνατόν μεγαλύτερης απόδοσης από τους τεραστίους προϋπολογισμούς τρανζίστορ που διαχειρίζονται οι σχεδιαστές.

5.5.3 Καταστάσεις Διαχείρισης Ισχύος

Όπως μάθατε από τους γενικές σας να ορίσετε τα φώτα όταν βγαίνετε από ένα δωμάτιο, οι σχεδιαστές ολοκληρωμένων έχουν μάθει ότι πρέπει να απενεργοποιούν ανεγκριμένα τμήματα ενός ολοκληρωμένου όταν δεν είναι ενεργά, εφευρρίζοντας τις τεχνικές clock/power gating που εξετάσαμε παραπάνω. Πολλά ολοκληρωμένα σήμερα χρησιμοποιούν διάφορες καταστάσεις διαχείρισης ισχύος, οι οποίες παρέχουν διαφορετικούς συμβιβασμούς, μεταξύ εξοικονόμησης ισχύος και χρόνου αφύπνισης.

Τα παρόδενυμα, ο επεξεργαστής Atom της Intel [Gerasos'09] λειτουργεί σε μέγιστη συχνότητα 2 GHz στο 1 V, κατανalώνοντας ισχύ 2 W. Οι καταστάσεις διαχείρισης ισχύος παρουσιάζονται στο Σχήμα 5.30. Στην



ΣΧΗΜΑ 5.30 Καταστάσεις διαχείρισης ισχύος του επεξεργαστή Atom (© 2009 IEEE).

κατάσταση χαμηλής συχνότητας, το ρολόι πέφτει στο χαμηλό επίπεδο των 600 MHz, ενώ η τροφοδοσία μειώνεται στα 0,75 V. Στην κατάσταση αδράνειας C1, το ρολόι του πυρήνα απενεργοποιείται ενώ η μνήμη cache επίπεδο 1 εκκενώνεται και απενεργοποιείται μέσω πύλης (power-gated) με στόχο τη μείωση των διαρροών, αλλά ο επεξεργαστής μπορεί να επανέλθει σε κατάσταση ενεργής λειτουργία σε 1 μικροδευτερόλεπτο. Στην κατάσταση αδράνειας C4, απενεργοποιείται επίσης η PLL. Στην κατάσταση αδράνειας C6, ο πυρήνας και οι μνήμες cache απενεργοποιούνται μέσω πύλης (power-gated) για τη μείωση της κατανάλωσης ισχύος σε λιγότερο από 80 mW, αλλά ο χρόνος αφύπνισης ανεβαίνει στα 100 μικροδευτερόλεπτα. Για ένα τυπικό φόρτο εργασίας, ο επεξεργαστής μπορεί να αναλύσει το 80-90% του χρόνου του στην κατάσταση αδράνειας C6, μειώνοντας τη μέση κατανάλωση ισχύος στα 220 mW.

Η ισχύς που μπορεί να καταναλώσει ένα ολοκληρωμένο στις χειριρικές δυνατές συνθήκες μπορεί να είναι κατά ένα συντελεστή δύο, ή ακόμα περισσότερο, μεγαλύτερη από την κανονική ισχύ. Ο κώδικας που προκαλεί μέγιστη κατανάλωση ισχύος αποκαλείται επίσης *θερμικός κώδικας* (thermal virus [Naffziger06]), επειδή πρακτικά μπορεί να κέρει το ολοκληρωμένο. Για να αποφευχθούν την ανάγκη λήψης μέτρων για την αντιμετώπιση αυτής της χειριρικής περίπτωσης, τα ολοκληρωμένα μπορούν να χρησιμοποιούν προσαρμοστικές λειτουργίες, περιορίζοντας τη δραστηριότητα εάν ο ρυθμός εκτέλεσης ενταλών ή η θερμοκρασία του ολοκληρωμένου φτάσουν σε πολύ υψηλά επίπεδα. Στην Ενότητα 13.2.5 θα ασχοληθούμε με τους αισθητήρες θερμοκρασίας.

Η διαχείριση ισχύος οδηγεί σε σημαντικά χαμηλότερη κατανάλωση ισχύος κατά τη διάρκεια που το ολοκληρωμένο περπατάει άεργο, συγκριτικά με την κατάσταση ενεργής λειτουργίας. Η μετράβαση μεταξύ αδράνειας και ενεργής λειτουργίας μπορεί να απαιτήσει περισσότερους από έναν κύκλους, για την αποφυγή απαντιών αιχμών ρεύματος που προκαλούν συντονισμούς και υπερβολικό θόρυβο τροφοδοσίας.

5.6 Κίνδυνοι και Πλάνες

Υπερμεγέθεις πύλες

Οι σχεδίαστές που επιδιώκουν να κλείσουν πίσω τα ζήττα του χρόνου ενός ολοκληρωμένου συνήθως αυξάνουν το μέγεθος των πύλων. Ο διπλασιασμός του μεγέθους όλων των πύλων σ' ένα μονοπάτι που κυριαρχείται από πύλες δεν βελτιώνει την καθυστέρηση, αλλά διπλασιάζει την κατανάλωση ισχύος.

Σχεδίασμός με γνώμονα την ταχύτητα, χωρίς συνυπολογισμό της ισχύος

Οι ναυπηγικές τεχνολογίες κατασκευής έχουν φτάσει σ' ένα σημείο όπου δεν είναι πλέον δυνατό να σχεδιαστεί ένα μεγάλο ολοκληρωμένο με γνώμονα την ταχύτητα χωρίς να λαμβάνεται υπόψη η ισχύς, διότι η φύση του ολοκληρωμένου καθιστά σχεδόν αδύνατη. Οι σχεδίασεις ολοκληρωμένων πρέπει να διαχειρίζονται αποτελεσματικά την ισχύ. Τα συστήματα που βελτιστοποιούνται αποκλειστικά με γνώμονα την ταχύτητα χρησιμοποιούν συνήθως μεγάλες πύλες και «φύλαξη» λογική, η οποία καταναλώνει μεγάλες ποσότητες ισχύος. Εάν ένας πυρήνας ή άλλο στοιχείο επεξεργασίας μπορεί να απλοποιηθεί ώστε να παρέχει το 80% της απόδοσης στο 50% της κατανάλωσης ισχύος, τότε δύο παράλληλοι πυρήνες μπορούν να παρέχουν 160% της ρυθμιστάδοσης με την ίδια κατανάλωση ισχύος.

Αναφορά της κατανάλωσης ισχύος σε συγκεκριμένη συχνότητα αντί για την ενέργεια ανά λειτουργία

Σε ορισμένες περιπτώσεις μια μονάδα περιγράφεται βάσει της κατανάλωσης ισχύος που επιδιώκει σε μια αυθαίρετη συχνότητα (π.χ. 10 mW στα 1 GHz). Αυτό ισοδυναμεί με το να αναφέρεται η ενέργεια, επειδή $E = P \cdot t$ (π.χ., 10 pJ). Το να αναφέρεται η ενέργεια είναι αναμφισβήτητο σαφέστερο επειδή είναι ένας αριθμός.

Αναφορά του γινόμενου καθυστέρησης-ισχύος αντί του γινόμενου ενέργειας-καθυστέρησης

Ετεκτείνοντας το παραπάνω επιχείρημα, σε ορισμένες περιπτώσεις ένα σύστημα περιγράφεται βάσει του γινόμενου καθυστέρησης-ισχύος (PDP) σε συγκεκριμένη συχνότητα, αν και η συχνότητα είναι αρθροίτη από το αντίστροφο της καθυστέρησης. Στην πραγματικότητα, αυτή η μετρική είναι απλώς παραλλαγή του γινόμενου ενέργειας-καθυστέρησης (EDP), επειδή η ισχύς σε επαρκώς χαμηλές συχνότητες ισοδυναμεί με την ενέργεια. Το να αναφέρεται το EDP είναι σαφώς προτιμότερο επειδή δεν προϋποθέτει μια αυθαίρετη επιλογή συχνότητας.

Μη-συνυπολογισμός της διαρροής

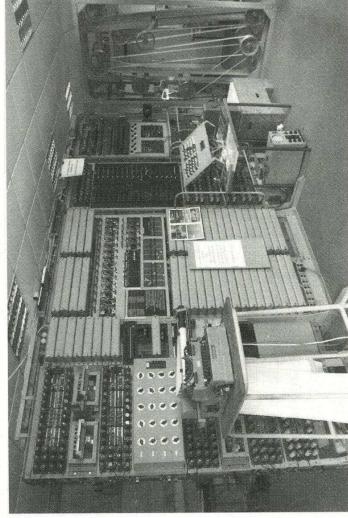
Πολλά σχεδίαστές συνήθουν να εστιάζουν στη δυναμική κατανάλωση ισχύος. Η διαρροή, σε όλες τις μορφές της, έχει γίνει εξαιρετικά σημαντική στις ναυπηγικές τεχνολογίες κατασκευής. Το να αγνοείται δεν συνεπάγεται μόνο υποτιμημένες εκτιμήσεις της κατανάλωσης ισχύος, αλλά μπορεί επίσης να προκαλέσει λειτουργικές αστοχίες σε ευαίσθητα κυκλώματα.

5.7 Σύντομη Ιστορική Αναδρομή

Η ιστορία της ηλεκτρονικής υπήρξε ένας ανελέητος αγώνας για τη μείωση της κατανάλωσης ισχύος, έτσι ώστε να μπορούν να παρέχονται περισσότερες δυνατότητες σε μικρότερο όγκο.

Ο Colossus, που τέθηκε σε λειτουργία το 1944, ήταν ένας από τους πρώτους ηλεκτρονικούς υπολογιστές του κόσμου. Αυτή η μηχανική μηχανή ήταν κατασκευασμένη με 2400 λυχνίες κενού και καταναλώνει 15 kW, δουλώντας μέρα νύχτα για την αποκρυπτογράφηση των επικοινωνιών της γυαλιερικής Γερμανίας. Η μηχανή καταστράφηκε μετά τον πόλεμο, αλλά το 2007 ανακατασκευάστηκε ένα λειτουργικό αντίγραφο της, το οποίο παρουσιάζεται στο Σχήμα 5.31.

Τα συστήματα με λυχνίες κενού καταλάμβαναν το χώρο αρκετών δοματίων και παρουσίαζαν συχνά βλάβες. Φανταστείτε πώς είναι να κρατάτε αναμμένους ταυτόχρονα 2400 λαμπτήρες. Μέχρι τη δεκαετία του '60, οι λυχνίες κενού είχαν ξεπεραστεί από τα τρανζίστορ στερέας κατάστασης, τα οποία ήταν πολύ μικρότερα και καταναλώναν ισχύ μερικών milliwatt αντί μερικών watt που ήθελαν οι λυχνίες. Όχι πολύ αργότερα, ο Gordon Moore διατύπωσε την περιφημη εκτίμηση ότι σχετικά με την εφευρετική αύξηση του αριθμού των τρανζίστορ ανά ολοκληρωμένο.



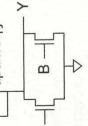
ΣΧΗΜΑ 5.31 Ανακατασκευή του Colossus Mark 2 (φωτογραφία του Tony Sale, αναπαράγεται κατόπιν αδείας).

Τα MOSFET παρουσιάστηκαν στο εμπόριο προκίνητο τη δεκαετία του '70. Για περισσότερο από μία δεκαετία κυριάρχησε η τεχνολογία nMOS, επειδή μπορούσε να πακετάρει πιο πυκνά τα τρανζίστορ (και άρα ήταν φθηνότερη) απ' ό,τι η τεχνολογία CMOS. Τα nMOS κυκλώματα χρησιμοποιούσαν δικτάτα οδήγησης πάνω με στοιχεία αρνητικής V_{gs} σαν οριζικά φορτία, οπότε κάθε πόλη με μηδενική έξοδο καταναλώνει ισχύ λόγω ρεύματος διαρροής. Για παράδειγμα, το Σχήμα 5.32 παρουσιάζει μια nMOS πύλη NOR 2 εισόδων.

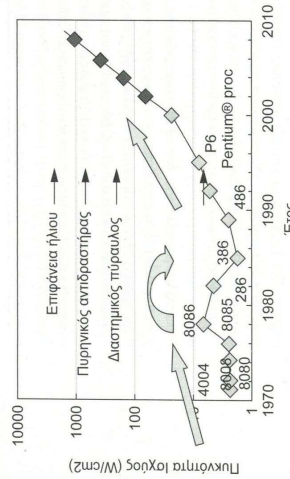
Τα κυκλώματα CMOS έκαναν το ντεμπούτο τους στα ρολόγια χειρός (φυσικά, από τους Ελβετούς), όπου το πολύ σημαντική δυνατότητά τους να καταναλώνουν σχεδόν μηδενική ισχύ όταν δεν μεταγίνονταν ήταν ζωτικής σημασίας [Vittoz72]. Αυτή η χρήση τους γνώρισε επιτυχία παρά τις πολύ χαμηλές πυκνότητες και ταχύτητες των κυκλωμάτων CMOS εκείνης της εποχής. Μόνο περί τα μέσα της δεκαετίας του '80 η διαρκής αύξηση της κατανάλωσης ισχύος στα κυκλώματα ευρείας χρήσης, όπως οι μικροεπεξεργαστές, επέβαλε τη μετράβαση από την τεχνολογία nMOS στην CMOS, παρά τις όποιες αντιρρήσεις σχετικά με την πυκνότητα των κυκλωμάτων.

Καθώς οι μηχανικοί απέκτησαν σταδιακά τη δυνατότητα να ενσωματώνουν εκατομμύρια (και σήμερα δεκάεκατομμύρια) CMOS-τρανζίστορ σ' ένα και μόνο ολοκληρωμένο, η κατανάλωση ισχύος άρχισε να γίνεται σοβαρό ζήτημα και για την τεχνολογία CMOS. Τη δεκαετία του '90, οι σχεδίαστές αντιμετώπισαν μ' ένα αδιεπίλυτο εμπόδιο όσον αφορά την κατανάλωση ισχύος, εγκατέλειψαν το για πολλά χρόνια αγαπημένο τους πρότυπο των 5 V και άρχισαν να αναζητούν τρόπους κλιμάκωσης της

nMOS κατάσταση
απόλυσης



ΣΧΗΜΑ 5.32 Πύλη NOR τεχνολογίας nMOS.



ΣΧΗΜΑ 5.33 Εξέλιξη της πυκνότητας ισχύος των μικροεπεξεργαστών, σύμφωνα με τις προβλέψεις του 2001 (αναπαράγεται με την άδεια της Intel Corporation).

γίσκες δεν θα δοκιμάσουν στο μέλλον», καθώς και ότι εάν η κλιμάκωση συνεχίζονταν μ' αυτό το ρυθμό, έως το 2005 οι επεξεργαστές υψηλής ταχύτητας θα είχαν την πυκνότητα ισχύος ενός πυρηνικού αντιδραστήρα, έως το 2010 αυτή ενδεχομένως θα έφτανε στο 150 W για τους επεξεργαστές υψηλών επιδόσεων και πολύ χαμηλότερα για τα προφοδοτούμενα από μπαταρία συστήματα.

Η διακοπή του ρολογιού μέσω πολλής (clock gating) ήταν η πρώτη τεχνική που εφαρμόστηκε ενόψει για τη μείωση της ισχύος, λόγω του ότι είναι σχετικά απλή. Η διακοπή της προφοδοσίας μέσω πολλής (power gating) εφαρμόστηκε αρχικά σε συστήματα χαμηλής ισχύος με προφοδοσία από μπαταρία, για την αύξηση της διάρκειας ζωής σε κατάσταση αναμονής, αλλά είναι πλέον αναγκαία για τον έλεγχο της διαρροής ακόμα και σε μικροεπεξεργαστές υψηλών επιδόσεων [Rusai10]. Οι ξεχωριστές επικρατήσεις τάσης είναι επίσης μια εφόδος χρησιμοποιούμενη τεχνική. Αρχικά, παρέχονταν ξεχωριστές προφοδοσίες για τον πυρήνα και τη μονάδα εισόδου/εξόδου (I/O), για λόγους συμβατότητας με τα παλαιότερα πρότυπα I/O. Το επόμενο βήμα ήταν ο διαχωρισμός της προφοδοσίας για τις μνήμες από την προφοδοσία για τη λογική του πυρήνα. Οι διατάξεις μνήμης χρησιμοποιούν συνήθως μια σταθερή, σχετικά υψηλή τάση προφοδοσίας (όσο υψηλή επιτρέπει η τεχνολογία κατασκευής), για λόγους αξιοπιστίας. Η λογική καταναλώνει το μεγαλύτερο μέρος της δυναμικής ισχύος και γι' αυτό λειτουργεί σε χαμηλότερη, πιθανώς μεταβαλλόμενη τάση. Σε ορισμένες περιπτώσεις, οι βρόχοι με κλειδίωμα φάσης ή άλλα εισαχθέντα αναλογικά κυκλώματα χρησιμοποιούν μία επιπλέον επικρασία τάσης. Η δυναμική κλιμάκωση τάσης χρησιμοποιείται ενόψει επειδή προσφέρει ένα φάσμα επιλογών για την επιτάχυνση του βέλτιστου συμβιβασμού μεταξύ ισχύος και απόδοσης [Clark01]. Για παράδειγμα, οι επεξεργαστές του φορητών υπολογιστών λειτουργούν συνήθως σε υψηλότερη τάση όταν το σύστημα είναι συνδεδεμένο στο δίκτυο ρεύματος.

Η πόλωση σώματος έχει χρησιμοποιηθεί για τον έλεγχο της διαρροής σε εφαρμογές όπως ο μικροεπεξεργαστής xScale της Intel [Clark02], ο μικροεπεξεργαστής Efficence της Transmeta και ένα σύστημα κωδικοποίησης/αποκωδικοποίησης (codec) MPEG4 της Toshiba [Takahashi98]. Στο ίδιο codec χρησιμοποιείται επίσης κλιμάκωση τάσης κατά συστάδες (clustered voltage scaling). Και οι δύο αυτές τεχνικές εστιάουν επιβάρυνση λόγω των γραμμών τάσης που πρέπει να διαρρέουν ένα μικρό και των μηχανισμών ελέγχου θορύβου που εφαρμόζονται σ' αυτές τις γραμμές. Δεν έχουν καταφέρει να τύχουν ευρείας εφαρμογής, ενώ η αποτελεσματικότητα της πόλωσης σώματος είναι περιορισμένη κάτω από τα 130 nm, επειδή η επίδραση του φαινόμενου σώματος μειώνεται ανάλογα με το πάχος οξειδίου.

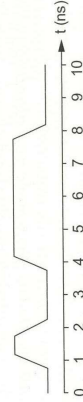
Ουσιαστικά, η μεταβαση στην τεχνολογία CMOS ήταν το τελευταίο μεγάλο άλμα που έγινε στις τεχνολογίες ημιαγωγών ευρείας χρήσης. Μέχρι σήμερα, κανείς δεν κατάφερε να βρει καλύτερα ημιαγωγικά στοιχεία. Τα εκατοντάδες διαφορετικά δοκίμια που έχουν ελεγχθεί για τη βελτιστοποίηση της τεχνολογίας CMOS την καθιστούν σχεδόν αξεπέραστη. Αντί να αναζητάμε το επόμενο άλμα της τεχνολογίας, η καλύτερη προσοπτική μας είναι να συνεχίσουμε τις προσπάθειες για την όσο το δυνατόν αποτελεσματικότερη χρήση της ενέργειας.

Σύνοψη του Κεφαλαίου

Η κατανομή ισχύος που επιδεικνύει ένα κύκλωμα έχει μια δυναμική και μια στατική συνιστώσα. Η δυναμική κατανομή ισχύος οφείλεται στη φόρτιση και εκφόρτιση των χωρητικών φορτίων και εξαρτάται από τη συχνότητα, την τάση, τη χωρητικότητα και τον παρόντα μεταγωγής. Η στατική κατανομή ισχύος προκύπτει από τα φαινόμενα διαρροής και από κυκλώματα τα οποία έχουν ένα «οκείπιμο» μονοπάτι μεταξύ V_{DD} και γείωσης. Τα κυκλώματα CMOS είχαν ανέκαθεν σχετικά χαμηλή κατανομή ισχύος, επειδή οι συμπληρωματικές πύλες CMOS καταναλώνουν σχεδόν μηδενική στατική ισχύ όταν λειτουργούν σε υψηλή τάση κτωφίλιου. Ωστόσο, η διαρροή αυξάνεται καθώς μειώνεται το μέγεθος στοιχείου, πράγμα το οποίο καθιστά τη στατική κατανομή ισχύος εξίσου σημαντικό ζήτημα με τη δυναμική κατανομή ισχύος. Ο καλύτερος τρόπος ελέγχου της κατανομής ισχύος είναι η απενεργοποίηση ενός κυκλώματος όταν αυτό δεν χρησιμοποιείται. Οι σημαντικότερες τεχνικές που χρησιμοποιούνται γι' αυτό το σκοπό είναι η clock gating, η οποία απενεργοποιεί το ρολόι για μια μονάδα κατά τη διάρκεια που είναι αδρανής και η power gating, η οποία διακόπτει την προφοδοσία όταν μια μονάδα είναι σε κατάσταση αδράνειας.

Ασκήσεις

- Υποθέστε ότι συνθέτετε ένα ολοκληρωμένο, το οποίο περιλαμβάνει τυχαία λογική με μέσο παράγοντα μεταγωγής 0.1. Χρησιμοποιείτε τυποποιημένα κύτταρα με μέση χωρητικότητα μεταγωγής 450 pF/mm². Υπολογίστε τη δυναμική κατανομή ισχύος του ολοκληρωμένου σας, εάν έχει επιφάνεια 70 mm² και λειτουργεί στα 450 MHz με προφοδοσία $V_{DD} = 0.9$ V.
- Εξετάστε την πιθανότητα μείωσης της προφοδοσίας V_{DD} στην προσπάθειά σας να εξοικονομήσετε ισχύ σε μια στατική πύλη CMOS. Σκοπεύετε επίσης να κλιμακώσετε αναλογικά την V_i για να διατηρήσετε την απόδοση. Θα αφαιρεθεί ή θα μειωθεί η δυναμική κατανομή ισχύος; Θα αυξηθεί ή θα μειωθεί η στατική κατανομή ισχύος;
- Το φαινόμενο σωρού αναγκάζει το ρεύμα που διαρρέει όλο εν σειρά OFF τρανζίστορ να είναι κατά μία τάξη μεγαλύτερο από το I_{off} είναι το φαινόμενο DIBL είναι σημαντικό. Δείτε ότι το ρεύμα τούτου με $I_{off}/2$ όταν το φαινόμενο DIBL είναι αμελητέο (π.χ., $\eta = 0$). Υποθέστε $\gamma = 0$, $n = 1$.
- Βρείτε τον παράγοντα μεταγωγής για το σημείο που παρουσιάζεται στο Σχήμα 5.34. Η συχνότητα ρολογιού είναι 1 GHz.



ΣΧΗΜΑ 5.34 Το σήμα για την Άσκηση 5.4.

- Επανεξετάστε το πρόβλημα της σχεδίασης του απομονωτή από το Παράδειγμα 4.14. Εάν ο περιορισμός καθυστερήσης είναι 20 τ, πόσα στάδια θα δώσουν την ελάχιστη δυνατή ενέργεια και ποιο θα πρέπει να είναι το μέγεθός τους;
- Επαναλάβετε την Άσκηση 5.5 για φορτίο ίσο με 500 (αντί 64) και περιορισμό καθυστερήσης 30 τ.
- Δείτε πώς υπολογίζονται οι πιθανότητες μεταγωγής του Πίνακα 5.1.
- Σχεδιάστε μια πύλη OR 8 εισόδων με καθυστερήση μικρότερη από αυτή 5 αντιστροφών FO4. Κάθε είσοδος μπορεί να παρουσιάζει το πολύ 1 μονάδα χωρητικότητας. Η χωρητικότητα φορτίου είναι 16 μονάδες. Εάν οι πιθανότητες εισόδου είναι 0.5, υπολογίστε την πιθανότητα μεταγωγής σε κάθε κόμβο και καθορίστε το μέγεθος που πρέπει να έχει το κύκλωμα για ελάχιστη ενέργεια μεταγωγής.
- Κατασκευάστε έναν πίνακα παρόμοιο με τον Πίνακα 5.2 για μια πύλη NOR 2 εισόδων.

5.10 Σχεδιάστε έναν άνω διακόπτη (header switch) για ένα κύκλωμα το οποίο χρησιμοποιεί power gating σε τεχνολογία κατασκευής 65 nm. Υποθέστε ότι το pMOS τρανζίστορ έχει αντίσταση αγωγής (ON) περίπου $2,5 \text{ k}\Omega \cdot \mu\text{m}$. Το μπλοκ που απενεργοποιείται έχει ρεύμα αγωγής 100 mA. Πόσο πλάτος πρέπει να έχει το τρανζίστορ του άνω διακόπτη ώστε να προκαλεί αύξηση στην καθυστέρηση λιγότερη από 2%;

Διασύνδεση

6.1 Εισαγωγή

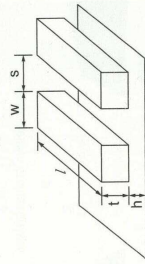
Οι αγωγοί που διασυνδέουν μεταξύ τους τα τρανζίστορ αποκαλούνται *ολοκληρωτικά διασύνδεση* (interconnect) και παίζουν σημαντικό ρόλο στην απόδοση των σύγχρονων συστημάτων. Στις απαρχές της εποχής των κυκλωμάτων VLSI, τα τρανζίστορ ήταν σχετικά αργά. Οι αγωγοί είχαν μεγάλο πλάτος και πάχος και, κατ'επέκταση, χαμηλή αντίσταση. Υπό εκείνες τις συνθήκες, οι αγωγοί μπορούσαν να αντιμετωπίζονται ως ιδανικοί κόμβοι ίσου δυναμικού, με μια συγκεντρωτική χωρητικότητα. Στις σύγχρονες τεχνολογίες κατασκευής VLSI, τα τρανζίστορ μεταλλάχθηκαν με πολύ ταχύτερους ρυθμούς. Ταυτόχρονα, οι αγωγοί διασύνδεσης έχουν γίνει στενότεροι, με συνέπεια να αυξηθεί η αντίστασή τους σε σημείο που, σε πολλά μονοπάτια σήματος, η καθυστέρηση RC των αγωγών να υπερβαίνει την καθυστέρηση των πυλίων. Επιπλέον, οι αγωγοί τοποθετούνται πλέον πολύ κοντά μεταξύ τους, οπότε ένα μεγάλο κλάσμα της χωρητικότητάς τους είναι ως προς τους γειτονικούς τους. Όταν αλλάζει κατάσταση ένας αγωγός, τείνει να επιρραζεί το γειτονικό του λόγω χωρητικής ζεύξης (capacitive coupling) - το φαινόμενο αυτό αποκαλείται *συναρπάζση* (crossstalk). Οι αγωγοί συνεισφέρουν επίσης μεγάλο μέρος της ενέργειας μεταγωγής σ' ένα ολοκληρωμένο. Στο παρελθόν η αυτεπαγωγή των αγωγών διασύνδεσης εντός του ολοκληρωμένου ήταν αμελητέα, αλλά τώρα αποτελεί σημαντικό παράγοντα για συστήματα με χριήγορους ρυθμούς ακριβής και κοντά τοποθετημένους διαδύους. Με δεδομένους όλους αυτούς τους παράγοντες, ο σχεδιασμός ολοκληρωμένων κυκλωμάτων έχει πλέον να κάνει όχι μόνο με τη σχεδίαση των ίδιων των τρανζίστορ αλλά και της διασύνδεσής τους.

Στο υπόλοιπο αυτής της ενότητας θα ορίσουμε τα μεγέθη που χρησιμοποιούνται για την περιγραφή της διασύνδεσης και θα παρουσιάσουμε ένα παράδειγμα διασύνδεσης, εφαρμοσμένο σε νανομετρικές τεχνολογίες κατασκευής. Στην Ενότητα 6.2 θα εξετάσουμε τρόπους μοντελοποίησης της αντίστασης, της χωρητικότητας και της επαγωγής των αγωγών διασύνδεσης. Στην Ενότητα 6.3 θα μελετήσουμε την επίδραση των αγωγών διασύνδεσης στην καθυστέρηση, την κατανάλωση ισχύος και το θόρυβο. Στην Ενότητα 6.4 θα παρουσιάσουμε τα εργαλεία που έχει στη διάθεσή του ο σχεδιαστής για τη βελτίωση της απόδοσης και τον έλεγχο του θορύβου. Τέλος, στην Ενότητα 6.5 θα επεκτείνουμε την εφαρμογή της μεθόδου του λογικού φορτίου για να αποκομίσουμε χρήσιμη πληροφορία σχετικά με το σχεδιασμό μονοπατιών με διασύνδεση.

6.1.1 Γεωμετρία των Αγωγών

Το Σχήμα 6.1 παρουσιάζει ένα ζεύγος γειτονικών αγωγών. Οι αγωγοί έχουν πλάτος w , μήκος l , πάχος t και απόσταση (spacing) s με τους γειτονικούς τους: υπάρχει επίσης ένα διηλεκτρικό ύψους h μεταξύ των αγωγών και του αγωγίσιμου στρώματος που βρίσκεται από κάτω τους. Το άθροισμα του πλάτους και της απόστασης αποκαλείται *βήμα-απόστασης* (pitch) του αγωγού. Ο λόγος πλάτους προς πλάτος, t/w , αποκαλείται *λόγος διαστάσεων* (aspect ratio).

Οι πρώτες τεχνολογίες κατασκευής CMOS χρησιμοποιούσαν μόνο μια στρώση μέταλλου και, έως τις αρχές της δεκαετίας του '90, μόνο δύο ή τρεις στρώσεις ήταν διαθέσιμες. Ωστόσο, χάρη στην εξέλιξη των τεχνικών χημικής-μηχανικής λετανσης έγινε πολύ πιο πρακτική η κατασκευή πολλαπλών στρώσεων μετάλλου. Όπως είδαμε στην Ενότητα 3.4.2, οι αγωγοί από αλουμίνιο (Al) που χρησιμοποιούνται σε παλαιότερες τεχνολογίες κατασκευής παραχώρησαν τη θέση τους στους αγωγούς χαλκού (Cu) περί τον τεχνολογικό κόμβο των 180 ή 130 nm, με στόχο τη μείωση της αντίστασης.



ΣΧΗΜΑ 6.1 Γεωμετρικά χαρακτηριστικά διασύνδεσης.