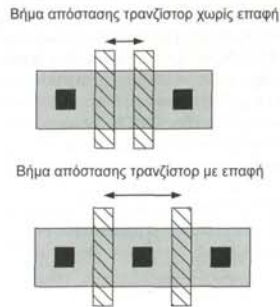
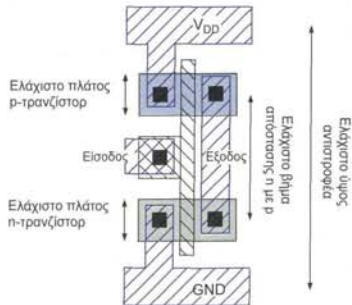


- 3.7 Χρησιμοποιώντας τους κανόνες SUBM, υπολογίστε το ελάχιστο βήμα απόστασης (pitch) για τρανζιστορ με επαφή και χωρίς επαφή, όπως υποδεικνύεται στο Σχήμα 3.40.



ΣΧΗΜΑ 3.40 Βήμα απόστασης τρανζιστορ με και χωρίς επαφή.

- 3.8 Χρησιμοποιώντας το Σχήμα 3.41 και τους κανόνες SUBM, υπολογίστε το ελάχιστο βήμα απόστασης (pitch) από περιοχή n σε p και το ελάχιστο ύψος αντιστροφάρα με και χωρίς την επαφή πολυπυριτίου στην πόλη (in). Εάν μια τεχνολογία κατασκευής SOI έχει απόσταση  $2\lambda$  μεταξύ διάχυσης n και p, πόσο μειώνονται τα δύο βήματα απόστασης;



ΣΧΗΜΑ 3.41 Σχηματικό για την Άσκηση 3.8.

- 3.9 Σχεδιάστε ένα κύτταρο ROM με ασφάλεια μετάλλου, με μια τεχνολογία κατασκευής όπου το ελάχιστο πλάτος μετάλλου είναι  $0.5 \mu\text{m}$  και η μέγιστη πυκνότητα ρεύματος είναι  $2\text{mA}/\mu\text{m}$ . Το ζητούμενο είναι ρεύμα ασφάλειας μικρότερο των  $10 \text{mA}$ .

## Καθυστέρηση

# 4

### 4.1 Εισαγωγή

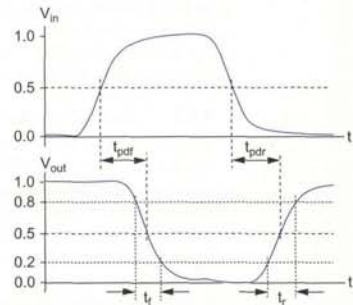
Στο Κεφάλαιο 1 μάθατε πώς να σχεδιάζετε ολοκληρωμένα κυκλώματα, τα οποία εκτελούν τη λειτουργία για την οποία σχεδιάστηκαν. Στο παρόν κεφάλαιο θα μάθετε πώς να σχεδιάζετε ολοκληρωμένα κυκλώματα τα οποία θα εκτελούν τη λειτουργία τους *καλά*. Τα δύο ευρύτερα χρησιμοποιούμενα μέτρα που χαρακτηρίζουν ένα καλό ολοκληρωμένο είναι η ταχύτητα και η ισχύς: το πρώτο εξετάζεται εδώ, ενώ το δεύτερο στο Κεφάλαιο 5. Και, επειδή η καθυστέρηση και η ισχύς επηρεάζονται τόσο από τους αγωγούς διασύνδεσης όσο και από τα τρανζιστορ, στο Κεφάλαιο 6 θα ασχοληθούμε με την ανάλυση και σχεδίαση των διασυνδέσεων. Τέλος, επειδή ένα ολοκληρωμένο δεν έχει καμιά αξία εάν δεν μπορεί να εκτελέσει αξιόπιστα τη λειτουργία του, στο Κεφάλαιο 7 θα εξετάσουμε ζητήματα ευρωστίας και αξιοπιστίας.

Ο πλέον προφανής τρόπος χαρακτηρισμού ενός κυκλώματος είναι μέσω προσομοίωσης, η οποία είναι το θέμα του Κεφαλαίου 8. Δυστυχώς, οι προσομοιώσεις μας λένε μόνο πώς συμπεριφέρεται ένα συγκεκριμένο κύκλωμα – όχι πώς θα πρέπει να το προσαρμόσουμε για να το κάνουμε καλύτερο. Υπάρχουν τόσο πολλοί βαθμοί ελευθερίας στη σχεδίαση ολοκληρωμένων, που συνήθως δεν είναι πρακτικό το να διερευνήσει κανείς όλες τις εναλλακτικές επιλογές μέσω προσομοίωσης (παρότι ορισμένοι το επιχειρούν). Επιπλέον, εάν δεν έχουμε έστω και μια αμυδρή ιδέα σχετικά με το ποιο θα πρέπει να είναι το αποτέλεσμα της προσομοίωσης, είναι μάλλον απίθανο να εντοπίσουμε τα αναπόφευκτα σφάλματα στο μοντέλο προσομοίωσης που χρησιμοποιούμε. Οι μέτριοι μηχανικοί βασίζονται ολοκληρωτικά σε λογισμικό προσομοίωσης: εν αντιθέσει, οι καλοί μηχανικοί αναπτύσσουν τη φυσική τους διαίσθηση, σε βαθμό που να μπορούν να κάνουν γρήγορες προβλέψεις για τη συμπεριφορά των κυκλωμάτων. Σ' αυτό και στα επόμενα δύο κεφάλαια θα επικεντρωθούμε κυρίως στην ανάπτυξη απλών μοντέλων, ικανών να μας βοηθήσουν στην κατανόηση της απόδοσης ενός συστήματος.

#### 4.1.1 Ορισμοί

Θα ξεκινήσουμε με τους ορισμούς κάποιων μεγεθών, τα οποία απεικονίζονται στο Σχήμα 4.1:

- Χρόνος καθυστέρησης διάδοσης,  $t_{pd}$ : ο μέγιστος χρόνος από τη στιγμή που η είσοδος υπερβαίνει το 50% έως τη στιγμή που η έξοδος υπερβαίνει το 50%
- Χρόνος καθυστέρησης μόλυνσης,  $t_{cl}$ : ο ελάχιστος χρόνος από τη στιγμή που η είσοδος υπερβαίνει το 50% έως τη στιγμή που η έξοδος υπερβαίνει το 50%
- Χρόνος ανόδου,  $t_r$ : ο χρόνος που απαιτείται για να ανέλθει η κυματομορφή από το 20% στο 80% της τιμής ηρεμίας (σταθερής κατάστασης)
- Χρόνος καθόδου,  $t_f$ : ο χρόνος που απαιτείται για να κατέλθει η κυματομορφή από το 80% στο 20% της τιμής ηρεμίας
- Ρυθμός ακμής,  $t_{\sigma} = (t_r + t_f)/2$



ΣΧΗΜΑ 4.1 Καθυστέρηση διάδοσης και χρόνοι ανόδου/καθόδου.

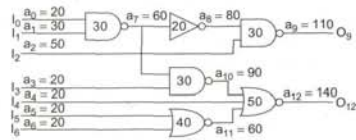
Διασθητικά, μπορούμε να κατανοήσουμε ότι όταν μεταβάλλεται μια είσοδος, η έξοδος θα διατηρήσει την προηγούμενη τιμή της για τουλάχιστον το χρόνο καθυστέρησης μόλυνσης και θα λάβει τη νέα τιμή της το αργότερο μέχρι την καθυστέρηση διάδοσης. Σε ορισμένες περιπτώσεις, είναι χρήσιμη η

διαφοροποίηση μεταξύ των καθυστερήσεων για την άνοδο της εξόδου  $t_{pd}$  /  $t_{od}$  και την κάθοδο της εξόδου,  $t_{ppl}$  /  $t_{odp}$ . Συντά, οι χρόνοι ανόδου/κάθοδο αποκαλούνται κλίσεις (slopes), ή ρυθμοί ακμής (edge rates). Οι χρόνοι καθυστέρησης διάδοσης και μόνωσης αποκαλούνται επίσης μέγιστος χρόνος (max-time) και ελάχιστος χρόνος (min-time), αντίστοιχα. Η πύλη που φορτίζει ή εκφορτίζει έναν κόμβο αποκαλείται οδηγός (driver), ενώ οι πύλες και ο αγωγός που οδηγούνται αποκαλούνται φορτίο (load). Η καθυστέρηση διάδοσης είναι συνήθως το μέγεθος που παρουσιάζει το μεγαλύτερο ενδιαφέρον και συχνά αποκαλείται απλώς καθυστέρηση.

Ένας αναλυτής χρονισμού (timing analyzer) υπολογίζει τους χρόνους άφιξης –δηλαδή, την αργότερη στιγμή κατά την οποία θα αλλάξει κατάσταση κάθε κόμβος σ' ένα μπλοκ λογικής. Οι κόμβοι χαρακτηρίζονται ως είσοδοι, εξοδοί και εσωτερικοί κόμβοι. Ο χρήστης πρέπει να καθορίσει το χρόνο άφιξης των εισόδων και το χρόνο κατά τον οποίο πρέπει να φτάνουν τα δεδομένα στις εξόδους. Ο χρόνος άφιξης  $a_i$  στον εσωτερικό κόμβο  $i$  εξαρτάται από την καθυστέρηση διάδοσης της πύλης που οδηγεί τον  $i$  και τους χρόνους άφιξης των εισόδων στην πύλη:

$$a_i = \max_{j \in \text{fanin}(i)} \{a_j\} + t_{pd_i} \quad (4.1)$$

Ο αναλυτής χρονισμού υπολογίζει τους χρόνους άφιξης σε κάθε κόμβο και ελέγχει εάν οι εξοδοί φτάνουν εντός του απαιτούμενου χρόνου. Η διαφορά μεταξύ του απαιτούμενου και του πραγματικού χρόνου άφιξης αποκαλείται κενό χρόνου (slack). Θετικό κενό χρόνο σημαίνει ότι το κύκλωμα ικανοποιεί τις προδιαγραφές χρονισμού. Αρνητικό κενό χρόνο σημαίνει ότι το κύκλωμα δεν είναι αρκετά γρήγορο. Το Σχήμα 4.2 απεικονίζει κόμβους, μαζί με τους χρόνους άφιξης. Εάν οι εξοδοί απαιτούνται όλες σε χρόνο 200 ps, το κύκλωμα έχει κενό χρόνο 60 ps.



ΣΧΗΜΑ 4.2 Παράδειγμα χρόνων άφιξης.

Ένας καλός αναλυτής χρονισμού επεκτείνει το βασικό μοντέλο στους χρόνους άφιξης μοντέλο, ώστε να συνοπολογίζει διάφορα φαινόμενα και επιδράσεις. Οι χρόνοι άφιξης και οι καθυστερήσεις διάδοσης ορίζονται ξεχωριστά για τις μεταβάσεις ανόδου και κάθοδο. Η καθυστέρηση μιας πύλης μπορεί να είναι διαφορετική από διαφορετικές εισόδους. Οι μικρότεροι χρόνοι άφιξης μπορούν επίσης να υπολογίζονται με βάση τις καθυστερήσεις μόνωσης. Ο συνοπολογισμός όλων αυτών των παραγόντων δημιουργεί ένα χρονικό «παράθυρο», κατά τη διάρκεια του οποίου η πύλη μπορεί να μεταγάει (να αλλάξει κατάσταση) και επιτρέπει στον αναλυτή χρονισμού να επαληθεύσει ότι ικανοποιούνται οι χρόνοι ενεργοποίησης/αποκατάστασης (setup) και διατήρησης (hold) σε κάθε καταχωρητή.

#### 4.1.2 Βελτιστοποίηση Χρονισμού

Στις περισσότερες σχεδιάσεις θα υπάρχουν πολλά λογικά μονοπάτια τα οποία δεν θα απαιτούν καμιά προσπάθεια εκ μέρους του σχεδιαστή για τη βελτίωση της ταχύτητάς τους, διότι θα είναι ήδη επαρκώς γρήγορα για το σύστημα. Ωστόσο, υπάρχει συνήθως κι ένας αριθμός μονοπατιών, τα οποία περιορίζουν την ταχύτητα λειτουργίας του συστήματος και απαιτούν προσοχή στις λεπτομέρειες χρονισμού. Τα κρίσιμα μονοπάτια μπορούν να επηρεαστούν σε τέσσερα κύρια επίπεδα:

- Το επίπεδο αρχιτεκτονικής/μικροαρχιτεκτονικής
- Το επίπεδο λογικής
- Το επίπεδο κυκλώματος
- Το επίπεδο φυσικού σχεδίου

Τα μεγαλύτερα οφέλη επιτυγχάνονται με τη χρήση μιας καλής μικροαρχιτεκτονικής. Αυτό απαιτεί ευρεία γνώση τόσο των αλγορίθμων που υλοποιούν τη συνάρτηση, όσο και της τεχνολογίας-στόχου – για παράδειγμα, πόσες καθυστερήσεις πυλών χωρούν σ' έναν κύκλο ρολογιού, πόσο γρήγορα εκτελείται η

πρόσθεση, πόσο γρήγορα προπελαζονται οι μνήμες και πόσος χρόνος απαιτείται για τη διάδοση των σημάτων κατά μήκος ενός αγωγού. Ορισμένοι από τους συμβιβασμούς που γίνονται στο επίπεδο της μικροαρχιτεκτονικής αφορούν τον αριθμό των σταδίων διοχέτευσης, τον αριθμό των μονάδων εκτέλεσης (παράλληλη εκτέλεση, παραλληλιζμός), καθώς και το μέγεθος των μνημών.

Το επόμενο επίπεδο στο οποίο μπορεί να επιχειρηθεί βελτιστοποίηση του χρονισμού είναι το επίπεδο λογικής. Στους συμβιβασμούς εδώ περιλαμβάνονται οι τύποι των λειτουργικών μπλοκ (π.χ., χρήση αθροιστών διάδοσης κρατούμενου αντί για αθροιστές πρόβλεψης κρατούμενου), ο αριθμός των σταδίων πυλών στον κύκλο ρολογιού και ο βαθμός οδήγησης εισόδου (fan-in) και εξόδου (fan-out) των πυλών. Ο μετασχηματισμός από τη συνάρτηση σε πύλες και καταχωρητές μπορεί να γίνεται εκ πείρας, με πειραματισμό, ή με λογική σύνθεση. Να θυμάστε, ωστόσο, ότι η δεξιοτεχνία στη σχεδίαση της λογικής δεν μπορεί να διορθώσει τα προβλήματα μιας κακής μικροαρχιτεκτονικής.

Αφού επιλεγεί η λογική, η καθυστέρηση μπορεί να βελτιστοποιηθεί σε επίπεδο κυκλώματος, επιλέγοντας κατάλληλα μεγέθη τρανζίστορ ή χρησιμοποιώντας άλλο στυλ λογικής CMOS. Τέλος, η καθυστέρηση εξαρτάται από το φυσικό σχέδιο. Η χωροθέτηση (χειροκίνητη ή αυτόματα παραγόμενη) είναι ιδιαίτερα σημαντική επειδή καθορίζει τα μήκη των αγωγών που συνεισφέρουν περισσότερο στην καθυστέρηση. Η καλή χωροθέτηση των κυττάρων μπορεί επίσης να μειώσει την παρασιτική χωρητικότητα.

Πολλοί σχεδιαστές που δουλεύουν στο επίπεδο RTL δεν κατεβαίνουν ποτέ κάτω από το επίπεδο της μικροαρχιτεκτονικής. Μια κοινή πρακτική σχεδιασμού είναι η συγγραφή κώδικα RTL, στη συνέχεια η σύνθεση (επιτρέποντας στο εργαλείο σύνθεσης να φροντίσει για τις βελτιστοποιήσεις του χρονισμού στα επίπεδα λογικής, κυκλώματος και τοποθέτησης) και τέλος ο έλεγχος για να διαπιστωθεί εάν τα αποτελέσματα είναι επαρκώς γρήγορα. Εάν δεν είναι, ο σχεδιαστής ξαναγράφει τον κώδικα RTL με περισσότερα παραλληλιζμούς ή διοχέτευση, ή αλλάζει τον αλγόριθμο και επαναλαμβάνει τη διαδικασία, έως ότου να ικανοποιούνται οι απαιτήσεις χρονισμού. Οι αναλυτές χρονισμού ελέγχουν εάν το κύκλωμα ικανοποιεί όλες τις απαιτήσεις και τους περιορισμούς που έχουν τεθεί για το χρονισμό. Εάν δεν κατανοεί τα χαμηλότερα επίπεδα αφαιρέσει στα οποία λειτουργεί το εργαλείο σύνθεσης, ο σχεδιαστής θα δυσκολευτεί να επιτύχει το σωστό χρονισμό σ' ένα απαιτητικό σύστημα.

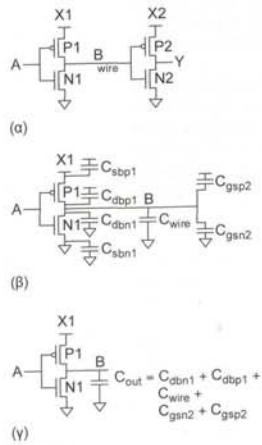
Αυτό το κεφάλαιο επικεντρώνεται στις βελτιστοποιήσεις που λαμβάνουν χώρα σε επίπεδο λογικής και κυκλώματος με την επιλογή του αριθμού των σταδίων λογικής, των τύπων των πυλών και των μεγεθών των τρανζίστορ. Θα ξεκινήσουμε εξετάζοντας τη μεταβατική απόκριση (transient response) ενός αντιστροφέα. Χρησιμοποιώντας τα μοντέλα στοιχείων από το Κεφάλαιο 2, μπορούμε να γράψουμε διαφορετικές εξισώσεις για την τάση ως συνάρτηση του χρόνου, ώστε να υπολογίσουμε την καθυστέρηση. Δυστυχώς, αυτές οι εξισώσεις είναι υπερβολικά πολύπλοκες για να μας δώσουν χρήσιμη πληροφορία και ταυτόχρονα υπερβολικά απλοϊκές για να παρέχουν ακριβή αποτελέσματα. Σ' αυτό το κεφάλαιο θα επικεντρωθούμε στην ανάπτυξη απλούστερων μοντέλων, τα οποία μπορούν να διαφωτίσουν περισσότερο το σχεδιαστή. Το μοντέλο καθυστέρησης RC αντιμετωπίζει (προσεγγιστικά) ένα τρανζίστορ που μεταγάει ως ενεργή αντίσταση και παρέχει έναν τρόπο για τον υπολογισμό της καθυστέρησης, χρησιμοποιώντας αριθμητικές τιμές αντί για διαφορικές εξισώσεις. Η μέθοδος του Λογικού Φόρτου απλοποιεί ακόμα περισσότερο το μοντέλο και αποτελεί ένα ισχυρό εργαλείο για τον υπολογισμό της καθυστέρησης σε κυκλώματα. Το κεφάλαιο ολοκληρώνεται με μια περιγραφή άλλων μοντέλων καθυστέρησης που χρησιμοποιούνται για την ανάλυση χρονισμού.

#### 4.2 Μεταβατική Απόκριση

Ο βασικότερος τρόπος υπολογισμού της καθυστέρησης συνίσταται στην ανάπτυξη ενός φυσικού μοντέλου του κυκλώματος που μας ενδιαφέρει, τη συγγραφή μιας διαφορικής εξίσωσης που περιγράφει την τάση εξόδου ως συνάρτηση της τάσης εισόδου και του χρόνου και, τέλος, την επίλυση αυτής της εξίσωσης. Η λύση της διαφορικής εξίσωσης αποκαλείται μεταβατική απόκριση (transient response) και η καθυστέρηση είναι ο χρόνος που χρειάζεται η έξοδος για να φτάσει σε τιμή  $V_{DD}/2$ .

Η διαφορική εξίσωση βασίζεται στη φόρτιση ή εκφόρτιση χωρητικότητας στο κύκλωμα. Το κύκλωμα χρειάζεται χρόνο για να αλλάξει κατάσταση, επειδή η χωρητικότητα δεν μπορεί να αλλάξει την τάση του ακαριαία. Εάν η χωρητικότητα  $C$  φορτίζεται με ρεύμα  $I$ , η τάση στον πυκνωτή μεταβάλλεται ως εξής:

$$I = C \frac{dV}{dt} \quad (4.2)$$



ΣΧΗΜΑ 4.3 Χωρητικότητες για τους υπολογισμούς καθυστέρησης αντιστροφής.

Κάθε πραγματικό κύκλωμα έχει κάποια χωρητικότητα. Σ' ένα ολοκληρωμένο κύκλωμα, αυτή αποτελείται κατά κανόνα από τη χωρητικότητα πλήρης του φορτίου μαζί με τη χωρητικότητα διάχυσης των τρανζίστορ του κυκλώματος-οδηγού, όπως είδαμε στην Ενότητα 2.3. Όπως θα δούμε στην Ενότητα 6.2.2, οι αγωγοί που συνδέουν τα τρανζίστορ συνεισφέρουν συνήθως το μεγαλύτερο μέρος της χωρητικότητας. Το ρεύμα των τρανζίστορ εξαρτάται από τις τάσεις στην είσοδο (πύλη) και την έξοδο (πηγή/ υποδοχή). Για να κατανοήσετε καλύτερα αυτά τα σημεία, θα περιγράψουμε τον υπολογισμό της βηματικής απόκρισης ενός αντιστροφέα.

Το Σχήμα 4.3(α) παρουσιάζει έναν αντιστροφέα X1, ο οποίος οδηγεί τον αντιστροφέα X2 στο άκρο ενός αγωγού. Υποθέστε ότι εφαρμόζουμε βηματική τάση από 0 σε  $V_{DD}$  στον κόμβο A και θέλουμε να υπολογίσουμε την καθυστέρηση διάδοσης,  $t_{pd}$ , διαμέσου του X1 – δηλαδή, το χρόνο από τη βηματική είσοδο έως ότου ο κόμβος B φτάσει σε δυναμικό  $V_{DD}/2$ .

Αυτές οι χωρητικότητες επισημαίνονται στο Σχήμα 4.3(β). Υπάρχουν χωρητικότητες διάχυσης μεταξύ της υποδοχής και του σώματος κάθε τρανζίστορ, καθώς και μεταξύ της πηγής και του σώματος κάθε τρανζίστορ,  $C_{db}$  και  $C_{sb}$ , αντίστοιχα. Η χωρητικότητα πλήρης  $C_{gs}$  των τρανζίστορ του X2 θεωρείται μέρος του φορτίου. Η χωρητικότητα αγωγών είναι επίσης μέρος του φορτίου. Η χωρητικότητα πλήρης των τρανζίστορ του X1 και η χωρητικότητα διάχυσης των τρανζίστορ του X2 είναι άνευ σημασίας, επειδή δεν συνδέονται στον κόμβο B. Οι πυκνωτές που αναπαριστούν τις χωρητικότητες πηγής-σώματος,  $C_{sbn1}$  και  $C_{sbp1}$ , έχουν αμφότερα τα άκρα τους συνδεδεμένα σε σταθερές τάσεις, οπότε δεν συνεισφέρουν στη χωρητικότητα μεταγωγής (switching capacitance). Επίσης, είναι άνευ σημασίας το εάν ο δεύτερος ακροδέκτης κάθε πυκνωτή συνδέεται στη γείωση ή στην τροφοδοσία, επειδή αμφότερες είναι σταθερές παροχές· χάρη απλότητας, μπορούμε να σχεδιάσουμε όλους τους πυκνωτές σαν να συνδέονταν στη γείωση. Το Σχήμα 4.3(γ) παρουσιάζει το ισοδύναμο κυκλωματικό διάγραμμα, στο οποίο όλες οι χωρητικότητες έχουν ομαδοποιηθεί στην  $C_{out}$ .

Πριν εφαρμοστεί βηματική τάση,  $A = 0$ . Το N1 είναι OFF, το P1 είναι ON και  $B = V_{DD}$ . Μετά από την εφαρμογή βηματικής τάσης,  $A = 1$ . Το N1 άγει (ON), το P1 αποκόπτεται (OFF) και το B πέφτει προς το 0. Ο ρυθμός μεταβολής της τάσης  $V_B$  στον κόμβο B εξαρτάται από τη χωρητικότητα εξόδου και από το ρεύμα που διαρρέει το N1:

$$C_{out} \frac{dV_B}{dt} = -I_{dn1} \quad (4.3)$$

Υποθέστε ότι η συμπεριφορά των τρανζίστορ διέπεται από ιδανικά (μεγάλου μήκους καναλιού) μοντέλα. Το ρεύμα εξαρτάται από το εάν το N1 είναι στη γραμμική περιοχή λειτουργίας, ή στον κορεσμό. Η πύλη είναι σε δυναμικό  $V_{DD}$ , η πηγή είναι στο 0 και η υποδοχή σε  $V_B$ . Συνεπώς,  $V_{gs} = V_{DD}$  και  $V_{ds} = V_B$ . Αρχικά,  $V_{ds} = V_{DD} > V_{gs} - V_t$ , οπότε το N1 είναι στον κορεσμό. Καθώς η  $V_B$  πέφτει κάτω από την τιμή  $V_{DD} - V_t$ , το N1 εισέρχεται στην περιοχή γραμμικής λειτουργίας. Με αντικατάσταση από την Εξ. (2.10) και αναδιάταξη των όρων, βρίσκουμε τη διαφορική εξίσωση για την  $V_B$

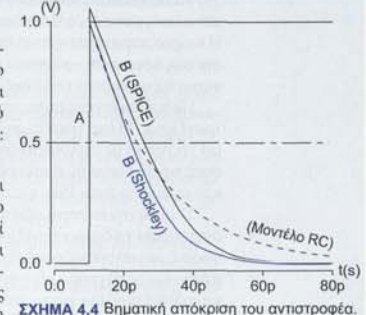
$$\frac{dV_B}{dt} = -\frac{\beta}{C_{out}} \begin{cases} \frac{(V_{DD} - V_t)^2}{2} & V_B > V_{DD} - V_t \\ (V_{DD} - V_t - \frac{V_B}{2})V_B & V_B < V_{DD} - V_t \end{cases} \quad (4.4)$$

Κατά τη διάρκεια του κορεσμού, το ρεύμα είναι σταθερό και η  $V_B$  μειώνεται γραμμικά έως ότου φτάσει στην τιμή  $V_{DD} - V_t$ . Από το σημείο αυτό και μετά, η διαφορική εξίσωση γίνεται μη-γραμμική. Η απόκριση μπορεί να υπολογιστεί αριθμητικά. Η ανοδική απόκριση της εξόδου υπολογίζεται με παρόμοιο τρόπο και είναι συμμετρική με την καθοδική απόκριση, εάν  $\beta_p = \beta_n$ .

Παράδειγμα 4.1

Σχεδιάστε τη γραφική παράσταση της απόκρισης του αντιστροφέα σε βηματική είσοδο και υπολογίστε την καθυστέρηση διάδοσης. Υποθέστε ότι το πλάτος των nMOS τρανζίστορ είναι  $1 \mu\text{m}$  και η χωρητικότητα εξόδου είναι  $20 \text{ fF}$ . Χρησιμοποιήστε τις ακόλουθες τιμές στις παραμέτρους του ιδανικού (μεγάλου καναλιού) μοντέλου για μια τεχνολογία κατασκευής στα  $65 \text{ nm}$ :  $L = 50 \text{ nm}$ ,  $V_{DD} = 1.0 \text{ V}$ ,  $V_t = 0.3 \text{ V}$ ,  $t_{ox} = 10.5 \text{ \AA}$ ,  $\mu = 80 \text{ cm}^2/\text{V} \cdot \text{s}$ .

**ΛΥΣΗ:** Η απόκριση απεικονίζεται στο Σχήμα 4.4. Η είσοδος, A, ανέρχεται στα  $10 \text{ ps}$ . Η συνεχής μπλε γραμμή υποδεικνύει τη βηματική απόκριση που προβλέπει το μοντέλο μεγάλου καναλιού. Η έξοδος, B, αρχικά ακολουθεί ευθεία γραμμή, καθώς το κορεσμένο nMOS τρανζίστορ συμπεριφέρεται σαν πηγή σταθερού ρεύματος. Τελικά, η έξοδος B καμπυλώνει καθώς προσεγγίζει το 0 και το nMOS τρανζίστορ εισέρχεται στην περιοχή γραμμικής λειτουργίας. Η καθυστέρηση διάδοσης είναι  $12.5 \text{ ps}$ . Η συνεχής μαύρη γραμμή υποδεικνύει τη βηματική απόκριση που προβλέπει το SPICE. Η καθυστέρηση διάδοσης είναι  $15.8 \text{ ps}$ . Το γεγονός ότι είναι μεγαλύτερη οφείλεται στο ότι η παράμετρος εκκινήσιμης που χρησιμοποιείται στο μοντέλο μεγάλου καναλιού δεν συνυπολογίζει πλήρως τα φαινόμενα κορεσμού ταχύτητας και υποβάθμισης εκκινήσιμης. Το SPICE υποδεικνύει ότι η έξοδος B αρχικά ανέρχεται προς στιγμήν, πριν κατέλθει. Αυτό το φαινόμενο αποκαλείται bootstrapping και θα το εξετάσουμε στην Ενότητα 4.4.6.6. Η μαύρη διακεκομμένη γραμμή αντιστοιχεί σ' ένα RC μοντέλο το οποίο προσεγγίζει το nMOS τρανζίστορ ως έναν αντιστάτη  $1 \text{ k}\Omega$  σε κατάσταση αγωγής (ON). Η καθυστέρηση διάδοσης που προέβλεψε το μοντέλο RC ταιριάζει αρκετά με αυτή της SPICE, αν και ο χρόνος καθόδου είναι υπερεκτιμημένος. Θα εξετάσουμε περισσότερο τα μοντέλα RC στην Ενότητα 4.3.



ΣΧΗΜΑ 4.4 Βηματική απόκριση του αντιστροφέα.

Σ' ένα πραγματικό κύκλωμα, η είσοδος θα προέρχεται από κάποια άλλη πύλη με μη-μηδενικό χρόνο ανόδου/καθόδου. Αυτή η είσοδος μπορεί να αντιμετωπιστεί προσεγγιστικά σαν μια ράμπα με τον ίδιο χρόνο ανόδου και καθόδου. Και σ' αυτή την περίπτωση, θα εξετάσουμε ένα παράδειγμα ανοδικής ράμπας και καθοδικής εξόδου για να δούμε πώς ο μη-μηδενικός χρόνος ανόδου επηρεάζει την καθυστέρηση διάδοσης.

Υποθέτοντας ότι  $V_m + |V_{tp}| < V_{DD}$ , η απόκριση ράμπας περιλαμβάνει τρεις φάσεις, όπως υποδεικνύει ο Πίνακας 4.1. Όταν ο κόμβος A αρχίζει να ανέρχεται, το N1 παραμένει OFF και ο κόμβος B παραμένει σε  $V_{DD}$ . Όταν ο A φτάνει σε δυναμικό  $V_{gs}$  το N1 άγει (ON), «μάχεται» με το P1 και αρχίζει να οδηγεί βαθμιαία το B προς τα κάτω, προς μια ενδιάμεση τιμή, προβλεπόμενη από την DC απόκριση του κυκλώματος (βλ. Ενότητα 2.5). Όταν ο κόμβος A φτάσει αρκετά κοντά στην  $V_{DD}$ , το P1 αποκόπτεται (OFF) και ο κόμβος B πέφτει στο 0 χωρίς αντίσταση. Συνεπώς, μπορούμε να γράψουμε τις διαφορικές εξισώσεις για την  $V_B$  σε κάθε φάση:

$$\begin{aligned} \text{Φάση 1} & \quad V_B = V_{DD} \\ \text{Φάση 2} & \quad \frac{dV_B}{dt} = \frac{I_{dp1} - I_{dn1}}{C_{out}} \\ \text{Φάση 3} & \quad \frac{dV_B}{dt} = \frac{-I_{dn1}}{C_{out}} \end{aligned} \quad (4.5)$$

ΠΙΝΑΚΑΣ 4.1 Φάσεις της απόκρισης τύπου ράμπας του αντιστροφέα

Φάση	$V_A$	N1	P1	$V_B$
1	$0 < V_A < V_{tn}$	OFF	ON	$V_{DD}$
2	$V_{tn} < V_A < V_{DD} -  V_{tp} $	ON	ON	Ενδιάμεση τιμή
3	$V_{DD} -  V_{tp}  < V_A < V_{DD}$	ON	OFF	Πέφτει προς το 0

Τα ρεύματα θα μπορούσαν να υπολογιστούν χρησιμοποιώντας και πάλι το ιδανικό (μεγάλου μήκους καναλιού) μοντέλο, αλλά η διαδικασία υπολογισμού είναι κοπιαστική και παρέχει ελάχιστη πληροφόρηση. Η καίρια παρατήρηση είναι ότι η καθυστέρηση διάδοσης αυξάνεται, επειδή το  $V_{ds}$  δεν γίνεται πλήρως ON αμέσως και επειδή «μάχεται» με το  $P1$  στη Φάση 2. Στην Ενότητα 4.4.6.1 θα αναπτύξουμε ένα μοντέλο το οποίο θα περιγράφει πώς αυξάνεται η καθυστέρηση διάδοσης με το χρόνο ανόδου.

Πολυπλοκότερες πύλες, όπως οι πύλες NAND και NOR, έχουν τρανζίστορ εν σειρά. Κάθε εν σειρά τρανζίστορ βλέπει μικρότερη  $V_{ds}$  και αποδίδει λιγότερο ρεύμα. Το ρεύμα που διαρρέει τα τρανζίστορ μπορεί να βρεθεί με επίλυση του συστήματος μη-γραμμικών διαφορικών εξισώσεων, πράγμα το οποίο, και σ' αυτή την περίπτωση, είναι προτιμότερο να γίνεται αριθμητικά. Εάν τα τρανζίστορ έχουν ίδιες διαστάσεις και το φορτίο είναι ίδιο, η καθυστέρηση θα αυξάνεται ανάλογα με τον αριθμό των εν σειρά τρανζίστορ.

Σ' αυτή την ενότητα είδατε πώς μπορεί κανείς να αναπτύξει ένα φυσικό μοντέλο για ένα κύκλωμα, να διατυπώσει τη διαφορική εξίσωση για το μοντέλο και να τη λύσει για να υπολογίσει την καθυστέρηση. Η φυσική μοντελοποίηση υποδεικνύει ότι η καθυστέρηση αυξάνεται ανάλογα με τη χωρητικότητα εξόδου και μειώνεται με το ρεύμα οδήγησης. Οι διαφορικές εξισώσεις χρησιμοποιούσαν το ιδανικό (μεγάλου μήκους καναλιού) μοντέλο για το ρεύμα των τρανζίστορ, το οποίο είναι ανακριβές για τις σύγχρονες τεχνολογίες κατασκευής. Επιπλέον, επειδή οι εξισώσεις είναι έντονα μη-γραμμικές για να έχουν λύση κλειστού τύπου, πρέπει να επιλύονται αριθμητικά και παρέχουν ελάχιστη πληροφόρηση για την καθυστέρηση. Οι προσομοιωτές κυκλωμάτων αυτοματοποιούν αυτή τη διαδικασία χρησιμοποιώντας περισσότερο ακριβείς εξισώσεις για την καθυστέρηση και παρέχουν καλές προβλέψεις του χρόνου καθυστέρησης, αλλά προσφέρουν ακόμα λιγότερη πληροφόρηση. Το υπόλοιπο αυτού του κεφαλαίου ασχολείται με την ανάπτυξη απλούστερων μοντέλων καθυστέρησης, τα οποία παρέχουν περισσότερη πληροφόρηση και αποδεκτή ακρίβεια.

### 4.3 Μοντέλο Καθυστέρησης RC

Τα μοντέλα καθυστέρησης RC προσεγγίζουν τις μη-γραμμικές χαρακτηριστικές I-V και C-V των τρανζίστορ με μια μέση τιμή αντίστασης και χωρητικότητας για όλο το εύρος μεταγωγής (switching range) της πύλης. Αυτή η προσέγγιση δίνει αξιοσημείωτα καλά αποτελέσματα για την εκτίμηση της καθυστέρησης, παρά τους εμφανείς περιορισμούς στην πρόβλεψη λεπτομερούς αναλογικής συμπεριφοράς.

#### 4.3.1 Ενεργή Αντίσταση

Το μοντέλο καθυστέρησης RC αντιμετωπίζει ένα τρανζίστορ ως ένα διακόπτη εν σειρά με μια αντίσταση. Η ενεργή αντίσταση (effective resistance) είναι ο λόγος της τάσης  $V_{ds}$  προς το ρεύμα  $I_{ds}$  υπολογισμένος ως μέσος όρος για το χρονικό διάστημα μεταγωγής που μας ενδιαφέρει.

Ένα μοναδιαίο nMOS τρανζίστορ ορίζεται ότι έχει ενεργή αντίσταση  $R$ . Το μέγεθος του μοναδιαίου τρανζίστορ μπορεί να είναι οποιοδήποτε, αλλά κατά σύμβαση αναφέρεται σ' ένα τρανζίστορ με ελάχιστο μήκος και ελάχιστο πλάτος διάχυσης με επαφή (δηλαδή,  $4/2\lambda$ ). Εναλλακτικά, μπορεί να αναφέρεται στο πλάτος του nMOS τρανζίστορ σ' έναν ελάχιστου μεγέθους αντιστροφή μιας βιβλιοθήκης τυποποιημένων κυττάρων. Ένα nMOS τρανζίστορ με  $k$ -πλάσιο από το μοναδιαίο πλάτος έχει αντίσταση  $R/k$  επειδή αποδίδει  $k$ -πλάσιο ρεύμα. Ένα μοναδιαίο pMOS τρανζίστορ έχει μεγαλύτερη αντίσταση, γενικά στο εύρος τιμών  $2R-3R$ , λόγω της χαμηλότερης εκκινήσιμης. Σε όλη την έκταση αυτού του βιβλίου θα χρησιμοποιούμε το  $2R$  στα παραδείγματα, για απλότητα στους υπολογισμούς. Η  $R$  είναι τυπικά στην τάξη μεγέθους των  $10\text{ k}\Omega$  για ένα μοναδιαίο τρανζίστορ. Στις Ενότητες 4.3.7 και 8.4.5 θα δούμε πώς μπορεί να καθοριστεί η ενεργή αντίσταση για τρανζίστορ σε μια συγκεκριμένη τεχνολογία κατασκευής.

Σύμφωνα με το ιδανικό (μεγάλου μήκους καναλιού) μοντέλο, το ρεύμα μειώνεται γραμμικά με το μήκος καναλιού και άρα η αντίσταση είναι ανάλογη του μήκους,  $L$ . Επιπλέον, η αντίσταση δύο εν σειρά τρανζίστορ είναι το άθροισμα των αντιστάσεων εκάστου τρανζίστορ (δείτε την Άσκηση 2.2). Ωστόσο, εάν ένα τρανζίστορ είναι σε πλήρη κορεσμό ταχύτητας, το ρεύμα και η αντίσταση γίνονται ανεξάρτητα του μήκους καναλιού. Τα πραγματικά τρανζίστορ λειτουργούν κάπου ανάμεσα σ' αυτό τα δύο άκρα. Αυτό σημαίνει επίσης ότι η αντίσταση των εν σειρά τρανζίστορ είναι σχετικά χαμηλότερη από το άθροισμα των αντιστάσεων, επειδή τα εν σειρά τρανζίστορ βλέπουν μικρότερη  $V_{ds}$  και υφίστανται λιγότερο κορεσμό ταχύτητας. Το φαινόμενο είναι περισσότερο έντονο για τα nMOS παρά για τα pMOS τρανζίστορ λόγω της υψηλότερης εκκινήσιμης και του μεγαλύτερου κορεσμού ταχύτητας. Η απλούστερη δυνατή προσέγγιση

είναι να αγνοήσουμε τον κορεσμό ταχύτητας κατά τους υπολογισμούς με το χέρι, έχοντας ωστόσο υπόψη ότι τα εν σειρά τρανζίστορ θα είναι σχετικά ταχύτερα από το προβλεπόμενο.

#### 4.3.2 Χωρητικότητα Πύλης και Διάχυσης

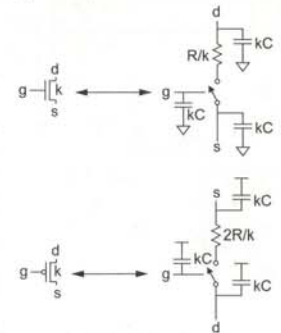
Κάθε τρανζίστορ έχει επίσης χωρητικότητα πύλης και διάχυσης. Ορίζουμε ως  $C$  τη χωρητικότητα πύλης ενός μοναδιαίου τρανζίστορ και των δύο τύπων. Ένα τρανζίστορ με  $k$ -πλάσιο από το μοναδιαίο πλάτος έχει χωρητικότητα  $kC$ . Η χωρητικότητα διάχυσης εξαρτάται από το μέγεθος της περιοχής πηγής/ υποδοχής. Χρησιμοποιώντας τις προσεγγίσεις από την Ενότητα 2.3.1, υποθέτουμε ότι η πηγή ή η υποδοχή με επαφή ενός μοναδιαίου τρανζίστορ θα έχει επίσης χωρητικότητα περίπου ίση με  $C$ . Τα πλατύτερα τρανζίστορ έχουν αναλογικά μεγαλύτερη χωρητικότητα διάχυσης. Όταν αυξάνεται το μήκος καναλιού, αυξάνεται αναλογικά η χωρητικότητα πύλης, αλλά δεν επηρεάζεται η χωρητικότητα διάχυσης.

Αν και οι χωρητικότητες έχουν μη-γραμμική εξάρτηση από την τάση, χρησιμοποιούμε μια μέση τιμή. Όπως αναφέραμε στην Ενότητα 2.3.1, κατά προσέγγιση εκτιμάμε ότι η χωρητικότητα  $C$  για ένα τρανζίστορ ελάχιστου μήκους είναι  $1\text{ fF}$  ανά  $\mu\text{m}$  πλάτους. Συνεπώς, σε μια τεχνολογία κατασκευής  $65\text{ nm}$  μ' ένα μοναδιαίο τρανζίστορ να έχει πλάτος  $0.1\ \mu\text{m}$ , η  $C$  είναι περίπου  $0.1\text{ fF}$ .

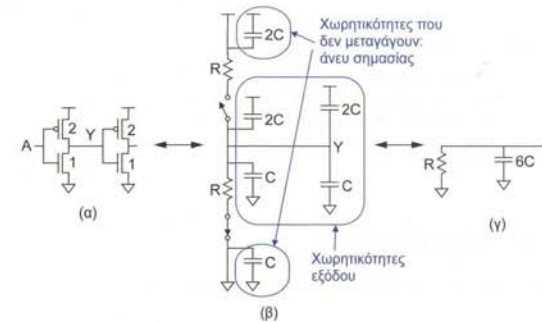
#### 4.3.3 Ισοδύναμο RC Κυκλώματα

Το Σχήμα 4.5 παρουσιάζει ισοδύναμα κυκλωματικά μοντέλα RC για nMOS και pMOS τρανζίστορ με πλάτος  $k$  και διάχυση με επαφή τόσο στην πηγή όσο και στην υποδοχή. Το pMOS τρανζίστορ έχει περίπου διπλάσια αντίσταση από το nMOS, επειδή οι οπές έχουν χαμηλότερη εκκινήσιμη από τα ηλεκτρόνια. Οι ποκνωτές για το pMOS τρανζίστορ παρουσιάζονται με την  $V_{ds}$  ως δεύτερο ακροδέκτη επειδή το n-πηγάδι συνδέεται συνήθως στην υψηλή στάθμη. Ωστόσο, όσον αφορά την καθυστέρηση, η συμπεριφορά του ποκνωτή είναι ανεξάρτητη από την τάση του δεύτερου ακροδέκτη, υπό τον όρο ότι παραμένει σταθερή. Γι' αυτό και ορισμένες φορές σχεδιάζουμε το δεύτερο ακροδέκτη ως γείωση, χάρην ευκολίας.

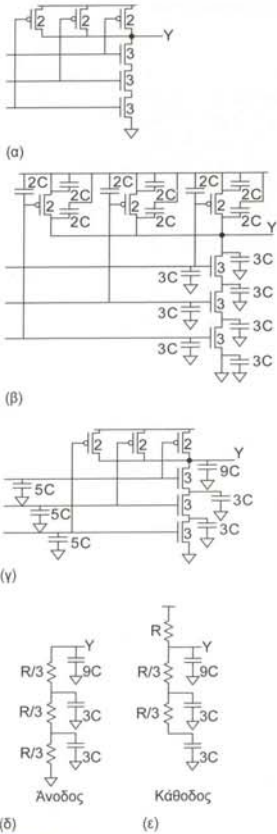
Τα ισοδύναμα κυκλώματα για τις λογικές πύλες «συναρμολογούνται» από τα μεμονωμένα τρανζίστορ. Το Σχήμα 4.6 παρουσιάζει το ισοδύναμο κύκλωμα για έναν αντιστροφή FOI (fanout-of-1) με αμελητέα χωρητικότητα αγωγών. Οι μοναδιαίοι αντιστροφείς του Σχήματος 4.6(α) απαρτίζονται από ένα nMOS τρανζίστορ μοναδιαίου μεγέθους κι ένα pMOS τρανζίστορ με διπλάσιο από το μοναδιαίο πλάτος για να επιτευχθούν ίσες αντιστάσεις ανόδου και καθόδου. Το Σχήμα 4.6(β) παρουσιάζει ένα ισοδύναμο κύκλωμα, με τον πρώτο αντιστροφή να οδηγεί την πύλη του δεύτερου αντιστροφέα. Εάν η είσοδος  $A$  ανέρχεται, το nMOS τρανζίστορ θα είναι ON και το pMOS θα είναι OFF. Το Σχήμα 4.6(γ) απεικονίζει αυτή την περίπτωση, αλλά χωρίς να περιλαμβάνει τους διακόπτες. Δεν περιλαμβάνονται επίσης



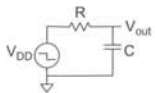
ΣΧΗΜΑ 4.5 Ισοδύναμα κυκλώματα για τρανζίστορ.



ΣΧΗΜΑ 4.6 Ισοδύναμο κύκλωμα για έναν αντιστροφή.



ΣΧΗΜΑ 4.7 Ισοδύναμα κυκλώματα για μια πύλη NAND 3 εισόδων.



ΣΧΗΜΑ 4.8 Σύστημα RC πρώτης τάξης.

οι ποικνωτές που είναι συνδεδεμένοι μεταξύ δύο σταθερών τροφοδοσιών, επειδή δεν φορτίζονται, ούτε εκφορτίζονται. Η συνολική χωρητικότητα στην έξοδο Y είναι 6C.

**Παράδειγμα 4.2**

Σχεδιάστε μια πύλη NAND 3 εισόδων με τρανζίστορ των οποίων τα πλάτη επιλέγονται ώστε να επιτυγχάνεται αντίσταση ανόδου και καθόδου ίση με αυτή ενός μοναδιαίου αντιστροφέα (R). Στην πύλη, επισημάνετε τις χωρητικότητες πύλης και διάχυσης. Υποθέστε ότι όλοι οι κόμβοι διάχυσης έχουν επαφή. Στη συνέχεια σχεδιάστε ισοδύναμα κυκλώματα για την καθοδική μετάβαση της εξόδου και για τη χειριστή περίπτωση της ανοδικής μετάβασης της εξόδου.

**ΛΥΣΗ:** Το Σχήμα 4.7(a) παρουσιάζει μια τέτοια πύλη. Τα τρία nMOS τρανζίστορ είναι εν σειρά, οπότε η αντίσταση που παρουσιάζουν είναι τριπλάσια από αυτή ενός μεμονωμένου τρανζίστορ. Συνεπώς, για αντιστάθμιση το καθένα θα πρέπει να έχει τριπλάσιο από το μοναδιαίο πλάτος. Με άλλα λόγια, το κάθε τρανζίστορ έχει αντίσταση R/3 και ο εν σειρά συνδυασμός τους έχει αντίσταση R.

Τα δύο pMOS τρανζίστορ είναι εν παράλληλω. Στη χειριστή περίπτωση (με μία από τις εισόδους σε χαμηλή στάθμη), μόνο ένα από τα pMOS τρανζίστορ θα είναι ON. Συνεπώς, το καθένα πρέπει να έχει διπλάσιο από το μοναδιαίο πλάτος για να παρουσιάζει αντίσταση R.

Το Σχήμα 4.7(β) υποδεικνύει τις χωρητικότητες. Κάθε είσοδος παρουσιάζει πέντε μονάδες χωρητικότητας πύλης στο οποιοδήποτε κύκλωμα την οδηγεί. Παρατηρήστε ότι οι ποικνωτές στις διαχύσεις πηγής που συνδέονται στις γραμμές τροφοδοσίας έχουν τα άκρα τους βραχυκυκλωμένα, οπότε δεν έχουν σημασία για τη λειτουργία του κυκλώματος. Στο Σχήμα 4.7(γ) έχουμε επανασχεδιάσει την πύλη αφού εξαλείψαμε αυτές τις χωρητικότητες και συνδέσαμε τις υπόλοιπες στη γείωση.

Το Σχήμα 4.7(d) παρουσιάζει το ισοδύναμο κύκλωμα για την καθοδική μετάβαση της εξόδου. Η έξοδος οδηγείται κάτω μέσω των τριών εν σειρά nMOS τρανζίστορ.

Το Σχήμα 4.7(e) παρουσιάζει το ισοδύναμο κύκλωμα για την ανοδική μετάβαση της εξόδου. Στη χειριστή περίπτωση, οι δύο επάνω εισοδοί είναι 1 και η κάτω πέφτει στο 0.

Η έξοδος οδηγείται πάνω μέσω ενός pMOS τρανζίστορ. Τα δύο ανώτερα nMOS τρανζίστορ συνεχίζουν να άγουν, οπότε η χωρητικότητα διάχυσης μεταξύ των εν σειρά nMOS τρανζίστορ πρέπει επίσης να εκφορτιστεί.

**4.3.4 Μεταβατική Απόκριση**

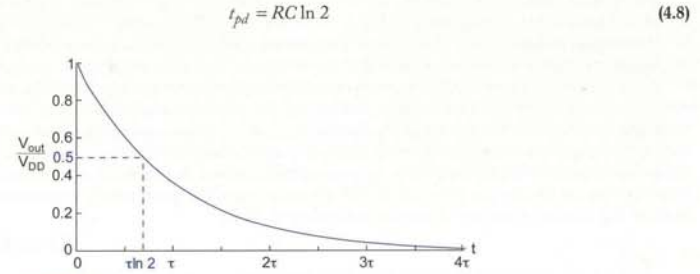
Στη συνέχεια θα εφαρμόσουμε το μοντέλο RC για να υπολογίσουμε τη βηματική απόκριση του συστήματος πρώτης τάξης που παρουσιάζεται στο Σχήμα 4.8. Αυτό το σύστημα αποτελεί ένα καλό μοντέλο για έναν αντιστροφέα με μέγεθος επιλεγμένο κατάλληλα για ίσες καθυστερήσεις ανόδου και καθόδου. Το σύστημα έχει συνάρτηση μεταφοράς

$$H(s) = \frac{1}{1 + sRC} \tag{4.6}$$

και βηματική απόκριση

$$V_{out}(t) = V_{DD} e^{-t/\tau} \tag{4.7}$$

όπου  $\tau = RC$ . Η καθυστερήση διάδοσης είναι ο χρόνος κατά τον οποίο η  $V_{out}$  φτάνει στην τιμή  $V_{DD}/2$ , όπως υποδεικνύει το Σχήμα 4.9.



ΣΧΗΜΑ 4.9 Βηματική απόκριση πρώτης τάξης.

Ο συντελεστής  $\ln 2 = 0.69$  δεν διευκολύνει τους υπολογισμούς μας. Η ενεργή αντίσταση R είναι ούτως ή άλλως μια εμπειρική παράμετρος, οπότε είναι προτιμότερο να ενσωματώσουμε το συντελεστή  $\ln 2$  για να ορίσουμε μια νέα ενεργή αντίσταση  $R' = R \ln 2$ . Έτσι, η καθυστερήση διάδοσης γίνεται απλώς  $R'C$ . Χάρην ευκολίας, συνήθως εξαλείφουμε τους τόνους και γράφουμε απλώς

$$t_{pd} = RC \tag{4.9}$$

όπου η ενεργή αντίσταση R επιλέγεται κατάλληλα ώστε να δώσει τη σωστή καθυστερήση.

Το Σχήμα 4.10 παρουσιάζει ένα σύστημα δεύτερης τάξης. Οι  $R_1$  και  $R_2$  θα μπορούσαν να μοντελοποιούν τα δύο εν σειρά nMOS τρανζίστορ σε μια πύλη NAND, ή σ' έναν αντιστροφέα που οδηγεί ένα μεγάλο μήκους αγωγό με μη-αμελητέα αντίσταση. Η συνάρτηση μεταφοράς είναι

$$H(s) = \frac{1}{1 + s[R_1 C_1 + (R_1 + R_2) C_2] + s^2 R_1 C_1 R_2 C_2} \tag{4.10}$$

Η συνάρτηση έχει δύο πραγματικούς πόλους και η βηματική απόκριση είναι

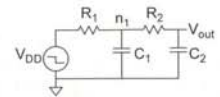
$$V_{out}(t) = V_{DD} \frac{\tau_1 e^{-t/\tau_1} - \tau_2 e^{-t/\tau_2}}{\tau_1 - \tau_2} \tag{4.11}$$

με

$$\tau_{1,2} = \frac{R_1 C_1 + (R_1 + R_2) C_2}{2} \left( 1 \pm \sqrt{1 - \frac{4R' C'}{[1 + (1 + R') C']^2}} \right) \tag{4.12}$$

$$R' = \frac{R_2}{R_1}; \quad C' = \frac{C_2}{C_1}$$

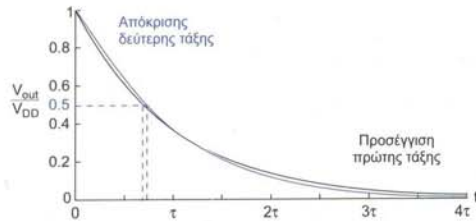
Η Εξ. (4.12) είναι τόσο πολύπλοκη, που δεν εξυπηρετεί το στόχο της απλοποίησης ενός κυκλώματος CMOS σ' ένα ισοδύναμο RC δίκτυο. Ωστόσο, μπορεί να προσεγγιστεί ως ένα σύστημα πρώτης τάξης με μία μόνο σταθερά χρόνου:



ΣΧΗΜΑ 4.10 Σύστημα RC δεύτερης τάξης.

$$\tau = \tau_1 + \tau_2 = R_1 C_1 + (R_1 + R_2) C_2 \quad (4.13)$$

Αυτή η προσέγγιση δουλεύει καλύτερα όταν η μία σταθερά χρόνου είναι σημαντικά μεγαλύτερη από την άλλη [Horowitz84]. Για παράδειγμα, εάν  $R_1 = R_2 = R$  και  $C_1 = C_2 = C$ , τότε  $\tau_1 = 2.6 RC$ ,  $\tau_2 = 0.4 RC$ ,  $\tau = 3 RC$ . Η απόκριση δεύτερης τάξης και η πρώτη τάξης προσεγγίσι της παρουσιάζονται στο Σχήμα 4.11. Το σφάλμα στην εκτίμηση της καθυστέρησης διάδοσης από την προσέγγιση πρώτης τάξης είναι μικρότερο από 7%. Ακόμα και στη χειρότερη περίπτωση, όπου οι δύο σταθερές χρόνου είναι ίσες, το σφάλμα είναι μικρότερο από 15%. Η χρήση μιας μεμονωμένης σταθεράς χρόνου αποτελεί κακή επιλογή για την περιγραφή της συμπεριφοράς των ενδιάμεσων κόμβων. Για παράδειγμα, η απόκριση στο  $n_1$  δεν μπορεί να περιγραφεί καλά με μια μεμονωμένη σταθερά χρόνου. Ωστόσο, οι σχεδιαστές CMOS ενδιαφέρονται πρωτίστως για την καθυστέρηση στην έξοδο μιας πύλης, όπου η προσέγγιση δουλεύει καλά. Στην επόμενη ενότητα θα επιχειρήσουμε να βρούμε μια απλή προσέγγιση μεμονωμένης σταθεράς χρόνου για γενικά κυκλώματα δένδρων RC, χρησιμοποιώντας το μοντέλο καθυστέρησης Elmore.



ΣΧΗΜΑ 4.11 Σύγκριση της απόκρισης δεύτερης τάξης με την προσέγγιση πρώτης τάξης.

### 4.3.5 Καθυστέρηση Elmore

Γενικά, τα περισσότερα κυκλώματα ενδιαφέροντος μπορούν να αναπαριστάνονται ως ένα RC δένδρο - δηλαδή, ένα RC κύκλωμα χωρίς βρόχους. Η «ρίζα του δένδρου» είναι η πηγή τάσης και τα φύλλα είναι οι πυκνωτές στα άκρα των κλάδων. Το μοντέλο καθυστέρησης Elmore [Elmore48] υπολογίζει την καθυστέρηση από μια πηγή που μεταγίνει σ' έναν από τους κόμβους-φύλλα ως το άθροισμα της χωρητικότητας  $C_i$  σε κάθε κόμβο  $i$  πολλαπλασιαζόμενη επί την ενεργή αντίσταση  $R_{i0}$  στο διαμοιραζόμενο μονοπάτι από την πηγή προς τον κόμβο και το φύλλο. Η εφαρμογή του μοντέλου καθυστέρησης Elmore θα γίνει καλύτερα κατανοητή διά παραδείγματος.

$$t_{pd} = \sum_i R_{i0} C_i \quad (4.14)$$

#### Παράδειγμα 4.3

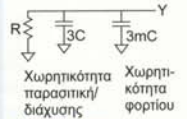
Υπολογίστε την καθυστέρηση Elmore για την  $V_{out}$  στο 2ης τάξης σύστημα RC του Σχήματος 4.10.

**ΛΥΣΗ:** Το κύκλωμα έχει μια πηγή και δύο κόμβους. Στον κόμβο  $n_1$ , η χωρητικότητα είναι  $C_1$  και η αντίσταση προς την πηγή είναι  $R_1$ . Στον κόμβο  $V_{out}$ , η χωρητικότητα είναι  $C_2$  και η αντίσταση προς την πηγή είναι  $(R_1 + R_2)$ . Άρα, η καθυστέρηση Elmore είναι  $t_{pd} = R_1 C_1 + (R_1 + R_2) C_2$ , ακριβώς όπως προβλέψαμε με χρήση μεμονωμένης σταθεράς χρόνου στην Εξ. (4.13). Σημειώστε ότι η ενεργής αντιστάσεις θα πρέπει να συνυπολογίζονται το συντελεστή  $\ln 2$ .

#### Παράδειγμα 4.4

Υπολογίστε μια εκτίμηση της  $t_{pd}$  για ένα μοναδιαίο αντιστροφέα που οδηγεί  $m$  πανομοιότυπους μοναδιαίους αντιστροφείς.

**ΛΥΣΗ:** Το Σχήμα 4.12 παρουσιάζει ένα ισοδύναμο κύκλωμα για την καθοδική μετάβαση. Κάθε αντιστροφέας φορτίου παρουσιάζει  $3C$  μονάδες χωρητικότητας πύλης - συνολικά,  $3mC$ . Ο κόμβος εξόδου βλέπει επίσης μια χωρητικότητα  $3C$  από τις διαχύσεις υποδοχής του αντιστροφέα που οδηγεί. Αυτή η χωρητικότητα αποκαλείται *παρσιτική* επειδή είναι ένα ανεπιθύμητο επακόλουθο της ανάγκης να κάνουμε την υποδοχή αρκετά μεγάλη για να έρχεται σε επαφή. Η παρσιτική χωρητικότητα είναι ανεξάρτητη από το φορτίο που οδηγεί ο αντιστροφέας. Άρα, η συνολική χωρητικότητα είναι  $(3 + 3m)C$ . Η αντίσταση είναι  $R$ , οπότε η καθυστέρηση Elmore είναι  $t_{pd} = (3 + 3m)RC$ . Το ισοδύναμο κύκλωμα για την ανοδική μετάβαση δίνει τα ίδια αποτελέσματα.



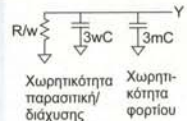
ΣΧΗΜΑ 4.12 Ισοδύναμο κύκλωμα για τον αντιστροφέα.

#### Παράδειγμα 4.5

Επανάλαβετε το Παράδειγμα 4.4 για την περίπτωση όπου ο αντιστροφέας που οδηγεί έχει  $w$ -πλάσιο από το μοναδιαίο μέγεθος.

**ΛΥΣΗ:** Το Σχήμα 4.13 παρουσιάζει το ισοδύναμο κύκλωμα. Τα τρανζίστορ του οδηγού έχουν  $w$ -πλάσιο πλάτος, οπότε η ενεργή αντίσταση μειώνεται κατά συντελεστή  $w$ . Η χωρητικότητα διάχυσης αυξάνεται κατά συντελεστή  $w$ . Η καθυστέρηση Elmore είναι:  $t_{pd} = ((3w + 3m)C)(R/w) = (3 + 3m/w)RC$ .

Ορίζουμε το *βαθμό οδήγησης εξόδου* (fanout) της πύλης,  $h$ , ως το λόγο της χωρητικότητας φορτίου προς τη χωρητικότητα εισόδου. (Η χωρητικότητα διάχυσης δεν συνυπολογίζεται στο fanout). Η χωρητικότητα φορτίου είναι  $3mC$ . Η χωρητικότητα εισόδου είναι  $3wC$ . Συνεπώς, ο αντιστροφέας έχει fanout  $h = m/w$  και η καθυστέρηση μπορεί να διατυπωθεί ως  $(3 + 3h)RC$ .



ΣΧΗΜΑ 4.13 Ισοδύναμο κύκλωμα για έναν πλατύτερο αντιστροφέα.

#### Παράδειγμα 4.6

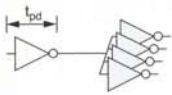
Εάν ένα μοναδιαίο τρανζίστορ έχει  $R = 10 \text{ k}\Omega$  και  $C = 0.1 \text{ fF}$  σε μια τεχνολογία κατασκευής 65 nm, υπολογίστε την καθυστέρηση, σε picosecond, του αντιστροφέα του Σχήματος 4.14 με fanout  $h = 4$ .

**ΛΥΣΗ:** Το γινόμενο  $RC$  στην τεχνολογία κατασκευής 65 nm είναι  $(10 \text{ k}\Omega)(0.1 \text{ fF}) = 1 \text{ ps}$ . Για  $h = 4$ , η καθυστέρηση είναι  $(3 + 3h)(1 \text{ ps}) = 15 \text{ ps}$ . Αποκαλείται *καθυστέρηση αντιστροφέα με fanout 4* (fanout-of-4, FO4) και είναι αντιπροσωπευτική των καθυστερήσεων πύλης σε τοπικά κυκλώματα. Όπως γνωρίζετε, ένα picosecond είναι ένα τριακοσμομμυριοστό του δευτερολέπτου. Ο αντιστροφέας μπορεί να μεταγάγει περίπου 66 δισεκατομμύρια φορές ανά δευτερόλεπτο. Αυτή η εκπληκτική ταχύτητα εξηγεί εν μέρει τις θεαματικές δυνατότητες των ολοκληρωμένων κυκλωμάτων.

Συχνά, είναι χρήσιμο να εκφράζουμε την καθυστέρηση σε μια μορφή ανεξάρτητη από την τεχνολογία κατασκευής, έτσι ώστε να μπορούμε να συγκρίνουμε κυκλώματα βάσει της τοπολογίας και όχι βάσει της ταχύτητας που παρέχει η κατασκευαστική διαδικασία. Επιπλέον, έχοντας ένα ανεξάρτητο από την τεχνολογία κατασκευής μέτρο για την καθυστέρηση, η γνώση των ταχυτήτων ενός κυκλώματος που αποκτάμε καθώς δουλεύουμε με μια τεχνολογία κατασκευής μπορεί να μεταφερθεί σε μια νέα τεχνολογία. Παρατηρήστε ότι η καθυστέρηση ενός ιδανικού αντιστροφέα FO1 χωρίς παρσιτική χωρητικότητα είναι  $\tau = 3RC$  [Sutherland99]. Συμβολίζουμε την κανονικοποιημένη καθυστέρηση  $d$  σε σχέση με την καθυστέρηση αυτού του αντιστροφέα:

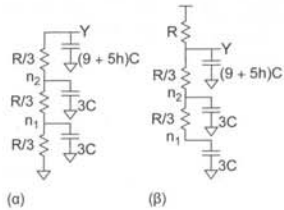
$$d = \frac{t_{pd}}{\tau} \quad (4.15)$$

<sup>1</sup> Μην συγχέετε αυτό τον ορισμό της  $\tau = 3RC$ , δηλαδή, την καθυστέρηση ενός απαλλαγμένου από παρσιτική χωρητικότητα αντιστροφέα FO1, με τον ορισμό  $\tau = RC$  που δίνουν οι Mead και Conway [Mead80], ο οποίος αντιπροσωπεύει την καθυστέρηση ενός nMOS τρανζίστορ που οδηγεί τη δική του πύλη, οπότε με τη χρήση του  $\tau$  ως μια αυθαίρετη σταθερά χρόνου. Για το υπόλοιπο αυτού του κεφαλαίου, ισχύει  $\tau = 3RC$ .



ΣΧΗΜΑ 4.14 Αντιστροφέας FO4.

Άρα, η καθυστέρηση ενός αντιστροφέα με ικανότητα οδήγησης  $h$  εξόδων (fanout-of- $h$ ) μπορεί να διατυπωθεί σε κανονικοποιημένη μορφή ως  $d = h + 1$ , υποθέτοντας ότι η χωρητικότητα διάχυσης ισούται περίπου με τη χωρητικότητα πύλης. Ένας αντιστροφέας FO4 έχει καθυστέρηση ίση με  $5\tau$ . Εάν η χωρητικότητα διάχυσης ήταν ελαφρώς υψηλότερη ή χαμηλότερη, η καθυστέρηση FO4 θα μεταβάλλονταν μόνο κατά ένα μικρό ποσό. Συνεπώς, η καθυστέρηση του κυκλώματος μετρούμενη σε καθυστερήσεις FO4 μένει σχεδόν σταθερή από τη μια τεχνολογία κατασκευής στην άλλη<sup>2</sup>.



ΣΧΗΜΑ 4.15 Ισοδύναμο κυκλώματα για πύλη με φορτίο.

### Παράδειγμα 4.7

Υπολογίστε τους χρόνους  $t_{pdf}$  και  $t_{psh}$  για την πύλη NAND3 εισόδων από το Παράδειγμα 4.2, εάν η έξοδος έχει ως φορτίο  $h$  πανομοιότυπες πύλες NAND.

**ΛΥΣΗ:** Κάθε φορτίο της πύλης NAND παρουσιάζει 5 μονάδες χωρητικότητας σε μια δεδομένη είσοδο. Το Σχήμα 4.15(α) παρουσιάζει το ισοδύναμο κύκλωμα, συμπεριλαμβανομένου του φορτίου για την καθοδική μετάβαση. Ο κόμβος  $n_1$  έχει χωρητικότητα  $3C$  και αντίσταση  $R/3$  προς τη γείωση. Ο κόμβος  $n_2$  έχει χωρητικότητα  $3C$  και αντίσταση  $(R/3 + R/3)$  προς τη γείωση. Ο κόμβος  $Y$  έχει χωρητικότητα  $(9 + 5h)C$  και αντίσταση  $(R/3 + R/3 + R/3)$  προς τη γείωση. Η καθυστέρηση Elmore για την καθοδική έξοδο είναι το άθροισμα αυτών των γινομένων  $RC$ ,  $t_{pdf} = (3C)(R/3) + (3C)(R/3 + R/3) + ((9 + 5h)C)(R/3 + R/3 + R/3) = (12 + 5h)RC$ .

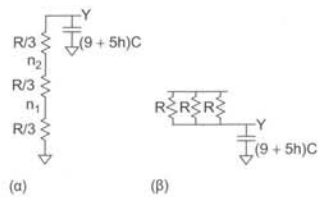
Το Σχήμα 4.15(β) παρουσιάζει το ισοδύναμο κύκλωμα για την ανοδική μετάβαση. Στη χειριστη περίπτωση, οι δύο εσωτερικές εισόδους είναι 1 και η εξωτερική είσοδος κατέρχεται. Ο κόμβος  $Y$  οδηγείται πάνω, στην  $V_{DD}$  μέσω ενός pMOS τρανζίστορ. Τα ON nMOS τρανζίστορ συνεισφέρουν παρασιτική χωρητικότητα, η οποία επιβραδύνει τη μετάβαση. Ο κόμβος  $Y$  έχει χωρητικότητα  $(9 + 5h)C$  και αντίσταση  $R$  προς την  $V_{DD}$ . Ο κόμβος  $n_2$  έχει χωρητικότητα  $3C$ . Η σχετική αντίσταση είναι μόνο  $R$ , και όχι  $(R + R/3)$ , επειδή η έξοδος φορτίζεται μόνο μέσω της  $R$ . Αυτό σημαίνει η ύπαρξη της αντίστασης στο κοινό μονοπάτι από την πηγή ( $V_{DD}$ ) έως τον κόμβο ( $n_2$ ) και το φύλλο ( $Y$ ). Παρόμοια, ο κόμβος  $n_1$  έχει χωρητικότητα  $3C$  και αντίσταση  $R$ . Άρα, η καθυστέρηση Elmore για την ανοδική έξοδο είναι  $t_{psh} = (15 + 5h)RC$ . Οι αντιστάσεις  $R/3$  δεν συνεισφέρουν σ' αυτή την καθυστέρηση. Στην πραγματικότητα, προστατεύουν τις χωρητικότητες διάχυσης, οι οποίες δεν χρειάζεται να φορτίζονται πλήρως, πριν ανέλθει ο κόμβος  $Y$ . Συνεπώς, η καθυστέρηση Elmore είναι συντηρητική και η πραγματική καθυστέρηση είναι κατά τι μικρότερη.

Αν και η πύλη έχει ίση αντίσταση οδήγησης πάνω και κάτω, οι καθυστερήσεις δεν είναι απολύτως ίσες λόγω των χωρητικότητων των εσωτερικών κόμβων.

### Παράδειγμα 4.8

Υπολογίστε τις καθυστερήσεις μόνωσης  $t_{ovf}$  και  $t_{ovr}$  για την πύλη NAND3 εισόδων από το Παράδειγμα 4.2, εάν η έξοδος έχει φορτίο  $h$  πανομοιότυπες πύλες NAND.

**ΛΥΣΗ:** Η καθυστέρηση μόνωσης είναι η ταχύτερη στην οποία μπορεί να μεταγάγει η πύλη. Για την καθοδική μετάβαση, η βέλτιστη περίπτωση είναι τα δύο κάτω nMOS τρανζίστορ να είναι ήδη ON όταν αρχίζει να άγει το κορφοφαίο. Σ' αυτή την περίπτωση, οι χωρητικότητες διάχυσης στους κόμβους  $n_1$  και  $n_2$  έχουν ήδη εκφορτιστεί και δεν συνεισφέρουν στην καθυστέρηση. Το Σχήμα 4.16(α) παρουσιάζει το ισοδύναμο κύκλωμα και η καθυστέρηση είναι  $t_{ovf} = (9 + 5h)RC$ .



ΣΧΗΜΑ 4.16 Ισοδύναμο κυκλώματα για τον υπολογισμό της καθυστέρησης μόνωσης.

<sup>2</sup> Αυτό υποθέτει ότι το κύκλωμα κυριαρχείται από την καθυστέρηση πύλης. Η καθυστέρηση  $RC$  μεγάλου μήκους αγώνων δεν ακολουθεί με τον ίδιο ρυθμό την καθυστέρηση πύλης, όπως θα δούμε στο Κεφάλαιο 6.

Για την ανοδική μετάβαση, η βέλτιστη περίπτωση είναι αυτή όπου και τα τρία pMOS τρανζίστορ άγουν ταυτόχρονα. Τα nMOS τρανζίστορ αποκόβουν (OFF), οπότε τα  $n_1$  και  $n_2$  δεν συνδέονται στην έξοδο και δεν συνεισφέρουν στην καθυστέρηση. Τα εν παραλλήλω τρανζίστορ αποδίδουν τριπλάσιο ρεύμα, όπως υποδεικνύει το Σχήμα 4.16(β), οπότε η καθυστέρηση είναι  $t_{ovr} = (3 + (5/3)h)RC$ .

Σε όλα τα παραδείγματα, η καθυστέρηση αποτελείται από δύο συνιστώσες. Η παρασιτική καθυστέρηση είναι ο χρόνος που χρειάζεται μια πύλη για να οδηγήσει τη δική της, εσωτερική χωρητικότητα διάχυσης. Αυξάνοντας το πλάτος των τρανζίστορ μειώνεται η αντίσταση, αλλά αυξάνεται η χωρητικότητα, οπότε η παρασιτική καθυστέρηση είναι, στην ιδανική περίπτωση, ανεξάρτητη από το μέγεθος της πύλης<sup>3</sup>. Η καθυστέρηση φόρτου (effort delay) εξαρτάται από το λόγο  $h$  της εξωτερικής χωρητικότητας φορτίου προς τη χωρητικότητα εισόδου και άρα μεταβάλλεται με το πλάτος των τρανζίστορ. Επίσης εξαρτάται από την πολυπλοκότητα της πύλης. Ο λόγος χωρητικότητας αποκαλείται βαθμός οδήγησης εξόδου (fanout), ή ηλεκτρικός φόρτος (electrical effort) και ο όρος που υποδεικνύει την πολυπλοκότητα των πύλων αποκαλείται λογικός φόρτος (logical effort). Για παράδειγμα, ένας αντιστροφέας με καθυστέρηση  $d = h + 1$ , έχει παρασιτική καθυστέρηση 1 και ο λογικός φόρτος είναι επίσης 1. Η NAND3 έχει χειριστη καθυστέρηση  $d = (5/3)h + 5$ . Συνεπώς, έχει παρασιτική καθυστέρηση 5 και λογικό φόρτο  $5/3$ . Αυτές οι συνιστώσες καθυστέρησης θα εξεταστούν περαιτέρω στην Ενότητα 4.4.

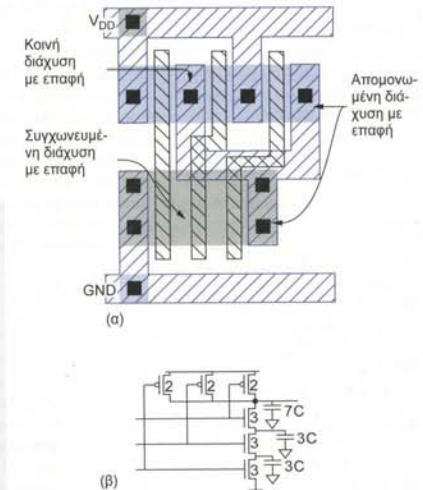
### 4.3.6 Εξάρτηση του Φυσικού Σχεδίου από τη Χωρητικότητα

Σ' ένα καλό φυσικό σχέδιο, οι κόμβοι διάχυσης ορίζονται ώστε να είναι κοινόχρηστοι οποιοδήποτε αυτό είναι δυνατό, για τη μείωση της χωρητικότητας διάχυσης. Επιπλέον, οι κόμβοι διάχυσης χωρίς επαφή μεταξύ των εν σειρά τρανζίστορ είναι συνήθως μικρότεροι από εκείνους με επαφή. Οι κόμβοι χωρίς επαφή έχουν λιγότερη χωρητικότητα (δείτε τις Ενότητες 2.3.3 και 8.4.4), αν και αγνοούμε αυτή τη διαφορά κατά τους υπολογισμούς με το χέρι. Μια συντηρητική μέθοδος εκτίμησης των χωρητικότητας πριν από το φυσικό σχέδιο είναι να υποθέσουμε κόμβους διάχυσης χωρίς επαφή μεταξύ των εν σειρά τρανζίστορ και κόμβους διάχυσης με επαφή οποιοδήποτε αλλού. Ωστόσο, μπορεί να υπολογιστεί μια ακριβέστερη εκτίμηση αφού γίνει γνωστό το φυσικό σχέδιο.

### Παράδειγμα 4.9

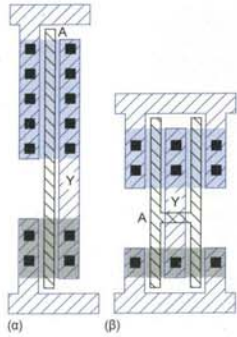
Το Σχήμα 4.17(α) παρουσιάζει ένα φυσικό σχέδιο μιας πύλης NAND3 εισόδων. Η ίδια περιοχή διάχυσης υποδοχής μοιράζεται μεταξύ δύο από τα pMOS τρανζίστορ. Υπολογίστε την πραγματική χωρητικότητα διάχυσης από το φυσικό σχέδιο.

**ΛΥΣΗ:** Το Σχήμα 4.17(β) παρουσιάζει το ίδιο σχηματικό, αλλά μ' αυτές τις χωρητικότητες στη γείωση. Ο κόμβος εξόδου έχει τις ακόλουθες χωρητικότητες διάχυσης:  $3C$  από την υποδοχή του nMOS τρανζίστορ,  $2C$  από την απομονωμένη υποδοχή του pMOS τρανζίστορ και  $2C$  από τις υποδοχές ενός ζεύγους pMOS τρανζίστορ που μοιράζονται μια επαφή. Συνεπώς, η πραγματική χωρητικότητα διάχυσης στην έξοδο είναι  $7C$ , αντί των  $9C$  που προβλέψαμε για το Σχήμα 4.15.



ΣΧΗΜΑ 4.17 Πύλη NAND3 εισόδων, σχολιασμένη με τις τιμές χωρητικότητας διάχυσης όπως εξάγονται από το φυσικό σχέδιο.

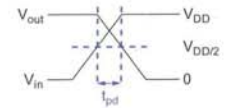
<sup>3</sup> Για τις πύλες με πλατύτερα τρανζίστορ, μπορούν να χρησιμοποιούνται ειδικά τεχνάσματα στο φυσικό σχέδιο, έτσι ώστε η χωρητικότητα διάχυσης να αυξάνεται λιγότερο από γραμμικά με το πλάτος, με αποτέλεσμα να μειώνεται ελαφρώς η παρασιτική καθυστέρηση των μεγάλων πύλων, όπως θα δούμε στην Ενότητα 4.3.6.



ΣΧΗΜΑ 4.18 Στλ φυσικού σχεδίου: (α) συμβατικό, (β) διπλωμένο.

Η χωρητικότητα διάχυσης μπορεί επίσης να μειωθεί διπλώνοντας (folding) τα πλατιά τρανζίστορ. Το Σχήμα 4.18(a) παρουσιάζει ένα συμβατικό φυσικό σχέδιο ενός αντιστροφέα 24/12λ. Επειδή ένα μοναδιαίο (4λ) τρανζίστορ έχει χωρητικότητα διάχυσης C, ο αντιστροφέας έχει συνολική χωρητικότητα διάχυσης 9C. Στο διπλωμένο φυσικό σχέδιο του Σχήματος 4.18(β), κάθε τρανζίστορ κατασκευάζεται από δύο παράλληλα στοιχεία μισού πλάτους. Παρατηρήστε ότι η επιφάνεια διάχυσης έχει μειωθεί κατά ένα συντελεστή 2, πράγμα το οποίο μειώνει τη χωρητικότητα διάχυσης στα 4.5C. Γενικά, τα φυσικά σχέδια με διπλωμένα τρανζίστορ παρέχουν χαμηλότερη παρασιτική καθυστέρηση συγκριτικά με τα φυσικά σχέδια χωρίς διπλωμένα τρανζίστορ. Ένα φυσικό σχέδιο με διπλωμένα τρανζίστορ μπορεί επίσης να ταυριάζει καλύτερα σ' ένα τοποποιημένο κύτταρο περιορισμένου ύψους και οι μικρότεροι μήκους γραμμές πολυπυριτίου έχουν χαμηλότερη αντίσταση. Για όλους αυτούς τους λόγους, τα πλατιά τρανζίστορ διπλώνονται στο φυσικό σχέδιο οποτεδήποτε είναι δυνατό.

Σε ορισμένες νανομετρικές τεχνολογίες κατασκευής (γενικά, από τον κόμβο των 45 nm και κάτω), χρησιμοποιείται περιορισμένη γκάμα βημάτων απόστασης (pitch) για τις πόδες των τρανζίστορ, με στόχο τη βελτίωση της «κατασκευασιμότητας» και τη μείωση των διακυμάνσεων της κατασκευαστικής διαδικασίας. Για παράδειγμα, η απόσταση (spacing) μεταξύ γραμμών πολυπυριτίου για τις πόδες μπορεί να είναι πάντα το βήμα απόστασης των τρανζίστορ με επαφή, ακόμα κι αν δεν απαιτείται επαφή. Επιπλέον, η χρήση ενός και μόνο, τοποποιημένου πλάτους για τα τρανζίστορ μπορεί να μειώσει τις διακυμάνσεις που εισάγει η κατασκευαστική διαδικασία.



ΣΧΗΜΑ 4.19 Καθυστέρηση διάδοσης με την είσοδο και την έξοδο να προσεγγίζονται ως ράμπες.

4.3.7 Καθορισμός της Ενεργής Αντίστασης

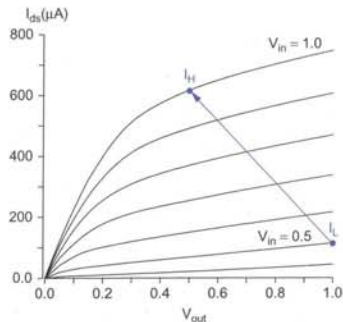
Η ενεργή αντίσταση μπορεί να υπολογιστεί είτε μέσω προσομοίωσης, είτε με ανάλυση. Η Ενότητα 8.4.5 περιγράφει τη μέθοδο της προσομοίωσης, η οποία είναι περισσότερο ακριβής. Ωστόσο, στην παρούσα ενότητα θα παρουσιάσουμε μια ανάλυση η οποία παρέχει περισσότερο πληροφόρηση όσον αφορά τη σχέση της αντίστασης με τις άλλες παραμέτρους.

Όπως γνωρίζετε, η ενεργή αντίσταση είναι η μέση τιμή του λόγου  $V_{ds}/I_{ds}$  ενός τρανζίστορ κατά τη διάρκεια ενός συμβάντος μεταγωγής (switching event). Όπως αναφέραμε στην Ενότητα 4.3.4, η αντίσταση κλιμακώνεται κατά ένα συντελεστή  $\ln 2$ , οπότε η καθυστέρηση διάδοσης μπορεί να διατυπωθεί ως γινόμενο RC. Για τη βηματική απόκριση μιας ανοδικής εισόδου, αυτό που μας ενδιαφέρει είναι ο χρόνος που χρειάζεται η έξοδος για να εκφορτιστεί από  $V_{DD}$  σε  $V_{DD}/2$  μέσω ενός nMOS τρανζίστορ. Εάν το τρανζίστορ είναι σε επαρκή κορεσμό ταχύτητας ώστε να ισχύει  $V_{dsat} < V_{DD}/2$ , τότε το τρανζίστορ θα παραμείνει στην περιοχή κορεσμού καθ' όλη τη διάρκεια αυτής της μετάβασης και το ρεύμα θα είναι σχεδόν σταθερό, στην τιμή  $I_{dsat}$ . Σε μια τέτοια περίπτωση, η ενεργή αντίσταση είναι

$$R_{step} = \frac{\ln 2}{V_{DD}/2} \int_{V_{dsat}/2}^{V_{sp}} \frac{V}{I_{dsat}} dV = \frac{3 \ln 2 V_{DD}}{4 I_{dsat}} = \frac{V_{DD}}{2 I_{dsat}} \quad (4.16)$$

Σ' ένα πραγματικό τρανζίστορ, τα φαινόμενα διαμόρφωσης μήκους καναλιού και DIBL αναγκάζουν το ρεύμα να μειώνεται κατά τι με την  $V_{ds}$  αυξάνοντας ελαφρώς την ενεργή αντίσταση. Περισσότερο σημαντικό είναι η περίπτωση όπου η εισόδος έχει μη-μηδενικό χρόνο ανόδου και μας ενδιαφέρει ο χρόνος που μεσολαβεί από τη στιγμή που η εισόδος ξεπερνά την τιμή  $V_{DD}/2$  έως ότου η έξοδος πέσει κάτω από  $V_{DD}/2$ . Υποθέστε ότι οι κλίσεις εισόδου και εξόδου είναι ίσες και ότι η έξοδος αρχίζει να μειώνεται όταν η εισόδος διέρχεται από την τιμή  $V_{DD}/2$ . Τότε, η έξοδος θα φτάσει στην τιμή  $V_{DD}/2$  όταν η εισόδος φτάνει στην  $V_{DD}$ , όπως υποδεικνύει το Σχήμα 4.19.

Ορίζουμε το ρεύμα του τρανζίστορ ως  $I_L$  στην αρχή της μετάβασης (όταν  $V_{gs} = V_{DD}/2$ ,  $V_{ds} = V_{DD}$ ) και  $I_H$  στο τέλος της μετάβασης (όταν  $V_{gs} = V_{DD}$ ,  $V_{ds} = V_{DD}/2$ ), όπως βλέπετε στο Σχήμα 4.20. Τότε, η λειτουργία του τρανζίστορ κατά τη διάρκεια ενός συμβάντος μεταγωγής μπορεί να προσεγγιστεί ως μια πηγή ρεύματος  $I_{eff}$  που αντιπροσωπεύει το μέσο όρο αυτών των δύο τιμών [Na02]:



ΣΧΗΜΑ 4.20 Προέγγιση της λειτουργίας του τρανζίστορ κατά τη διάρκεια ενός συμβάντος μεταγωγής.

$$I_{eff} = \frac{I_H + I_L}{2} \quad (4.17)$$

Συνεπώς, ο χρόνος για να εκφορτιστεί η έξοδος σε  $V_{DD}/2$  είναι

$$t_{pd} = \frac{CV_{DD}}{2I_{eff}} \quad (4.18)$$

Εξισώνοντας αυτή την έκφραση με  $t_{pd} = RC$  παίρνουμε

$$R = \frac{V_{DD}}{2I_{eff}} = \frac{V_{DD}}{I_H + I_L} \quad (4.19)$$

4.4 Το Μοντέλο Γραμμικής Καθυστέρησης

Το μοντέλο καθυστέρησης RC μας έδειξε ότι η καθυστέρηση είναι γραμμική συνάρτηση του βαθμού οδήγησης εξόδου (fanout) μιας πόλης. Με βάση αυτή την παρατήρηση, οι σχεδιαστές μπορούν να απλοποιήσουν περισσότερο την ανάλυση της καθυστέρησης, χαρακτηρίζοντας μια πόλη με βάση την κλίση και τη διαφορά στον άξονα y αυτής της συνάρτησης. Γενικά, η κανονικοποιημένη καθυστέρηση μιας πόλης μπορεί να εκφραστεί σε μονάδες τ ως

$$d = f + p \quad (4.20)$$

p είναι η εγγενής παρασιτική καθυστέρηση της πόλης όταν δεν είναι συνδεδεμένο φορτίο, f είναι η καθυστέρηση φόρτου, ή φόρτος σταδίου (effort delay, stage effort), που εξαρτάται από την πολυπλοκότητα και το βαθμό οδήγησης εξόδου της πόλης:

$$f = gh \quad (4.21)$$

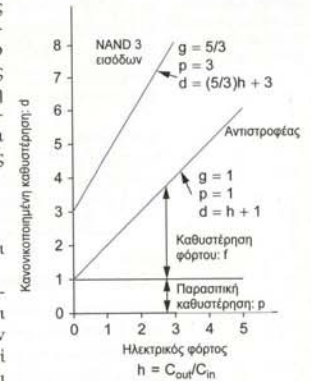
Η πολυπλοκότητα αναπαριστάται από το λογικό φόρτο, g [Sutherland99]. Ένας αντιστροφέας ορίζεται ότι έχει λογικό φόρτο 1. Πολυπλοκότερες πόδες έχουν μεγαλύτερο λογικό φόρτο, πράγμα το οποίο υποδηλώνει ότι απαιτούν περισσότερο χρόνο για να οδηγήσουν ένα κύκλωμα με δεδομένο fanout. Για παράδειγμα, ο λογικός φόρτος της πόλης NAND του προηγούμενου παραδείγματος είναι 5/3. Μια πόλη που οδηγεί h πανομοιότυπα αντίγραφα του εαυτού της λέγεται ότι έχει βαθμό οδήγησης εξόδου (fanout), ή ηλεκτρικό φόρτο (electrical effort), h. Εάν το φορτίο δεν είναι πανομοιότυπα αντίγραφα της πόλης, ο ηλεκτρικός φόρτος μπορεί να υπολογιστεί ως

$$b = \frac{C_{out}}{C_{in}} \quad (4.22)$$

όπου  $C_{out}$  είναι η χωρητικότητα του εξωτερικού φορτίου που οδηγείται και  $C_{in}$  είναι η χωρητικότητα εισόδου της πόλης<sup>4</sup>.

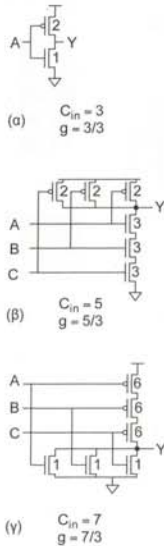
Το Σχήμα 4.21 απεικονίζει τη γραφική παράσταση της κανονικοποιημένης καθυστέρησης ως συνάρτηση του ηλεκτρικού φόρτου για έναν ιδανικό αντιστροφέα και μια ιδανική πόλη NAND 3 εισόδων. Τα σημεία τομής με τον άξονα y υποδεικνύουν την παρασιτική καθυστέρηση - δηλαδή, την καθυστέρηση όταν η πόλη δεν οδηγεί κανένα φορτίο. Η κλίση των γραμμών είναι ο λογικός φόρτος. Ο αντιστροφέας έχει εξ ορισμού κλίση 1. Η NAND έχει κλίση 5/3.

Στο υπόλοιπο αυτής της ενότητας θα δούμε πώς υπολογίζεται ο λογικός φόρτος και η παρασιτική καθυστέρηση και πώς χρησιμοποιείται το μοντέλο γραμμικής καθυστέρησης.



<sup>4</sup>Ορισμένοι σχεδιαστές θεωρούν ότι μια πόλη έχει βαθμό οδήγησης εξόδου h όταν οδηγεί h άλλες πόδες, ακόμα κι αν αυτές οι άλλες πόδες έχουν διαφορετικές χωρητικότητες. Αυτός ο ορισμός δε θα ήταν χρήσιμος για τον υπολογισμό της καθυστέρησης και είναι προτιμότερο να αποφεύγεται κατά τη σχεδίαση συστημάτων VLSI. Ο όρος ηλεκτρικός φόρτος αποφεύγει την πιθανή σύγχυση, ενώ ταυτόχρονα υπογραμμίζει την αντιστοιχία με το λογικό φόρτο.





ΣΧΗΜΑ 4.22 Λογικές πύλες με μεγάλη επιλεγμένα για μοναδιαία αντίσταση

#### 4.4.1 Λογικός Φόρτος

Ο λογικός φόρτος μιας πύλης ορίζεται ως ο λόγος της χωρητικότητας εισόδου της πύλης προς τη χωρητικότητα εισόδου ενός αντιστροφέα ο οποίος μπορεί να δώσει το ίδιο ρεύμα εξόδου. Ισοδύναμα, ο λογικός φόρτος υποδεικνύει πόσο χειρότερη, συγκριτικά με τον αντιστροφέα, είναι η πύλη στο να παράγει ρεύμα εξόδου, με δεδομένο ότι κάθε είσοδος της πύλης μπορεί μόνο να παρουσιάζει τόση χωρητικότητα εισόδου όσο ο αντιστροφέας.

Ο λογικός φόρτος μπορεί να μετρηθεί με προσομοίωση, με χρήση διαγραμμάτων καθυστέρησης συναρτήσεως του βαθμού οδήγησης εξόδου: είναι ο λόγος της κλίσης της καθυστέρησης της πύλης προς την κλίση της καθυστέρησης ενός αντιστροφέα (βλ. Ενότητα 8.5.3). Εναλλακτικά, μπορεί να εκτιμηθεί σχεδιάζοντας πύλες. Το Σχήμα 4.22 παρουσιάζει τις πύλες αντιστροφέα, NAND και NOR με τα πλάτη των τρανζίστορ επιλεγμένα ώστε να επιτυγχάνεται μοναδιαία αντίσταση, υποθέτοντας ότι τα pMOS τρανζίστορ έχουν την διπλάσια αντίσταση από τα nMOS<sup>5</sup>. Ο αντιστροφέας παρουσιάζει 3 μονάδες χωρητικότητας εισόδου. Η NAND παρουσιάζει πέντε μονάδες χωρητικότητας σε κάθε είσοδο, οπότε ο λογικός φόρτος είναι 5/3. Παρόμοια, η NOR παρουσιάζει επτά μονάδες χωρητικότητας, οπότε ο λογικός φόρτος είναι 7/3. Αυτό συνάδει με την εκτίμησή μας ότι οι πύλες NAND είναι καλύτερες από τις πύλες NOR, επειδή οι πύλες NOR έχουν αργά pMOS τρανζίστορ εν σειρά.

Ο Πίνακας 4.2 παρουσιάζει το λογικό φόρτο κοινών πυλών. Ο φόρτος τείνει να αυξάνεται με τον αριθμό των εισόδων. Οι πύλες NAND είναι καλύτερες από τις NOR επειδή τα εν σειρά τρανζίστορ είναι nMOS και όχι pMOS. Οι πύλες XOR έχουν υψηλότερο κόστος και διαφορετικούς λογικούς φόρτους για διαφορετικές εισόδους. Μια ενδιαφέρουσα περίπτωση είναι ότι οι πολυπλέκτες που κατασκευάζονται από συστοιχίες στοιχείων τριών καταστάσεων, όπως είδαμε στο Σχήμα 1.29(β), έχουν λογικό φόρτο 2 ανεξάρτητα από τον αριθμό των εισόδων. Αυτό, εκ πρώτης όψεως δείχνει να υποδηλώνει ότι πολύ μεγάλοι πολυπλέκτες είναι εξίσου γρήγοροι με μικρούς. Ωστόσο, η παρασιτική καθυστέρηση αυξάνεται με το μέγεθος του πολυπλέκτη: συνεπώς, είναι γενικά ταχύτερο να κατασκευάζονται μεγάλοι πολυπλέκτες από δένδρα πολυπλεκτών 4 εισόδων [Sutherland99].

ΠΙΝΑΚΑΣ 4.2 Λογικός φόρτος κοινών πυλών

Τύπος Πύλης	Αριθμός Εισόδων				
	1	2	3	4	$n$
αντιστροφέας	1				
NAND		4/3	5/3	6/3	$(n+2)/3$
NOR		5/3	7/3	9/3	$(2n+1)/3$
στοιχεία τριών καταστάσεων, πολυπλέκτες	2	2	2	2	2
XOR, XNOR		4, 4	6, 12, 6	8, 16, 16, 8	

#### 4.4.2 Παρασιτική Καθυστέρηση

Η παρασιτική καθυστέρηση μιας πύλης είναι η καθυστέρηση που επιδεικνύει η πύλη όταν οδηγεί μηδενικό φορτίο. Μπορεί να υπολογιστεί με μοντέλα καθυστέρησης RC. Μια προσεγγιστική μέθοδος, καλή για υπολογισμούς με το χέρι, είναι να συνυπολογίσουμε μόνο την χωρητικότητα διάχυσης στον κόμβο εξόδου. Πάρτε σαν παράδειγμα τις πύλες του Σχήματος 4.22, υποθέτοντας ότι κάθε τρανζίστορ στον κόμβο εξόδου έχει την δική του επαφή διάχυσης στην υποδοχή. Τα πλάτη των τρανζίστορ επιλέχθηκαν ώστε να δίνουν αντίσταση ίση με  $R$  σε κάθε πύλη. Ο αντιστροφέας έχει 3 μονάδες χωρητικότητας διάχυσης στην έξοδο, οπότε η παρασιτική καθυστέρηση είναι  $3RC = \tau$ . Με άλλα λόγια, η κανονικοποιημένη παρασιτική καθυστέρηση είναι 1.

<sup>5</sup>Αυτή η υπόθεση ισχύει σε όλη την έκταση του βιβλίου. Οι Ασκήσεις 4.19–4.20 διερευνούν την επίδραση διαφορετικών σχετικών αντιστάσεων (βλ. επίσης [Sutherland99]). Επειδή τα συνολικά συμπεράσματα δεν αλλάζουν πολύ, το απλό μοντέλο είναι επαρκές για τις περισσότερες εκ του προχείρου εκτιμήσεις. Όταν απαιτούνται ακριβέστερα αποτελέσματα, θα πρέπει να χρησιμοποιείται ένας προσομοιωτής ή αναλυτής χρονισμού.

Γενικά, η κανονικοποιημένη παρασιτική καθυστέρηση αποκαλείται  $p_{in}$ , και είναι ο λόγος της χωρητικότητας διάχυσης προς τη χωρητικότητα πύλης σε μια συγκεκριμένη τεχνολογία κατασκευής. Είναι συνήθως κοντά στο 1 και για λόγους απλότητας θα θεωρείται ότι είναι 1 σε πολλά παραδείγματα. Οι 3 εισόδων πύλες NAND και NOR έχουν 9 μονάδες χωρητικότητας διάχυσης στην έξοδο, οπότε η παρασιτική καθυστέρηση είναι τριπλάσια ( $3p_{in}$ , ή απλώς 3). Ο Πίνακας 4.3 παρουσιάζει εκτιμήσεις της παρασιτικής καθυστέρησης κοινών πυλών. Αυξάνοντας τα μεγέθη των τρανζίστορ μειώνεται η αντίσταση, αλλά αυξάνεται αντίστοιχα η χωρητικότητα, οπότε η παρασιτική καθυστέρηση είναι, σε πρώτη τάξη, ανεξάρτητη από το μέγεθος πύλης. Ωστόσο, τα πλατύτερα τρανζίστορ μπορούν να διυλίνονται και συχνά έχουν μικρότερη από γραμμική αύξηση στην παρασιτική χωρητικότητα των εσωτερικών αγωγών: αυτό σημαίνει ότι στην πράξη, μεγαλύτερες πύλες τείνουν να εμφανίζουν χαμηλότερη παρασιτική καθυστέρηση.

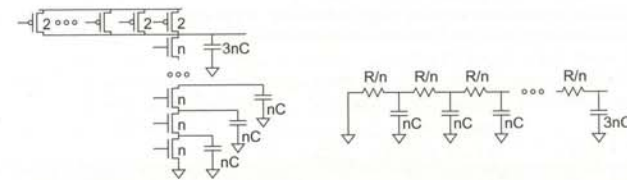
ΠΙΝΑΚΑΣ 4.3 Παρασιτική καθυστέρηση κοινών πυλών

Τύπος Πύλης	Αριθμός Εισόδων				
	1	2	3	4	$n$
αντιστροφέας	1				
NAND		2	3	4	$n$
NOR		2	3	4	$n$
στοιχεία τριών καταστάσεων, πολυπλέκτες	2	4	6	8	$2n$

Αυτή η μέθοδος εκτίμησης της παρασιτικής καθυστέρησης είναι, προφανώς, προσεγγιστική. Για ακριβέστερες εκτιμήσεις χρησιμοποιείται το μοντέλο καθυστέρησης Elmore, το οποίο συνυπολογίζει τις εσωτερικές παρασιτικές καθυστέρησης (βλ. Παράδειγμα 4.7). Εναλλακτικά, οι καθυστερήσεις εξαγονται με προσομοίωση. Η παρασιτική καθυστέρηση εξαρτάται επίσης από το λόγο της χωρητικότητας διάχυσης προς τη χωρητικότητα πύλης. Για παράδειγμα, σε μια τεχνολογία κατασκευής πυριτίου-σε-μοναή (SOI) στην οποία η χωρητικότητα διάχυσης είναι πολύ μικρότερη, οι παρασιτικές καθυστερήσεις θα είναι χαμηλότερες. Αν και η γνώση της παρασιτικής καθυστέρησης είναι σημαντική για την ακριβή εκτίμηση της καθυστέρησης πύλης, στην Ενότητα 4.3 θα δούμε ότι τα βέλτιστα μεγέθη τρανζίστορ για ένα συγκεκριμένο κύκλωμα δεν εξαρτώνται πολύ από την παρασιτική χωρητικότητα. Συνεπώς, οι προσεγγιστικές εκτιμήσεις είναι συνήθως επαρκείς για να φτάσει κανείς σε μια καλή σχεδίαση.

Ωστόσο, είναι σημαντικό να κατανοήσετε ότι η παρασιτική καθυστέρηση αυξάνεται περισσότερο από γραμμικά με τον αριθμό των εισόδων σ' ένα πραγματικό κύκλωμα NAND ή NOR. Για παράδειγμα, το Σχήμα 4.23 παρουσιάζει ένα μοντέλο μιας πύλης NAND  $n$  εισόδων στην οποία οι επάνω εισοδοί βρίσκονται όλες σε κατάσταση 1 και η κάτω είσοδος ανέρχεται. Η πύλη πρέπει να εκφορτίσει τις χωρητικότητες διάχυσης όλων των εσωτερικών κόμβων, καθώς και της εξόδου. Η καθυστέρηση Elmore είναι

$$t_{pd} = R(3nC) + \sum_{i=1}^{n-1} \left(\frac{iR}{n}\right)(nC) = \left(\frac{n^2}{2} + \frac{5}{2}n\right)RC \quad (4.23)$$



ΣΧΗΜΑ 4.23 Παρασιτική καθυστέρηση πύλης για μια NAND  $n$  εισόδων.

Αυτή η καθυστέρηση αυξάνεται ανάλογα με το τετράγωνο του αριθμού των  $n$  εν σειρά τρανζίστορ, πράγμα το οποίο υποδηλώνει ότι από ένα σημείο και μετά είναι ταχύτερο να διαχωρίζεται μια μεγάλη πύλη σε μια διάταξη δύο μικρότερων πύλων. Όπως θα δούμε στην Ενότητα 4.4.6.5, ο όρος  $n^2$  είναι συνήθως μεγαλύτερος σε πραγματικά κυκλώματα απ' ό,τι  $n$  αυτό το απλό μοντέλο λόγω της χωρητικότητας πύλης-πηγής. Στην πράξη, σπανίως είναι συντετα να κατασκευάζεται μια πύλη με περισσότερα από τέσσερα (ή ενδεχομένως πέντε) εν σειρά τρανζίστορ. Όταν κατασκευάζονται πύλες με μεγάλο βαθμό οδηγησης εισόδου, τα δένδρα πύλων NAND είναι καλύτερα από πύλες NOR επειδή οι πύλες NAND έχουν χαμηλότερο λογικό φόρτο.

#### 4.4.3 Καθυστερήση σε μια Λογική Πύλη

Στη συνέχεια θα εξετάσουμε δύο παραδείγματα εφαρμογής του μοντέλου γραμμικής καθυστέρησης σε λογικές πύλες.

##### Παράδειγμα 4.10

Χρησιμοποιήστε το μοντέλο γραμμικής καθυστέρησης για να υπολογίσετε την καθυστέρηση ενός αντιστροφέα FO4 από το Παράδειγμα 4.6. Υποθέστε ότι ο αντιστροφέας κατασκευάζεται με τεχνολογία 65 nm, με  $\tau = 3$  ps.

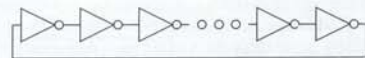
**ΛΥΣΗ:** Ο λογικός φόρτος του αντιστροφέα είναι, εξ ορισμού,  $g = 1$ . Ο ηλεκτρικός φόρτος είναι 4 επειδή το φορτίο είναι τέσσερις πύλες ίσου μεγέθους. Η παρασιτική καθυστέρηση ενός αντιστροφέα είναι  $p_{inv} \approx 1$ . Η συνολική καθυστέρηση είναι  $d = gh + p = 1 \times 4 + 1 = 5$  σε κανονικοποιημένους όρους, ή  $t_{pd} = 15$  ps σε απόλυτους όρους.

Συχνά, οι καθυστερήσεις των μονοπατιών εκφράζονται βάσει καθυστερήσεων αντιστροφέα FO4. Αν και δεν είναι όλοι οι σχεδιαστές εξοικειωμένοι με τη βασισμένη στο  $\tau$  σημειογραφία, οι περισσότεροι πεπειραμένοι σχεδιαστές γνωρίζουν την καθυστέρηση αντιστροφέα FO4 για την τεχνολογία στην οποία δουλεύουν. Το  $\tau$  μπορεί να υπολογιστεί ως 0.2 καθυστερήσεις αντιστροφέα FO4. Ακόμα κι αν ο λόγος της χωρητικότητας διάχυσης προς τη χωρητικότητα πύλης αλλάξει, με αποτέλεσμα  $p_{inv} = 0.8$  ή 1.2 αντί για 1, η καθυστέρηση αντιστροφέα FO4 μεταβάλλεται μόνο από 4.8 σε 5.2. Συνεπώς, η καθυστέρηση ενός λογικού μπλοκ που κυριαρχείται από πύλες, εκφρασμένη με όρους καθυστέρησης αντιστροφέων FO4 παραμένει σχετικά σταθερή μεταξύ των τεχνολογιών κατασκευής ακόμα κι αν αλλάξει η χωρητικότητα διάχυσης.

Ένας πρακτικός κανόνας υπαγορεύει ότι η καθυστέρηση FO4 για μια τεχνολογία κατασκευής (σε πικοδευτερόλεπτα) είναι από 1/3 έως 1/2 του σχεδιαστικού μήκους καναλιού (σε νανόμετρα). Για παράδειγμα, μια τεχνολογία στα 65 nm με μήκος καναλιού 50 nm μπορεί να έχει καθυστέρηση FO4 16–25 ps. Η καθυστέρηση επιδεικνύει εξαιρετική ευαισθησία στην τεχνολογία κατασκευής, καθώς και στις διακυμάνσεις τάσης και θερμοκρασίας, όπως θα δούμε στην Ενότητα 7.2. Συνήθως, η καθυστέρηση FO4 δίνεται με βάση την υπόθεση ότι χρησιμοποιούνται οι τυπικές παράμετροι της τεχνολογίας κατασκευής και για το χειρίστο περιβάλλον λειτουργίας (χαμηλή τάση τροφοδοσίας και υψηλή θερμοκρασία).

##### Παράδειγμα 4.11

Ένας ταλαντωτής δακτυλίου κατασκευάζεται με περτιτό αριθμό αντιστροφέων, όπως βλέπεται στο Σχήμα 4.24. Υπολογίστε τη συχνότητα ενός ταλαντωτή δακτυλίου  $N$  σταδίων.



ΣΧΗΜΑ 4.24 Ταλαντωτής δακτυλίου.

**ΛΥΣΗ:** Ο λογικός φόρτος του αντιστροφέα είναι, εξ ορισμού,  $g = 1$ . Ο ηλεκτρικός φόρτος κάθε αντιστροφέα είναι επίσης 1, επειδή οδηγεί μόνο ένα, πανομοιότυπο φορτίο. Η παρασιτική καθυστέρηση είναι επίσης 1. Η καθυστέρηση κάθε σταδίου είναι  $d = gh + p = 1 \times 1 + 1 = 2$ . Ένας ταλαντωτής δακτυλίου

$N$  σταδίων έχει περίοδο  $2N$  καθυστερήσεις σταδίου, επειδή μια τιμή πρέπει να μεταδοθεί δύο φορές κατά μήκος του δακτυλίου για να ανακτήσει την αρχική της πολικότητα. Συνεπώς, η περίοδος είναι  $T = 2 \times 2N$ . Η συχνότητα είναι το αντίστροφο της περιόδου,  $1/4N$ .

Ένας ταλαντωτής δακτυλίου 31 σταδίων σε μια τεχνολογία κατασκευής 65 nm έχει συχνότητα  $1/(4 \times 31 \times 3 \text{ ps}) = 2.7$  GHz.

Σημειώστε ότι οι ταλαντωτές δακτυλίου χρησιμοποιούνται συχνά ως εργαλεία ελέγχου σε μια τεχνολογία κατασκευής, για να διαπιστωθεί εάν ένα συγκεκριμένο chip είναι ταχύτερο ή αργότερο από την ονομαστική αναμενόμενη ταχύτητά του. Ο ένας από τους αντιστροφείς θα πρέπει να αντικατασταθεί από μια πύλη NAND για την απενεργοποίηση του δακτυλίου όταν δεν χρησιμοποιείται. Η έξοδος μπορεί να σταλεί σ' έναν εξωτερικό ακροδέκτη, πιθανώς μέσω ενός πολυπλέκτη. Η συχνότητα ταλάντωσης θα πρέπει να είναι επαρκώς χαμηλή (π.χ., 100 MHz) ώστε το μονοπάτι προς τον έξω κόσμο να μην εξασθενεί υπερβολικά το σήμα.

#### 4.4.4 Οδήγηση

Μια καλή βιβλιοθήκη τοποποιημένων κυττάρων περιέχει πολλαπλά μεγέθη για κάθε ευρέως χρησιμοποιούμενη πύλη. Κατά κανόνα, τα μεγέθη χαρακτηρίζονται βάσει της οδήγησής τους. Για παράδειγμα, ένας μοναδιαίος αντιστροφέας μπορεί να αποκαλείται `inv_1x`. Ένας αντιστροφέας με οκταπλάσιο από το μοναδιαίο μέγεθος αποκαλείται `inv_8x`. Μια NAND 2 εισόδων η οποία αποδίδει το ίδιο ρεύμα με τον αντιστροφέα αποκαλείται `nand2_1x`.

Συχνά, είναι περισσότερο διασητό το να χαρακτηρίζονται οι πύλες βάσει της οδήγησής τους,  $x$ , και όχι βάσει της χωρητικότητας εισόδου τους. Εάν επαναπροσδιορίσουμε έναν μοναδιαίο αντιστροφέα ώστε να έχει μια μονάδα χωρητικότητας εισόδου, τότε η οδήγηση μιας τυχαίας πύλης είναι

$$x = \frac{C_{in}}{g} \quad (4.24)$$

Η καθυστέρηση μπορεί να εκφραστεί βάσει της οδήγησής, ως

$$d = \frac{C_{out}}{x} + p \quad (4.25)$$

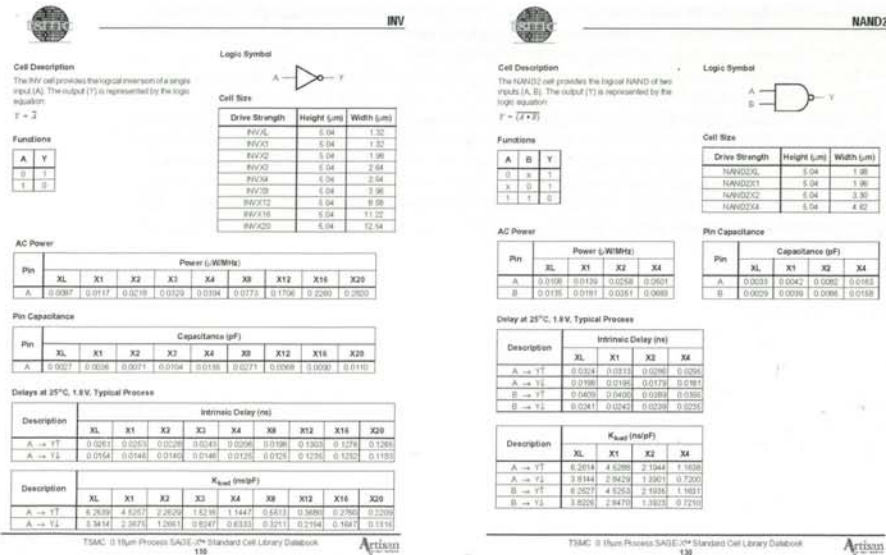
#### 4.4.5 Εύρεση του Λογικού Φόρτου από τα Φύλλα Δεδομένων

Όταν χρησιμοποιείτε μια βιβλιοθήκη τοποποιημένων κυττάρων, συχνά μπορείτε να εξακριβώσετε το λογικό φόρτο των πύλων απευθείας από τα φύλλα δεδομένων. Για παράδειγμα, το Σχήμα 4.25 παρουσιάζει τα φύλλα δεδομένων για τις πύλες INV και NAND2 από τη βιβλιοθήκη Artisan Components για την τεχνολογία TSMC των 180 nm. Οι πύλες της βιβλιοθήκης διατίθενται σε διάφορες δυνάμεις οδήγησής. Ο INVX1 είναι ο μοναδιαίος αντιστροφέας· ο INVX2 έχει διπλάσια οδήγηση. Ο INVXL έχει ίδια εμφάνιση με το μοναδιαίο αντιστροφέα, αλλά χρησιμοποιεί μικρότερα τρανζίστορ για τη μείωση της κατανάλωσης ισχύος στα μη-κρίσιμα μονοπάτια. Οι αντιστροφείς X12–X20 κατασκευάζονται από τρία στάδια μικρότερων αντιστροφέων, ώστε να παρέχουν αυξημένη δύναμη οδήγησής και χαμηλή χωρητικότητα εισόδου, με αντίτιμο τη μεγαλύτερη παρασιτική καθυστέρηση.

Από το φύλλο δεδομένων, βλέπουμε ότι ο μοναδιαίος αντιστροφέας έχει χωρητικότητα εισόδου 3.6 fF. Οι καθυστερήσεις ανόδου και καθόδου δίνονται σε ξεχωριστές προδιαγραφές. Θα αναπτύξουμε ένα συμβολισμό για τις καθυστερήσεις στην Ενότητα 9.2.1.5, αλλά για την ώρα θα χρησιμοποιήσουμε τη μέση καθυστέρηση. Η μέση *υδρογής* ή παρασιτική καθυστέρηση είναι  $(25.3 + 14.6)/2 = 20.0$  ps. Η κλίση της καμπύλης που αναπαριστά την καθυστέρηση συναρτήσει της χωρητικότητας φορτίου είναι ο μέσος όρος των τιμών  $K_{load}$  για την άνοδο και την κάθοδο. Συνεπώς, ένας αντιστροφέας με βαθμό οδήγησής εξόδου  $h$  (fanout of  $h$ ) θα έχει καθυστέρηση

$$t_{pd} = 20.0 \text{ ps} + \left( 3.6 \frac{\text{fF}}{\text{gate}} \right) (h \text{ πύλες}) \left( \frac{4.53 + 2.37 \text{ ns}}{2} \frac{\text{ns}}{\text{pF}} \right) = (20.0 + 12.4h) \text{ ps} \quad (4.26)$$





ΣΧΗΜΑ 4.25 Φύλλα δεδομένων για τη βιβλιοθήκη τυποποιημένων κυτάρων της Artisan Components (αναπαράγεται κατόπιν αδείας).

Η κλίση της καμπύλης που αναπαριστά την καθυστέρηση συναρτήσεως της χωρητικότητας φορτίου υποδεικνύει  $\tau = 12.4$  ps και η διαφορά στον άξονα  $y$  υποδεικνύει  $p_{inv} = 20.0$  ps, ή  $(20.0/12.4) = 1.61$  σε κανονικοποιημένους όρους. Η τιμή αυτή είναι μεγαλύτερη από την καθυστέρηση 1 που υπολογίσαμε παραπάνω, πιθανώς επειδή περιλαμβάνει τη χωρητικότητα των εσωτερικών αγωγών.

Με παρόμοιο υπολογισμό, διαπιστώνουμε ότι η πόλη NAND2 εισόδων X1 έχει μέση καθυστέρηση από την εσωτερική εισοδο (A)

$$\tau_{pd} = \left( \frac{31.3 + 19.5}{2} \right) \text{ps} + \left( 4.2 \frac{\text{fF}}{\text{gate}} \right) (b \text{ πόλες}) \left( \frac{4.53 + 2.84 \text{ ns}}{2} \frac{\text{ns}}{\text{pF}} \right) = (25.4 + 15.5b) \text{ ps} \quad (4.27)$$

Συνεπώς, η παρασιτική καθυστέρηση είναι  $(25.4/12.4) = 2.05$  και ο λογικός φόρτος είναι  $(15.5/12.4) = 1.25$ . Ο λογικός φόρτος είναι ελαφρώς καλύτερος από τη θεωρητικά προβλεπόμενη τιμή 4/3, για λόγους που θα εξετάσουμε στην Ενότητα 4.4.6.3. Η παρασιτική καθυστέρηση από την εξωτερική εισοδο (B) είναι ελαφρώς υψηλότερη, όπως αναμενόταν. Η παρασιτική καθυστέρηση και ο λογικός φόρτος των πύλων X2 και X4 έχουν παρόμοιες τιμές, πράγμα το οποίο επιβεβαιώνει την υπόθεση του μοντέλου μας ότι ο λογικός φόρτος θα πρέπει να είναι ανεξάρτητος από το μέγεθος πύλης για πύλες με λογικά μεγέθη.

#### 4.4.6 Περιορισμοί του Μοντέλου Γραμμικής Καθυστέρησης

Το μοντέλο γραμμικής καθυστέρησης δουλεύει αξιοσημείωτα καλά ακόμα και σε προηγμένες τεχνολογίες κατασκευής για παράδειγμα, το Σχήμα 8.30 υποδεικνύει συμφωνία σε επίπεδο κάτω του μικροδευτερολέπτου σε μια τεχνολογία κατασκευής 65 nm, υποθέτοντας ότι οι κλίσεις εισόδου και εξόδου είναι τριαρισμαίες. Ωστόσο, έχει επίσης ορισμένους περιορισμούς οι οποίοι θα πρέπει να λαμβάνονται υπόψη όταν απαιτείται περισσότερη ακρίβεια.

**4.4.6.1 Κλίση Εισόδου και Εξόδου** Η μεγαλύτερη πηγή σφαλμάτων στο μοντέλο γραμμικής καθυστέρησης είναι η επίδραση της κλίσης εισόδου. Το Σχήμα 4.26(α) παρουσιάζει έναν αντιστοίχια FO4, οδηγούμενο από ράμπες με διαφορετικές κλίσεις. Όπως θυμάστε, το ρεύμα αγωγής αυξάνεται με την τάση πύλης για ένα τρανζίστορ nMOS. Λέμε ότι το τρανζίστορ δεν άγει (είναι OFF) για  $V_{gs} < V_t$ , ότι άγει πλήρως όταν  $V_{gs} = V_{DD}$ , και ότι άγει μερικώς για ενδιάμεσες τάσεις πύλης. Καθώς αυξάνεται ο χρόνος ανόδου της εισόδου, η καθυστέρηση αυξάνεται επίσης, επειδή το ενεργό τρανζίστορ δεν άγει πλήρως ακαριαία. Το Σχήμα 4.26(β) απεικονίζει τη γραφική παράσταση της μέσης καθυστέρησης διάδοσης του αντιστοίχια συναρτήσεως του χρόνου ανόδου της εισόδου. Παρατηρήστε ότι η γραφική παράσταση ταιριάζει αρκετά καλά με ευθεία γραμμή [Hedenstierna87].

Ο συνοπλογισμός των κλίσεων είναι σημαντικός για επακριβή ανάλυση χρονισμού, αλλά γενικά είναι υπερβολικά πολύπλοκος για να χρησιμοποιεί σε υπολογισμούς με το χέρι. Ευτυχώς, όπως θα δούμε στην Ενότητα 4.3, τα κυκλώματα είναι ταχύτερα όταν κάθε πύλη έχει την ίδια καθυστέρηση φόρτου και όταν αυτή η καθυστέρηση είναι περίπου  $4\tau$ . Επειδή οι κλίσεις σχετίζονται με το ρυθμό αμής, τα γρήγορα κυκλώματα τείνουν να έχουν σχετικά σταθερές κλίσεις. Εάν μια βιβλιοθήκη κυκλωμάτων χαρακτηρίζεται με αυτές τις κλίσεις, θα χρησιμοποιείται κατά κανόνα στο περιβάλλον στο οποίο μοντελοποιεί την καθυστέρηση με μεγαλύτερη ακρίβεια.

**4.4.6.2 Χρόνοι Άφιξης Εισόδων** Μια άλλη πηγή σφαλμάτων του μοντέλου γραμμικής καθυστέρησης είναι η υπόθεση ότι μια εισοδος μιας πύλης πολλαπλών εισόδων αλλάζει κατάσταση, ενώ οι άλλες είναι απολύτως σταθερές. Όταν δύο εισοδοί σ' έναν εν σειρά σωρό μεταβαίνουν ταυτόχρονα σε λογικό 1, η καθυστέρηση θα είναι ελαφρώς μεγαλύτερη από την προβλεπόμενη επειδή αμφότερα τα τρανζίστορ άγον μόνο μερικώς κατά την αρχική φάση της μετάβασης. Όταν δύο εισοδοί σ' έναν εν παράλληλο σωρό μεταβαίνουν ταυτόχρονα σε λογικό 1, η καθυστέρηση θα είναι μικρότερη από την προβλεπόμενη επειδή αμφότερα τα τρανζίστορ παρέχουν ρεύμα στην έξοδο. Οι καθυστερήσεις είναι επίσης ελαφρώς διαφορετικές ανάλογα με το ποια εισοδος φτάνει πρώτη, όπως θα δούμε στην Ενότητα 8.5.3.

**4.4.6.3 Κορεσμός Ταχύτητας** Οι υπολογισμοί του λογικού φόρτου υποθέτουν ότι  $N$  τρανζίστορ εν σειρά πρέπει να έχουν  $N$ -πλάσιο πλάτος για να δώσουν ίσο ρεύμα. Ωστόσο, όπως είδαμε στην Ενότητα 4.3.1, τα εν σειρά τρανζίστορ υφίστανται λιγότερο κορεσμό ταχύτητας και άρα έχουν χαμηλότερη αντίσταση από την υπολογισθείσα [Sakurai91].

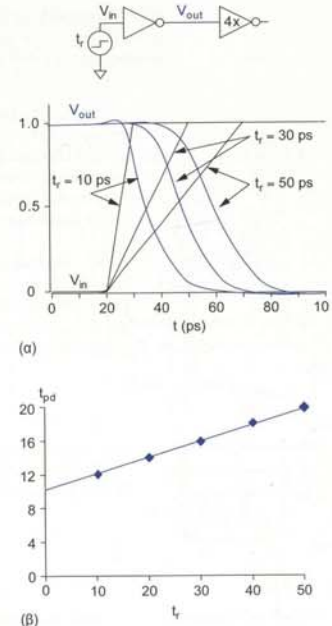
Για να υπολογίσουμε μια καλύτερη εκτίμηση, παρατηρούμε ότι  $N$  τρανζίστορ εν σειρά είναι ισοδύναμα με ένα τρανζίστορ  $N$ -πλάσιου μήκους καναλιού. Αντικαθιστώντας τα  $L$  και  $NL$  στην Εξ. (2.28) βλέπουμε ότι ο λόγος του ρεύματος  $I_{\text{dstat}}$  για δύο εν σειρά τρανζίστορ προς αυτό ενός μεμονωμένου τρανζίστορ είναι

$$\frac{I_{\text{dstat-N-series}}}{I_{\text{dstat}}} = \frac{(V_{DD} - V_t) + V_t}{(V_{DD} - V_t) + NV_t} \quad (4.28)$$

Στην οριακή περίπτωση όπου τα τρανζίστορ δεν υφίστανται καθόλου κορεσμό ταχύτητας ( $V_t \gg V_{DD} - V_t$ ), ο λόγος ρευμάτων μειώνεται σε  $1/N$ , όπως προβλέπεται. Στην οριακή περίπτωση όπου τα τρανζίστορ είναι σε πλήρη κορεσμό ταχύτητας, το ρεύμα είναι ανεξάρτητο από τον αριθμό των εν σειρά τρανζίστορ.

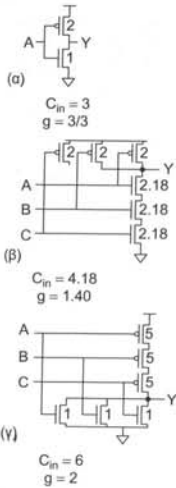
#### Παράδειγμα 4.12

Υπολογίστε το σχετικό ρεύμα κορεσμού για σωρούς 2 και 3 τρανζίστορ nMOS και pMOS σε μια τεχνολογία κατασκευής 65 nm.  $V_{DD} = 1.0$  V και  $V_t = 0.3$  V. Χρησιμοποιήστε  $V_c = E_c L = 1.04$  V για τα στοιχεία nMOS και 2.22 V για τα pMOS.



ΣΧΗΜΑ 4.26 Προσομοίωση SPICE για την επίδραση της κλίσης στην καθυστέρηση αντιστοίχια CMOS.

**ΛΥΣΗ:** Εφαρμόζοντας την Εξ. (4.28), παίρνουμε λόγο 0.63 για τα 2 nMOS τρανζίστορ, 0.46 για τα 3 nMOS τρανζίστορ, 0.57 για τα 2 pMOS τρανζίστορ και 0.40 για τα 3 pMOS τρανζίστορ. Τα pMOS πλησιάζουν περισσότερο στα ιδανικά αποτελέσματα, 0.5 και 0.33, επειδή υφίστανται λιγότερο κορεσμό ταχύτητας.



**ΣΧΗΜΑ 4.27** Εκτιμήσεις του λογικού φόρτου με συνυπολογισμό του κορεσμού ταχύτητας.

Τα μεγέθη των τρανζίστορ κλιμακώνονται ώστε να αποδίδουν το ίδιο ρεύμα μ' έναν αντιστροφή. Τρία εν σειρά nMOS τρανζίστορ πρέπει να έχουν 1/0.46 = 2.18-πλάσιο πλάτος, αντί για τριπλάσιο. Τρία εν σειρά pMOS τρανζίστορ πρέπει να έχουν 2.5-πλάσιο πλάτος. Το Σχήμα 4.27 αποτελεί τροποποίηση του Σχήματος 4.22, ώστε να αντικατοπτρίζει την επίδραση του κορεσμού ταχύτητας. Ο λογικός φόρτος των NAND και NOR είναι χαμηλότερος από τον αρχικά προβλεπόμενο και συμφωνεί με τα αποτελέσματα που δίνουν οι προσομοιώσεις με το SPICE στην Ενότητα 8.5.3.

**4.4.6.4 Εξόρτηση από την Τάση** Συχνά, οι σχεδιαστές χρειάζεται να προβλέπουν πώς μεταβάλλεται η καθυστέρηση εάν αλλάξει η τροφοδοσία ή η τάση καταωφλίου. Γνωρίζοντας ότι η καθυστέρηση είναι ανάλογη του  $CV_{DD}/I$  και χρησιμοποιώντας το μοντέλο του νόμου  $\alpha$ -ιοχός από την Εξ. (2.30) για το  $I_{dsat}$ , μπορούμε να υπολογίσουμε την κλιμάκωση της σταθεράς χρόνου RC και της καθυστέρησης πόλης

$$\tau = k \frac{CV_{DD}}{(V_{DD} - V_t)^\alpha} \quad (4.29)$$

όπου το  $k$  αναπαριστά παραμέτρους σχετιζόμενες με την τεχνολογία κατασκευής.

Εναλλακτικά, χρησιμοποιώντας το μοντέλο ρεύματος κορεσμού από την Εξ. (2.32) για τα τρανζίστορ με κορεσμό ταχύτητας παίρνουμε μια απλούστερη εκτίμηση

$$\tau = k \frac{CV_{DD}}{(V_{DD} - V_t)} = \frac{kC}{1 - \frac{V_t}{V_{DD}}} \quad (4.30)$$

Αυτό το μοντέλο προβλέπει ότι η τάση τροφοδοσίας μπορεί να μειωθεί χωρίς μεταβολή στην καθυστέρηση ενός τρανζίστορ με κορεσμό ταχύτητας, υπό τον όρο ότι μειώνεται αναλογικά η τάση καταωφλίου. Όταν  $V_{DD} < V_t$ , η καθυστέρηση εξαρτάται από το ρεύμα υποκαταωφλίου, σύμφωνα με την Εξ. (2.45)

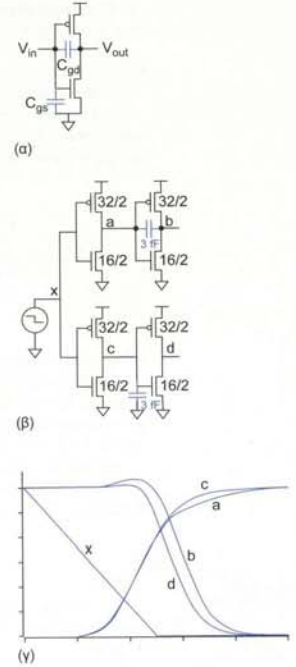
$$\tau = k \frac{CV_{DD}}{I_{off} \cdot 10^9} \quad (4.31)$$

**4.4.6.5 Χωρητικότητα Πύλης-Πηγής** Τα παραδείγματα στην Ενότητα 4.3 υποθέτουν ότι η χωρητικότητα πόλης τερματίζεται σε μια σταθερή γραμμή τροφοδοσίας. Όπως είδαμε στην Ενότητα 2.3.2, ο κάτω ακροδέκτης του πυκνωτή οξειδίου πόλης είναι το κανάλι, το οποίο συνδέεται κυρίως στην πηγή όταν το τρανζίστορ άγει. Αυτό σημαίνει ότι καθώς αλλάζει τιμή η πηγή του τρανζίστορ, απαιτείται φορτίο για να αλλάξει την τάση στον  $C_{gs}$ , επανξάνοντας έτσι την καθυστέρηση για σωρούς εν σειρά τρανζίστορ.

**4.4.6.6 Bootstrapping** Τα τρανζίστορ επεκτείνουν επίσης κάποια χωρητικότητα από την πηγή προς στην υποδοχή. Αυτή η χωρητικότητα συζευγνώνει την είσοδο και την έξοδο σ' ένα φαινόμενο το οποίο αποκαλείται *bootstrapping* και μπορεί να γίνει κατανοητό εξετάζοντας το Σχήμα 4.28(a). Τα μοντέλα που χρησιμοποιούμε έως τώρα συνοπολόγισαν μόνο την  $C_{in}(C_{gs})$ . Σ' αυτό το σχήμα συνοπολόγεται επίσης η  $C_{gd}$  ή χωρητικότητα πόλης-υποδοχής. Στην περίπτωση που η είσοδος ανέρχεται (η έξοδος ξεκινά από υψηλή στάθμη), η ενεργή χωρητικότητα εισόδου είναι  $C_{gs} + C_{gd}$ . Όταν η έξοδος αρχίζει να κατέρχεται, η τάση στα άκρα της  $C_{gd}$  μεταβάλλεται, απαιτώντας από την είσοδο να παρέχει επιπλέον ρεύμα για να φορτιστεί η  $C_{gd}$ . Με άλλα λόγια, η επίδραση της  $C_{gd}$  στη χωρητικότητα πόλης πρακτικά διπλασιάζεται.

Για να κατανοήσετε την επίδραση της χωρητικότητας bootstrapping σ' έναν κύκλωμα, το Σχήμα 4.28(β) παρουσιάζει δύο ζεύγη αντιστροφών. Το επάνω ζεύγος έχει μια επιπλέον χωρητικότητα μεταξύ της εισόδου και της εξόδου του δεύτερου αντιστροφέα. Το κάτω ζεύγος έχει ίδιου μεγέθους επιπλέον χωρητικότητα από την είσοδο προς τη γείωση. Όταν κατέρχεται ο  $x$ , οι κόμβοι  $a$  και  $c$  αρχίζουν να ανέρχονται (Σχήμα 4.28(γ)). Αρχικά, και οι δύο κόμβοι βλέπουν περίπου την ίδια χωρητικότητα, η οποία απαρτίζεται από δύο τρανζίστορ και τα επιπλέον 3 fF. Καθώς ανέρχεται ο κόμβος  $a$ , αρχικά «σπκάνει» τον  $b$  (περίπου σαν να τον τραβούσε από τα κορδόνια των παπουτσιών του - αυτό σημαίνει χαλαρά ο όρος bootstrapping). Τελικά, τα τρανζίστορ nMOS αρχίζουν να άγουν, τραβώντας προς τα κάτω τους κόμβους  $b$  και  $d$ . Καθώς πέφτει ο  $b$ , «τραβά» τον  $a$  μέσω του πυκνωτή, πράγμα το οποίο έχει ως αποτέλεσμα την τελική αργή μετάβαση που παρουσιάζεται στον κόμβο  $a$ . Παρατηρήστε επίσης ότι ο  $b$  κατέρχεται αργότερα απ' ό,τι ο  $d$  λόγω του επιπλέον φορτίου που χρειάζεται για να εκφορτιστεί ο πυκνωτής που είναι υπεύθυνος για το bootstrapping. Συνοψίζοντας, η επιπλέον χωρητικότητα έχει μεγαλύτερη επίδραση όταν συνδέεται μεταξύ εισόδου και εξόδου απ' ό,τι όταν συνδέεται μεταξύ εισόδου και γείωσης.

Επειδή η  $C_{gd}$  είναι σχετικά μικρή, το φαινόμενο bootstrapping δεν είναι παρά μια μικρή ενόχληση στα ψηφιακά κυκλώματα. Ωστόσο, εάν ο αντιστροφέας είναι πολωμένος στη γραμμική περιοχή λειτουργίας του, κοντά στο  $V_{DD}/2$ , η  $C_{gd}$  μπορεί να εμφανιστεί πολλαπλασιασμένη επί το κέρδους του αντιστροφέα. Αυτό είναι γνωστό ως *φαινόμενο Miller* και έχει μεγάλη σημασία στα αναλογικά κυκλώματα.



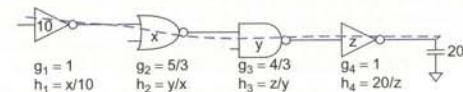
**ΣΧΗΜΑ 4.28** Επίδραση του φαινομένου bootstrapping στην καθυστέρηση του αντιστροφέα και η αντίστοιχη κυματομορφή.

**4.5 Λογικός Φόρτος Μονοπατιού**

Συχνά, οι σχεδιαστές χρειάζεται να επιλέξουν την ταχύτερη τοπολογία κυκλώματος και τα αντίστοιχα μεγέθη τρανζίστορ για την υλοποίηση μιας συγκεκριμένης λογικής συνάρτησης και να εκτιμήσουν την καθυστέρηση της σχεδίασής τους. Όπως προαναφέραμε, η προσομοίωση και η ανάλυση χρονισμού είναι ανεπαρκή εργαλεία γ' αυτό το σκοπό, επειδή μας λένε μόνο πόσο γρήγορα θα λειτουργήσει μια συγκεκριμένη υλοποίηση - όχι εάν η υλοποίηση μπορεί να προσαρμοστεί για να επιτευχθεί καλύτερο αποτέλεσμα, ή πώς μπορεί να γίνει αυτό. Οι άπειροι σχεδιαστές συχνά καταλήγουν παγιδευμένοι σ' έναν απέλπειωτο βρόχο μικροπροσαρμογών και μάταιων προσομοιώσεων. Η μέθοδος του Λογικού Φόρτου [Sutherland99] παρέχει έναν εύκολο και γρήγορο τρόπο για την επιλογή της βέλτιστης τοπολογίας και αριθμού σταδίων λογικής για μια συνάρτηση. Βασίζομενη στο μοντέλο γραμμικής καθυστέρησης, επιτρέπει στο σχεδιαστή να κάνει γρήγορες εκτιμήσεις αναφορικά με το βέλτιστο αριθμό σταδίων για ένα μονοπάτι, την ελάχιστη δυνατή καθυστέρηση για τη δεδομένη τοπολογία και τα μεγέθη πόλης που επιτυγχάνει αυτή η καθυστέρηση. Θα χρησιμοποιήσουμε τη μέθοδο του Λογικού Φόρτου σε όλη την έκταση του βιβλίου για να μελετήσουμε την καθυστέρηση σε πολλούς τύπους κυκλωμάτων.

**4.5.1 Καθυστέρηση σε Δίκτυα Λογικής Πολλών Σταδίων**

Το Σχήμα 4.29 παρουσιάζει το λογικό και ηλεκτρικό φόρτο για κάθε στάδιο σ' ένα μονοπάτι πολλών σταδίων, ως συνάρτηση των μεγεθών κάθε σταδίου. Το μονοπάτι ενδιαφέροντος (και μοναδικό σ' αυτή την περίπτωση) επισημαίνεται με διακεκομμένη μίλε γραμμή. Παρατηρήστε ότι ο λογικός φόρτος είναι ανεξάρτητος από το μέγεθος ενώ ο ηλεκτρικός φόρτος εξαρτάται από τα μεγέθη. Σ' αυτή την ενότητα θα αναπτύξουμε ορισμένες μετρικές για το μονοπάτι ως σύνολο, οι οποίες είναι ανεξάρτητες από την επιλογή μεγεθών.



**ΣΧΗΜΑ 4.29** Δίκτυο πολλών σταδίων.

Ο λογικός φόρτος μονοπατιού,  $G$ , μπορεί να εκφραστεί ως γινόμενο των λογικών φόρτων κάθε σταδίου κατά μήκος του μονοπατιού.

$$G = \prod g_i \quad (4.32)$$

Ο ηλεκτρικός φόρτος μονοπατιού  $H$  ορίζεται ως ο λόγος της χωρητικότητας εξόδου που πρέπει να οδηγήσει το μονοπάτι διά τη χωρητικότητα εισόδου που παρουσιάζει το μονοπάτι. Αυτό είναι πιο βολικό από το να οριστεί ο ηλεκτρικός φόρτος μονοπατιού ως γινόμενο των ηλεκτρικών φόρτων των σταδίων, επειδή οι ηλεκτρικοί φόρτοι δεν είναι γνωστοί έως ότου επιλεγούν τα μεγέθη των πυλών.

$$H = \frac{C_{\text{out(path)}}}{C_{\text{in(path)}}} \quad (4.33)$$

Ο φόρτος μονοπατιού  $F$  είναι το γινόμενο των φόρτων σταδίου για κάθε στάδιο. Όπως θυμάστε, ο φόρτος σταδίου ενός μεμονωμένου σταδίου είναι  $f = gh$ . Μπορούμε, κατ' αναλογία να δηλώσουμε  $F = GH$  για ένα μονοπάτι:

$$F = \prod f_i = \prod g_i b_i \quad (4.34)$$

Σε μονοπάτια τα οποία διακλαδίζονται,  $F \neq GH$ . Αυτό εξηγείται στο Σχήμα 4.30, το οποίο παρουσιάζει ένα κύκλωμα με διακλάδωση σε δύο διευθύνσεις. Θεωρήστε ένα μονοπάτι από την πρωταρχική είσοδο προς μια από τις εξόδους. Ο λογικός φόρτος του μονοπατιού είναι  $G = 1 \times 1 = 1$ . Ο ηλεκτρικός φόρτος μονοπατιού είναι  $H = 90/5 = 18$ . Συνεπώς,  $GH = 18$ . Αλλά  $F = f_1 f_2 = g_1 h_1 g_2 h_2 = 1 \times 6 \times 1 \times 6 = 36$ . Με άλλα λόγια,  $F = 2GH$  σ' αυτό το μονοπάτι, λόγω των δύο κλάδων.

Θα πρέπει να εισάγουμε ένα νέο είδος φόρτου για να συνοπολογήσουμε τη διακλάδωση μεταξύ των σταδίων ενός μονοπατιού. Αυτός ο φόρτος διακλάδωσης,  $b$ , είναι ο λόγος της συνολικής χωρητικότητας που βλέπει ένα στάδιο προς τη χωρητικότητα του μονοπατιού: στο Σχήμα 4.30, είναι  $(15 + 15)/15 = 2$ .

$$b = \frac{C_{\text{onpath}} + C_{\text{offpath}}}{C_{\text{onpath}}} \quad (4.35)$$

Ο φόρτος διακλάδωσης μονοπατιού  $B$  είναι το γινόμενο των φόρτων διακλάδωσης μεταξύ των σταδίων.

$$B = \prod b_i \quad (4.36)$$

Μπορούμε τώρα να ορίσουμε το φόρτο μονοπατιού  $F$  ως το γινόμενο του λογικού φόρτου, του ηλεκτρικού φόρτου και του φόρτου διακλάδωσης του μονοπατιού. Σημειώστε ότι το γινόμενο των ηλεκτρικών φόρτων των σταδίων είναι στην πραγματικότητα  $BH$ , όχι απλώς  $H$ .

$$F = GBH \quad (4.37)$$

Μπορούμε τώρα να υπολογίσουμε τον ηλεκτρικό φόρτο ενός δικτύου πολλαπλών σταδίων. Η καθυστέρηση μονοπατιού  $D$  είναι το άθροισμα των καθυστερήσεων του κάθε σταδίου. Μπορεί επίσης να γραφεί ως το άθροισμα της καθυστέρησης φόρτου μονοπατιού  $D_F$  και της παρασιτικής καθυστέρησης μονοπατιού  $P$ :

$$\begin{aligned} D &= \sum d_i = D_F + P \\ D_F &= \sum f_i \\ P &= \sum p_i \end{aligned} \quad (4.38)$$

Το γινόμενο των φόρτων των σταδίων είναι  $F$ , ανεξάρτητο από τα μεγέθη των πυλών. Η καθυστέρηση φόρτου μονοπατιού είναι το άθροισμα των φόρτων των σταδίων. Το άθροισμα ενός συνόλου αριθμών των οποίων το γινόμενο είναι σταθερό ελαχιστοποιείται επιλέγοντας όλους τους αριθμούς ίσους. Με άλλα λόγια, η καθυστέρηση μονοπατιού ελαχιστοποιείται όταν κάθε στάδιο φέρει το ίδιο φορτίο. Εάν ένα μονοπάτι έχει  $N$  στάδια και το καθένα φέρει το ίδιο φορτίο, ο φόρτος θα πρέπει να είναι

$$\hat{f} = g_i b_i = F^{1/N} \quad (4.39)$$



ΣΧΗΜΑ 4.30 Κύκλωμα με διακλάδωση σε δύο σκέλη.

Συνεπώς, η ελάχιστη δυνατή καθυστέρηση ενός μονοπατιού  $N$  σταδίων με φόρτο μονοπατιού  $F$  και παρασιτική καθυστέρηση μονοπατιού  $P$  είναι

$$D = NF^{1/N} + P \quad (4.40)$$

Αυτό είναι ένα ιδιαίτερα σημαντικό αποτέλεσμα της μεθόδου του Λογικού Φόρτου. Υποδεικνύει ότι η ελάχιστη καθυστέρηση του μονοπατιού μπορεί να εκτιμηθεί γνωρίζοντας μόνο τον αριθμό των σταδίων, τον φόρτο μονοπατιού, και τις παρασιτικές καθυστερήσεις χωρίς να απαιτείται η επιλογή μεγεθών τρανζίστορ. Αυτό είναι ανώτερο της προσομοίωσης, στην οποία η καθυστέρηση εξαρτάται από τα μεγέθη και ποτέ δεν προσφέρει τη βεβαιότητα ότι τα μεγέθη που επιλέχθηκαν είναι όντως αυτά που δίνουν την ελάχιστη καθυστέρηση.

Είναι επίσης απλό να επιλέξουμε μεγέθη πυλών τα οποία να επιτυγχάνουν αυτή την ελάχιστη καθυστέρηση. Συνδυάζοντας τις Εξισώσεις (4.21) και (4.22), παίρνουμε τον τύπο του μετασχηματισμού χωρητικότητας για την εύρεση της καλύτερης χωρητικότητας εισόδου για μια πύλη, δεδομένης της χωρητικότητας εξόδου που αυτή οδηγεί.

$$C_{\text{in}} = \frac{C_{\text{out}} \times g_i}{f} \quad (4.41)$$

Εκινώντας με το φορτίο στο τέλος του μονοπατιού, δουλεύουμε προς τα πίσω, εφαρμόζοντας το μετασχηματισμό χωρητικότητας για να καθορίσουμε το μέγεθος κάθε σταδίου. Ελέγχουμε το αριθμητικό αποτέλεσμα επιβεβαιώνοντας ότι το μέγεθος του αρχικού σταδίου ταιριάζει με τις προδιαγραφές.

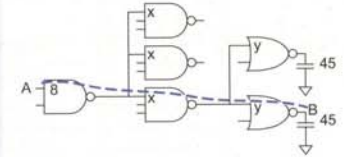
#### Παράδειγμα 4.13

Υπολογίστε την ελάχιστη καθυστέρηση του μονοπατιού από το  $A$  στο  $B$  στο Σχήμα 4.31 και επιλέξτε κατάλληλα μεγέθη τρανζίστορ για να επιτευχθεί αυτή η καθυστέρηση. Η αρχική πύλη NAND2 μπορεί να παρουσιάζει φορτίο ίσο με 8 λ πλάτους τρανζίστορ στην είσοδο και το φορτίο στην έξοδο είναι ισοδύναμο με 45 λ πλάτους τρανζίστορ.

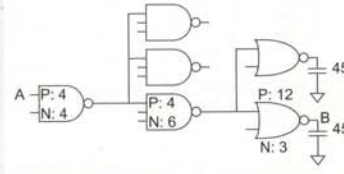
ΛΥΣΗ: Ο λογικός φόρτος μονοπατιού είναι  $G = (4/3) \times (5/3) \times (5/3) = 100/27$ . Ο ηλεκτρικός φόρτος μονοπατιού είναι  $H = 45/8$ . Ο φόρτος διακλάδωσης μονοπατιού είναι  $B = 3 \times 2 = 6$ . Ο φόρτος μονοπατιού είναι  $F = GBH = 125$ . Δεδομένου ότι υπάρχουν τρία στάδια, ο βέλτιστος φόρτος σταδίου είναι  $\hat{f} = \sqrt[3]{125} = 5$ . Η παρασιτική καθυστέρηση μονοπατιού είναι  $P = 2 + 3 + 2 = 7$ . Άρα, η ελάχιστη καθυστέρηση μονοπατιού είναι  $D = 3 \times 5 + 7 = 22$  σε μονάδες  $\tau$ , ή 4.4 καθυστερήσεις αντιστροφής FO4. Τα μεγέθη των πυλών υπολογίζονται με το μετασχηματισμό χωρητικότητας της Εξ. (4.41), δουλεύοντας προς τα πίσω κατά μήκος του μονοπατιού:  $y = 45 \times (5/3)/5 = 15$ .  $x = (15 + 15) \times (5/3)/5 = 10$ . Επαληθεύουμε ότι η αρχική, 2-ευσόδων πύλη NAND έχει το προδιαγεγραμμένο μέγεθος  $(10 + 10 + 10) \times (4/3)/5 = 8$ .

Τα μεγέθη τρανζίστορ στο Σχήμα 4.32 επιλέγονται ώστε να δώσουν το επιθυμητό ποσό χωρητικότητας εισόδου, επιτυγχάνοντας ταυτόχρονα ίσες καθυστερήσεις ανόδου και καθόδου. Για παράδειγμα, μια NOR πύλη 2 εισόδων θα πρέπει να έχει λόγο  $P/N$  ίσο με 4:1. Εάν η συνολική χωρητικότητα εισόδου είναι 15, το πλάτος των pMOS τρανζίστορ πρέπει να είναι 12 και των nMOS πρέπει να είναι 3 για να επιτευχθεί αυτός ο λόγος. Μπορούμε επίσης να ελέγξουμε ότι επιτυγχάνεται αυτή η καθυστέρηση. Η καθυστέρηση της πύλης NAND2 είναι  $d_1 = g_1 h_1 + p_1 = (4/3) \times (10 + 10 + 10)/8 + 2 = 7$ . Η καθυστέρηση της πύλης NAND3 είναι  $d_2 = g_2 h_2 + p_2 = (5/3) \times (15 + 15)/10 + 3 = 8$ . Η καθυστέρηση της πύλης NOR2 είναι  $d_3 = g_3 h_3 + p_3 = (5/3) \times 45/15 + 2 = 7$ . Άρα, η καθυστέρηση μονοπατιού είναι 22, όπως προβλέψαμε.

Θυμηθείτε ότι η καθυστέρηση εκφράζεται σε μονάδες  $\tau$ . Σε μια τεχνολογία κατασκευής 65 nm με  $\tau = 3$  ps, η καθυστέρηση είναι 66 ps. Εναλλακτικά, η καθυστέρηση αντιστροφής FO4 είναι  $5\tau$ , οπότε η καθυστέρηση μονοπατιού είναι 4.4 FO4.



ΣΧΗΜΑ 4.31 Το μονοπάτι για το παράδειγμα.



ΣΧΗΜΑ 4.32 Το μονοπάτι για το παράδειγμα, εμπλουσιμένο με τα μεγέθη των τρανζίστορ.

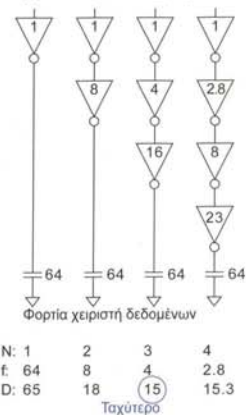
Πολλοί άπειροι σχεδιαστές, ξέροντας ότι τα πλατύτερα τρανζίστορ παρέχουν περισσότερο ρεύμα, προσπαθούν να κάνουν τα κύκλωμα ταχύτερα χρησιμοποιώντας μεγαλύτερες πύλες. Ωστόσο, η αύξηση του μεγέθους οποιασδήποτε από τις πύλες, εκτός της πρώτης μόνο, κάνει το κύκλωμα αργότερο. Για παράδειγμα, αυξάνοντας το μέγεθος της NAND3 ή πύλη αυτή γίνεται ταχύτερη, αλλά η NAND2 γίνεται αργότερη, με τελικό αποτέλεσμα απώλεια ταχύτητας. Η αύξηση του μεγέθους της αρχικής NAND2 όντως επιταχύνει το εν λόγω κύκλωμα. Ωστόσο, παρουσιάζει μεγαλύτερο φορτίο στο μονοπάτι που υπολογίζει την είσοδο  $A$ , κάνοντάς το αργότερο. Άρα, είναι σημαντικό να υπάρχει μια προδιαγραφή όχι μόνο για το φορτίο που πρέπει να οδηγήσει το μονοπάτι, αλλά επίσης για τη μέγιστη χωρητικότητα εισόδου που μπορεί να παρουσιάζει το μονοπάτι.

#### 4.5.2 Επιλογή του Βέλτιστου Αριθμού Σταδίων

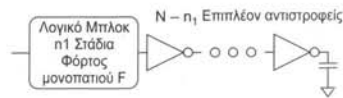
Δοθείσας μιας συγκεκριμένης κυκλωματικής τοπολογίας, ξέρουμε πλέον πώς να υπολογίσουμε την καθυστέρηση και να επιλέξουμε τα μεγέθη των πύλων. Ωστόσο, υπάρχουν πολλές διαφορετικές τοπολογίες που μπορούν να υλοποιούν μια συγκεκριμένη λογική συνάρτηση. Η μέθοδος του Λογικού Φόρτου μας λέει ότι οι πύλες NAND είναι καλύτερες από τις NOR, καθώς και ότι οι πύλες με λιγότερες εισόδους είναι καλύτερες από πύλες με πολλές εισόδους. Σ' αυτή την ενότητα θα χρησιμοποιήσουμε τη μέθοδο του Λογικού Φόρτου για να προβλέψουμε το βέλτιστο αριθμό σταδίων.

Σε ορισμένες περιπτώσεις, οι σχεδιαστές λογικής εκτιμούν την καθυστέρηση μετρώντας τον αριθμό των σταδίων λογικής, υποθέτοντας ότι κάθε στάδιο έχει μια σταθερή «καθυστέρηση πύλης». Αυτό μπορεί να οδηγήσει σε εσφαλμένα αποτελέσματα, επειδή υπονοεί ότι τα ταχύτερα κύκλωμα είναι αυτά που χρησιμοποιούν τα λιγότερα στάδια λογικής. Φυσικά, στην πραγματικότητα, η καθυστέρηση πύλης εξαρτάται από τον ηλεκτρικό φόρτο, πράγμα το οποίο σε ορισμένες περιπτώσεις έχει ως αποτέλεσμα να παίρνουμε μεγαλύτερη καθυστέρηση όταν χρησιμοποιούμε λιγότερα στάδια. Το ακόλουθο παράδειγμα παρουσιάζει ακριβώς αυτό.

Αρχικά κύκλωμα οδηγησης



ΣΧΗΜΑ 4.33 Σύγκριση μεταξύ διαφορετικών αριθμών σταδίων απομονωτών.



ΣΧΗΜΑ 4.34 Λογικό μπλοκ με επιπλέον αντιστροφείς.

#### Παράδειγμα 4.14

Μια μονάδα ελέγχου παράγει ένα σήμα από ένα αντιστροφέα μοναδιαίου μεγέθους. Το σήμα πρέπει να οδηγήσει μοναδιαία φορτία σε κάθε φέτα bit (bitslice) ενός χειριστή δεδομένων των 64 bit. Ο σχεδιαστής μπορεί να προσθέσει αντιστροφείς για την απομόνωση του σήματος, ώστε να οδηγήσει το μεγάλο φορτίο. Υποθέτοντας ότι η πολικότητα του σήματος είναι άνευ σημασίας στη συγκεκριμένη περίπτωση, ποιος είναι ο βέλτιστος αριθμός αντιστροφέων που πρέπει να προστεθούν και πόση καθυστέρηση επιτυγχάνεται;

**ΛΥΣΗ:** Το Σχήμα 4.33 απεικονίζει τις περιπτώσεις πρόσθεσης 0, 1, 2, ή 3 αντιστροφέων. Ο ηλεκτρικός φόρτος μονοπατιού είναι  $H = 64$ . Ο λογικός φόρτος μονοπατιού είναι  $G = 1$ , ανεξάρτητος από τον αριθμό των αντιστροφέων. Συνεπώς, ο φόρτος μονοπατιού είναι  $F = 64$ . Τα μεγέθη των αντιστροφέων επιλέγονται με τρόπο ώστε να επιτυγχάνεται ίσος φόρτος σταδίων. Η συνολική καθυστέρηση είναι  $D = N\sqrt[3]{64 + N}$ .

Η σχεδίαση 3 σταδίων είναι η ταχύτερη δυνατή, πολύ ανώτερη από αυτή του ενός σταδίου. Εάν απαιτούνταν άριστος αριθμός αντιστροφέων, οι σχεδιάσεις 2 ή 4 σταδίων είναι οι πιο ελκυστικές. Η σχεδίαση 4 σταδίων είναι ελαφρώς ταχύτερη, αλλά η 2 σταδίων απαιτεί σημαντικά λιγότερη επιφάνεια και ισχύ.

Σε γενικές γραμμές είναι πάντα δυνατό να προσθέσει κανείς αντιστροφείς στο τέλος ενός μονοπατιού χωρίς να αλλάξει τη λειτουργία του (εκτός ίσως από την πολικότητα). Ας υπολογίσουμε τώρα πόσοι πρέπει να προστεθούν για ελάχιστη καθυστέρηση. Το λογικό μπλοκ που παρουσιάζεται στο Σχήμα 4.34 έχει  $n_1$  στάδια και φόρτο μονοπατιού  $F$ . Θεωρήστε ότι προσθέτουμε  $N - n_1$  αντιστροφείς στο τέλος, ώστε το μονοπάτι

να αποκτήσει  $N$  στάδια. Οι επιπλέον αντιστροφείς δεν αλλάζουν το λογικό φόρτο του μονοπατιού, αλλά προσθέτουν παρασιτική καθυστέρηση. Η καθυστέρηση του νέου μονοπατιού είναι

$$D = NF^{1/N} + \sum_{i=1}^{n_1} p_i + (N - n_1) p_{inv} \quad (4.42)$$

Διαφορίζοντας ως προς  $N$  και εξισώνοντας με το 0, μπορούμε να λύσουμε την εξίσωση για το βέλτιστο αριθμό σταδίων, τον οποίο θα αποκαλούμε  $\hat{N}$ . Το αποτέλεσμα μπορεί να εκφραστεί σε πιο συμπαγή μορφή ορίζοντας

$$\rho = F^{1/\hat{N}}$$

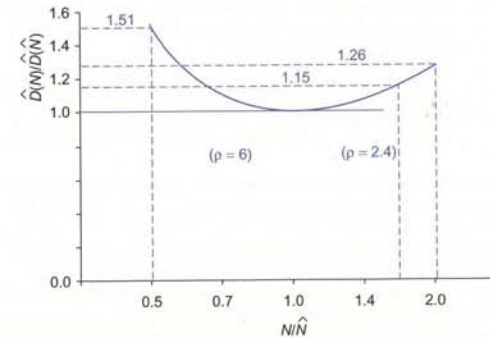
ως το βέλτιστο φόρτο σταδίου.

$$\begin{aligned} \frac{\partial D}{\partial N} &= -F^{1/N} \ln F^{1/N} + F^{1/N} + p_{inv} = 0 \\ &\Rightarrow p_{inv} + \rho(1 - \ln \rho) = 0 \end{aligned} \quad (4.43)$$

Η Εξ. (4.43) δεν έχει λύση κλειστής μορφής. Αγνοώντας τα παρασιτικά φαινόμενα (π.χ., υποθέτοντας  $p_{inv} = 0$ ), καταλήγουμε στο κλασικό αποτέλεσμα  $\rho = 2.71828$  (e) [Mead80]. Στην πράξη, οι παρασιτικές καθυστερήσεις σημαίνουν ότι η προσθήκη κάθε αντιστροφέα κοστίζει κατά τι περισσότερο. Ως εκ τούτου, είναι προτιμότερο να χρησιμοποιούμε λιγότερα στάδια ή, ισοδύναμα, φόρτο σταδίου υψηλότερο από e. Επιλύοντας αριθμητικά, όταν  $p_{inv} = 1$ , βρίσκουμε ότι  $\rho = 3.59$ .

Ένα μονοπάτι επιτυγχάνει την ελάχιστη δυνατή καθυστέρηση χρησιμοποιώντας  $\hat{N} = \log_e F$  στάδια. Είναι σημαντικό να κατανοήσετε όχι μόνο το βέλτιστο φόρτο σταδίου και τον αριθμό των σταδίων, αλλά επίσης την ευαισθητή εξάρτηση του μονοπατιού από τη χρήση διαφορετικού αριθμού σταδίων. Το Σχήμα 4.35 απεικονίζει την αύξηση της καθυστέρησης χρησιμοποιώντας ένα συγκεκριμένο αριθμό σταδίων, σαν συνάρτηση του αριθμού των σταδίων, για  $p_{inv} = 1$ . Ο x άξονας απεικονίζει το λόγο της πραγματικής καθυστέρησης προς τη βέλτιστη επιτεύξιμη. Η καμπύλη είναι επίπεδη γύρω από το βέλτιστο. Η καθυστέρηση είναι εντός του 15% της θεωρητικά βέλτιστου αριθμού (δηλαδή, το  $\rho$  είναι στο εύρος τιμών 2.4 έως 6).

Η χρήση φόρτου σταδίου 4 είναι μια βολική επιλογή και μας διευκολύνει στο να επιλέγουμε νοητά το βέλτιστο αριθμό σταδίων. Αυτός ο φόρτος δίνει καθυστερήσεις εντός του 2% του ελαχίστου, όταν το  $p_{inv}$  είναι στο εύρος τιμών 0.7 έως 2.5. Αυτό εξηγεί επίσης γιατί ένας αντιστροφέας FO4 έχει "αντιπροσωπευτική" λογική καθυστέρηση πύλης.



ΣΧΗΜΑ 4.35 Ευαισθητή εξάρτηση της καθυστέρησης από τον αριθμό των σταδίων.

### 4.5.3 Παράδειγμα

Στο σημείο αυτό θα ασχοληθούμε μ' ένα μεγαλύτερο παράδειγμα, το οποίο θα σας δώσει την ευκαιρία να κατανοήσετε πώς εφαρμόζεται η μέθοδος του Λογικού Φόρτου. Ο διακεκριμένος συνάδελφός μας Ben Bitdiddle σχεδιάζει έναν αποκωδικοποιητή για το αρχείο καταχωρητών του Motorola 68W86, ενός ενσωματωμένου επεξεργαστή για εφαρμογές αυτοκίνησης. Ο αποκωδικοποιητής έχει τις ακόλουθες προδιαγραφές:

- Αρχείο καταχωρητών 16 λέξεων
- Λέξεις 32 bit
- Κάθε bit του καταχωρητή παρουσιάζει φορτίο τριών τρανζίστορ μοναδιαίου μεγέθους στη γραμμή λέξης (2 μοναδιαίου μεγέθους τρανζίστορ προσπέλασης συν κάποια χωρητικότητα αγωγών)
- Διαθεσιμότητα της αληθείας (True) και της συμπληρωματικής τιμής των bit διεύθυνσης  $A[3:0]$
- Κάθε είσοδος διεύθυνσης μπορεί να οδηγεί 10 μοναδιαίου μεγέθους τρανζίστορ

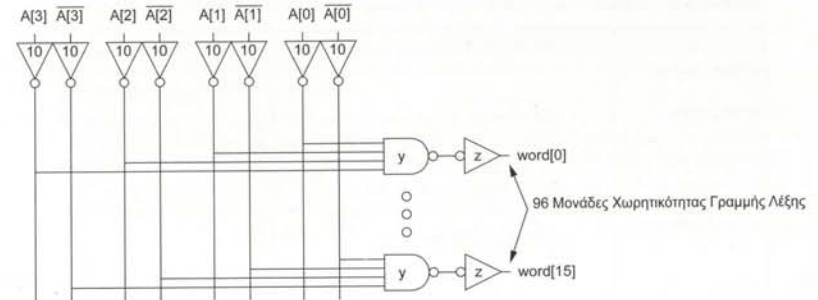
Όπως θα δούμε στην Ενότητα 12.2.2, ένας αποκωδικοποιητής  $2^N$  λέξεων αποτελείται από  $2^N$  πύλες AND  $N$  εισόδων. Συνεπώς, το πρόβλημα ανάγεται στη σχεδίαση μιας κατάλληλης πύλης AND τεσσάρων εισόδων. Ας βοηθήσουμε τον Ben να εξακριβώσει πόσα στάδια πρέπει να χρησιμοποιηθούν, πόσο μεγάλη πρέπει να είναι η κάθε πύλη, και πόσο γρήγορα μπορεί να λειτουργεί ο αποκωδικοποιητής.

Το φορτίο εξόδου σε μια γραμμή λέξης είναι 32 bit με 3 μονάδες χωρητικότητας το καθένα - δηλαδή, 96 μονάδες. Συνεπώς, ο ηλεκτρικός φόρτος μονοπατιού είναι  $H = 96/10 = 9.6$ . Κάθε διεύθυνση χρησιμοποιείται για τον υπολογισμό των μισών από τις γραμμές 16 λέξεων και το συμπλήρωμά της για τις άλλες μισές. Συνεπώς απαιτείται κάποιο στο μονοπάτι μια διακλάδωση  $B = 8$ . Στο σημείο αυτό, αντιμετωπίζουμε το δίλημμα της κότας και του αυγού. Χρησιμοποιούμε το λογικό φόρτο του μονοπατιού για να υπολογίσουμε το φόρτο μονοπατιού και το βέλτιστο αριθμό σταδίων. Όμως, εάν δεν γνωρίζουμε το βέλτιστο αριθμό σταδίων, δεν μπορούμε να σχεδιάσουμε ένα μονοπάτι και να καθορίσουμε το λογικό φόρτο γι' αυτό. Υπάρχουν δύο τρόποι επίλυσης του διλήμματος. Ο ένας είναι να σχεδιάσουμε ένα μονοπάτι με τυχαιό αριθμό σταδίων, να καθορίσουμε το λογικό φόρτο του μονοπατιού, και κατόπιν να το χρησιμοποιήσουμε για να υπολογίσουμε το φόρτο μονοπατιού και το συγκεκριμένο αριθμό σταδίων. Το μονοπάτι μπορεί να επανασχεδιαστεί μ' αυτό τον αριθμό σταδίων, βελτιστοποιώντας το λογικό φόρτο μονοπατιού. Εάν ο λογικός φόρτος αλλάξει σημαντικά, η διαδικασία μπορεί να επαναληφθεί. Εναλλακτικά, ξέροντας ότι η λογική ενός αποκωδικοποιητή είναι μάλλον απλή, μπορούμε να αγνοήσουμε το λογικό φόρτο (υποθέτουμε ότι  $G = 1$ ). Έτσι, μπορούμε να προχωρήσουμε στη σχεδίασή μας, έχοντας υπόψη ότι ο βέλτιστος αριθμός σταδίων είναι πιθανότατα ελαφρώς μεγαλύτερος από τον προβλεπόμενο, επειδή αγνοήσαμε το λογικό φόρτο.

Ακολουθώντας τη δεύτερη προσέγγιση, υπολογίζουμε το φόρτο μονοπατιού  $F = GBH = (1)(8)(9.6) = 76.8$ . Στοχεύοντας σε βέλτιστο φόρτο σταδίου  $\rho = 4$ , βρίσκουμε ότι ο βέλτιστος αριθμός σταδίων είναι  $N = \log_4 76.8 = 3.1$ . Έτσι, επιλέγουμε μια σχεδίαση τριών σταδίων, έχοντας υπόψη ότι μια σχεδίαση τεσσάρων σταδίων μπορεί να είναι επίσης καλή επιλογή όταν συνοπολογίζουμε το λογικό φόρτο. Το Σχήμα 4.24 παρουσιάζει μια πιθανή σχεδίαση 3 σταδίων (INV-NAND4-INV).

Το μονοπάτι έχει λογικό φόρτο  $G = 1 \times (6/3) \times 1 = 2$ , οπότε ο πραγματικός φόρτος μονοπατιού είναι  $F = (2)(8)(9.6) = 154$ . Ο φόρτος σταδίου είναι  $f = 154^{1/3} = 5.36$ . Αυτή η τιμή είναι εντός του λογικού εύρους 2.4 έως 6, οπότε θεωρούμε τη σχεδίασή μας αποδεκτή. Εφαρμόζοντας το μετασχηματισμό χωρητικότητας, βρίσκουμε τα μεγέθη για τις πύλες  $z = 96 \times 1/5.36 = 18$  και  $y = 18 \times 2/5.36 = 6.7$ . Η καθυστέρηση είναι  $3 \times 5.36 + 1 + 4 + 1 = 22.1$ .

Η μέθοδος του Λογικού Φόρτου μας επιτρέπει επίσης να κάνουμε γρήγορες συγκρίσεις μεταξύ εναλλακτικών σχεδιάσεων, χρησιμοποιώντας μια εφαρμογή φύλλων εργασίας και όχι σχηματικά διαγράμματα και πολυάριθμες προσομοιώσεις. Στον Πίνακα 4.4 συγκρίνονται ορισμένες εναλλακτικές σχεδιάσεις. Διαπιστώνουμε ότι μια σχεδίαση 4 σταδίων είναι κάπως ταχύτερη, όπως το υποθέσαμε αρχικά. Η 4 σταδίων σχεδίαση NAND2-INV-NAND2-INV όχι μόνο έχει το θεωρητικά προβλεπόμενο βέλτιστο αριθμό σταδίων, αλλά χρησιμοποιεί επίσης απλούστερες πύλες 2 εισόδων για τη μείωση του λογικού φόρτου και της παρασιτικής καθυστέρησης, επιτυγχάνοντας βελτίωση ταχύτητας 12% έναντι της αρχικής σχεδίασης. Ωστόσο, η σχεδίαση 3 σταδίων έχει μικρότερη συνολική επιφάνεια πύλων και καταναλώνει λιγότερη ισχύ.



ΣΧΗΜΑ 4.36 Σχεδίαση αποκωδικοποιητή 3 σταδίων.

ΠΙΝΑΚΑΣ 4.4 Σύγκριση σχεδιάσεων για τον αποκωδικοποιητή

Σχεδίαση	Στάδια $N$	$G$	$P$	$D$
NAND4-INV	2	2	5	29.8
NAND2-NOR2	2	20/9	4	30.1
INV-NAND4-INV	3	2	6	22.1
NAND4-INV-INV-INV	4	2	7	21.1
NAND2-NOR2-INV-INV	4	20/9	6	20.5
NAND2-INV-NAND2-INV	4	16/9	6	19.7
INV-NAND2-INV-NAND2-INV	5	16/9	7	20.4
NAND2-INV-NAND2-INV-INV-INV	6	16/9	8	21.6

### 4.5.4 Σύνοψη και Παρατηρήσεις

Η μέθοδος του Λογικού Φόρτου μας παρέχει έναν εύκολο τρόπο σύγκρισης και επιλογής κυκλωματικής τοπολογίας, επιλογής βέλτιστου αριθμού σταδίων για ένα μονοπάτι και εκτίμησης της καθυστέρησης μονοπατιού. Ίσως χρειαστείτε λίγο χρόνο για να εξοικειωθείτε με το συμβολισμό, αλλά οι συγγραφείς έχουν καταβάλει κάθε προσπάθεια να είναι όσο το δυνατό πιο βατός, εξετάζοντας σχεδόν όλα τα γράμματα του λατινικού και του ελληνικού αλφαβήτου. Για ευκολία απομνημόνευσης χρησιμοποιούνται τα  $d$  από το «delay» (καθυστέρηση),  $p$  από το «parasitic» (παρασιτική),  $b$  από το «branching» (διακλάδωση),  $f$  από το «effort» (προσπάθεια),  $g$  από το «logical effort» (λογικός φόρτος) ή ίσως και από το «gain» (κέρδος) και το  $h$  απλώς και μόνο επειδή είναι το επόμενο γράμμα μετά από τα «f» και «g». Ο συμβολισμός συνοψίζεται στον Πίνακα 4.5 τόσο για στάδια όσο και για μονοπάτια.

Η μέθοδος του Λογικού Φόρτου εφαρμόζεται με τα ακόλουθα βήματα:

1. Υπολογίζεται ο φόρτος μονοπατιού:  $F = GBH$

2. Υπολογίζεται ο βέλτιστος αριθμός σταδίων:  $\hat{N} = \log_4 F$

3. Σχεδιάζεται ένα μονοπάτι χρησιμοποιώντας  $\hat{N}$  στάδια

4. Υπολογίζεται η ελάχιστη καθυστέρηση:  $D = \hat{N}F^{1/\hat{N}} + P$

5. Καθορίζεται ο βέλτιστος φόρτος σταδίου:  $\hat{f} = F^{1/\hat{N}}$

6. Ξεκινώντας από το τέλος, κινούμαστε προς τα πίσω για να βρούμε τα μεγέθη:  $C_{in_i} = \frac{C_{out_i} \times g_i}{\hat{f}}$

ΠΙΝΑΚΑΣ 4.5 Σύνοψη των συμβολισμών Λογικού Φόρτου

Όρος	Έκφραση για Στάδια	Έκφραση για Μονοπάτι
αριθμός σταδίων	1	$N$
λογικός φόρτος	$g$ (βλ. Πίνακα)	$G = \prod g_i$
ηλεκτρικός φόρτος	$b = \frac{C_{out}}{C_{in}}$	$H = \frac{C_{out(path)}}{C_{in(path)}}$
φόρτος διακλάδωσης	$b = \frac{C_{onpath} + C_{offpath}}{C_{onpath}}$	$B = \prod b_i$
φόρτος	$f = gb$	$F = GBH$
καθυστερήση φόρτου	$f$	$D_F = \sum f_i$
παρασιτική καθυστέρηση	$p$ βλ. Πίνακα 4.3	$P = \sum p_i$
καθυστερήση	$d = f + p$	$D = \sum d_i = D_F + P$

Τα εργαλεία CAD είναι πολύ γρήγορα και ακριβή στην αποτίμηση πολύπλοκων μοντέλων καθυστέρησης, οπότε η μέθοδος του Λογικού Φόρτου δε θα πρέπει να χρησιμοποιείται ως υποκατάστατό τους. Η αξία της έγκειται περισσότερο στο ότι επιτρέπει γρήγορους υπολογισμούς με το χέρι και παρέχει χρήσιμες πληροφορίες για το σχεδιασμό κυκλωμάτων. Ορισμένες από τις πιο σημαντικές είναι:

- Το σκεπτικό της ποσοτικοποίησης του «λογικού φόρτου» που χαρακτηρίζει την πολυπλοκότητα μιας λογικής πύλης ή ενός μονοπατιού επιτρέπει τη σύγκριση εναλλακτικών κυκλωματικών τοπολογιών και την ανάδειξη κάποιων ως καλύτερων από άλλες.
- Οι δομές NAND είναι ταχύτερες από τις δομές NOR σε στατικά κυκλώματα CMOS.
- Τα μονοπάτια είναι ταχύτερα όταν οι καθυστερήσεις φόρτου κάθε σταδίου είναι περίπου ίσες και όταν αυτές οι καθυστερήσεις είναι κοντά στο 4.
- Η καθυστέρηση μονοπατιού δεν επιδεικνύει ευαισθησία σε μέτριες αποκλίσεις από το βέλτιστο. Φόρτοι σταδίου μεταξύ 2.4 και 6 δίνουν σχεδιάσεις εντός του 15% της ελάχιστης καθυστέρησης. Δεν είναι αναγκαίο να γίνονται υπολογισμοί περισσότερων από 1-2 σημαντικών ψηφίων, οπότε πολλές εκτιμήσεις μπορούν να γίνονται από μνήμης. Δεν είναι αναγκαίο να επιλέγονται τα ακριβή μεγέθη των τρανζίστορ σύμφωνα με τη θεωρία, ενώ μικρό είναι το όφελος από την τροποποίηση των μεγεθών των τρανζίστορ όταν η σχεδίαση είναι λογική.
- Χρησιμοποιώντας φόρτο σταδίου ελαφρώς μεγαλύτερο από 4 μειώνεται η επιφάνεια και η καταπόνηση ισχύος, με μικρό κόστος σε ταχύτητα. Χρησιμοποιώντας φόρτο μεγαλύτερο από 6-8 έχουμε σημαντικό κόστος σε ταχύτητα.
- Η χρήση λιγότερων σταδίων ώστε να έχουμε λιγότερες καθυστερήσεις πύλης δεν κάνει πιο γρήγορο το κύκλωμα. Επίσης, η αύξηση του μεγέθους των πύλων δεν οδηγεί σε πιο γρήγορο κύκλωμα. Τα μόνα που αυξάνονται είναι η κατανάλωση επιφάνειας και ισχύος.
- Η καθυστέρηση ενός καλοσχεδιασμένου μονοπατιού είναι περίπου  $\log_2 F$  φορές μεγαλύτερη από την καθυστέρηση αντιστροφής FO4. Κάθε τετραπλασιασμός του φόρτου προσθέτει περίπου μια καθυστέρηση FO4 στο μονοπάτι. Συνεπώς, σήματα ελέγχου τα οποία οδηγούν μονοπάτια δεδομένων 64 bit επιφέρουν καθυστέρηση ενίσχυσης περίπου τριών αντιστροφών FO4.

- Ο λογικός φόρτος κάθε εισόδου πύλης αυξάνεται καθώς αυξάνεται ο αριθμός των εισόδων. Συνυπολογίζοντας το λογικό φόρτο και την παρασιτική καθυστέρηση, βρίσκουμε ένα πρακτικό όριο περίπου τεσσάρων εν σειρά τρανζίστορ για λογικές πύλες και περίπου τεσσάρων εισόδων για πολυπλέκτες. Πέραν αυτού του βαθμού οδήγησης εισόδου, είναι ταχύτερο να χωρίζονται οι πύλες σε πολλαπλά στάδια μικρότερων πύλων.
- Οι αντιστροφείς ή πύλες NAND 2 εισόδων με χαμηλό λογικό φόρτο είναι οι βέλτιστες επιλογές για την οδήγηση κόμβων με μεγάλο φόρτο διακλάδωσης. Να χρησιμοποιείτε μικρές πύλες μετά από τις διακλάδώσεις για την ελαχιστοποίηση του φορτίου στην πύλη οδήγησης.
- Όταν ένα μονοπάτι διακλαδίζεται και το ένα σκέλος είναι πιο κρίσιμο από τα άλλα, απομονώστε (buffer) τα μη κρίσιμα σκέλη για να ελαχιστοποιήσετε το φόρτο διακλάδωσης στο κρίσιμο μονοπάτι.

#### 4.5.5 Περιορισμοί της Μεθόδου Λογικού Φόρτου

Η μέθοδος του Λογικού Φόρτου βασίζεται στο μοντέλο γραμμικής καθυστέρησης και στην απλή υπόθεση ότι εξισώνοντας τις καθυστερήσεις φόρτου για κάθε στάδιο ελαχιστοποιείται η καθυστέρηση μονοπατιού. Αυτή η απλότητα είναι το μεγαλύτερο προτέρημα της μεθόδου, αλλά οδηγεί επίσης σε κάποιους περιορισμούς:

- Η μέθοδος του Λογικού Φόρτου δεν συνοπολογίζει τη διασύνδεση. Οι επιδράσεις της μη αμελητέας χωρητικότητας αγωγών και της καθυστέρησης RC θα επανεξεταστούν στο Κεφάλαιο 6. Η μέθοδος του Λογικού Φόρτου είναι περισσότερο εφαρμόσιμη σε κυκλώματα υψηλής ταχύτητας με φυσικά σχέδια υψηλής κανονικότητας, όπου δεν κυριαρχεί η καθυστέρηση αγωγών διασύνδεσης. Σ' αυτές τις δομές περιλαμβάνονται αθροιστές, πολλαπλασιαστές, μνήμες και άλλοι χειριστές δεδομένων και διατάξεις.
- Η μέθοδος του Λογικού Φόρτου εξηγεί πώς πρέπει να σχεδιαστεί ένα μονοπάτι για μέγιστη ταχύτητα, αλλά όχι πώς πρέπει να σχεδιαστεί για ελάχιστη επιφάνεια ή κατανάλωση ισχύος, δεδομένης μιας προδιαγραφής (περιορισμού) για την ταχύτητα. Αυτό το πρόβλημα εξετάζεται στην Ενότητα 5.2.2.1.
- Για μονοπάτια με πολύπλοκη διακλάδωση, η χειροκίνητη ανάλυση είναι δύσκολη υπόθεση.
- Το μοντέλο γραμμικής καθυστέρησης δεν μπορεί να αποτιμώσει την επίδραση της κλίσης εισόδου. Ευτυχώς, οι ρυθμοί κλίσης τείνουν να είναι περίπου ίσοι σε καλοσχεδιασμένα κυκλώματα με ίση καθυστέρηση φόρτου ανά στάδιο.

#### 4.5.6 Επαναληπτικές Λύσεις για την Επιλογή Μεγεθών

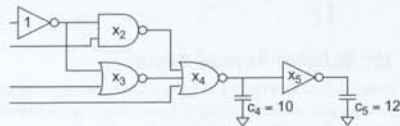
Για να ικανοποιήσουμε τους περιορισμούς της προηγούμενης ενότητας, μπορούμε να γράψουμε τις εξισώσεις υπολογισμού της καθυστέρησης για κάθε πύλη του συστήματος και κατόπιν να επιχειρήσουμε ελαχιστοποίηση του αργότερου χρόνου άφιξης. Δεν υπάρχουν λύσεις κλειστής μορφής, αλλά οι εξισώσεις είναι εύκολο να λυθούν επαναληπτικά σε υπολογιστή και η διατύπωσή τους δίνει κάποια πληροφόρηση στο σχεδιαστή. Σ' αυτή την ενότητα θα εξετάσουμε την επιλογή κατάλληλου μεγέθους για την επίτευξη ελάχιστης καθυστέρησης, ενώ στην Ενότητα 5.2.2.1 θα εξετάσουμε την επιλογή κατάλληλου μεγέθους για την επίτευξη ελάχιστης κατανάλωσης ενέργειας, με δεδομένο έναν περιορισμό για την καθυστέρηση.

Η  $i$ -οστή πύλη χαρακτηρίζεται από το λογικό φόρτο της,  $g_i$ , την παρασιτική καθυστέρηση,  $p_i$ , και την οδήγηση,  $x_i$ . Φορμαλιστικά, ο στόχος μας είναι να βρούμε ένα μη-αρνητικό διάνυσμα οδήγησης  $x$  το οποίο θα ελαχιστοποιεί το χρόνο άφιξης της πλέον καθυστερούμενης εξόδου. Αυτό μπορεί να γίνει χρησιμοποιώντας κάποιο εμπορικό εργαλείο βελτιστοποίησης, όπως το MOSEK ή, για μικρότερα προβλήματα, το εργαλείο επίλυσης του Microsoft Excel. Οι εξισώσεις για το χρόνο άφιξης ανήκουν στην κατηγορία των προβλημάτων κερφής βελτιστοποίησης, τα οποία έχουν την ελκυστική ιδιότητα να έχουν μόνο ένα βέλτιστο: δεν υπάρχει κίνδυνος να βρείτε λάθος απάντηση. Επιπλέον, ανήκουν σε μια ειδική κατηγορία συναρτήσεων, των αποκαλούμενων *posynomials* (πολύωνομα με θετικούς όρους), οι οποίες επιτρέπουν την εφαρμογή ιδιαίτερα αποτελεσματικών τεχνικών βελτιστοποίησης (γεωμετρικός προγραμματισμός) [Fishburn85].



### Παράδειγμα 4.15

Το κύκλωμα του Σχήματος 4.37 έχει μη-μοιόμορφη διακλάδωση, επανασυγκλίνουσες οδηγούμενες εξόδους και φορτίο αγωγού στο μέσον του μονοπατιού, στοιχεία τα οποία δυσχεραίνουν τη γρήγορη εφαρμογή της μεθόδου του Λογικού Φόρτου. Το φορτίο αγωγού δίνεται στις ίδιες μονάδες με τις χωρητικότητες των πυλών (δηλαδή, πολλαπλάσια της χωρητικότητας ενός μοναδιαίου αντιστροφέα). Υποθέστε ότι οι εισοδοί φτάνουν τη στιγμή 0. Γράψτε μια έκφραση για τον υπολογισμό του χρόνου άφιξης της εξόδου ως συνάρτηση της οδήγησης των πυλών. Βρείτε τα κατάλληλα μεγέθη για την επίτευξη ελάχιστης καθυστέρησης.



ΣΧΗΜΑ 4.37 Το μονοπάτι για το παράδειγμα.

**ΛΥΣΗ:** Οι εξισώσεις υπολογισμού της καθυστέρησης για κάθε πύλη διατυπώνονται χρησιμοποιώντας την Εξ. (4.25). Σημειώστε ότι το  $x$  υποδεικνύει την οδήγηση, όχι το μέγεθος. Σύμφωνα με την Εξ. (4.24), η χωρητικότητα εισόδου μιας πύλης με λογικό φόρτο  $g$  και οδήγηση  $x$  είναι  $C_{in} = gx$ .

$$\begin{aligned} d_1 &= 1 + \frac{4}{3}x_2 + \frac{5}{3}x_3 \\ d_2 &= 2 + \frac{7}{3}\frac{x_4}{x_2} \\ d_3 &= 2 + \frac{7}{3}\frac{x_4}{x_3} \\ d_4 &= 3 + \frac{x_5}{x_4} + \frac{10}{x_4} \\ d_5 &= 1 + \frac{12}{x_5} \end{aligned} \quad (4.44)$$

Υπολογίζουμε τους χρόνους άφιξης χρησιμοποιώντας τους ορισμούς από την Εξ. (4.1).

$$\begin{aligned} a_1 &= d_1 \\ a_2 &= a_1 + d_2 \\ a_3 &= a_1 + d_3 \\ a_4 &= \max\{a_2, a_3\} + d_4 \\ a_5 &= a_4 + d_5 = d_1 + \max\{d_2, d_3\} + d_4 + d_5 \end{aligned} \quad (4.45)$$

Χρησιμοποιούμε ένα εργαλείο επίλυσης για να επιλέξουμε την οδήγηση των πυλών με τρόπο ώστε να ελαχιστοποιείται ο αργότερος χρόνος άφιξης. Ο Πίνακας 4.6 συνοψίζει τα αποτελέσματα. Η ελάχιστη καθυστέρηση είναι 23.44.

Το παράδειγμα μας οδηγεί σε ορισμένες αρκετά ενδιαφέρουσες παρατηρήσεις:

- Σε μονοπάτια τα οποία διακλαδίζονται, κάθε σκέλος θα πρέπει να συνιστά ίση καθυστέρηση. Εάν το ένα σκέλος ήταν ταχύτερο από το άλλο, θα μπορούσε να σμικρυνθεί για να μειωθεί η χωρητικότητα που εμφανίζεται στο στάδιο πριν από τη διακλάδωση.

- Ο φόρτος σταδίου,  $f$ , είναι ίδιος για κάθε πύλη στα μονοπάτια χωρίς σταθερά χωρητικά φορτία, αλλά μπορεί να αλλάξει μετά από ένα φορτίο.
- Για την ελαχιστοποίηση της καθυστέρησης μπορεί να αυξηθεί το μέγεθος των πυλών στους κόμβους με μεγάλες σταθερές χωρητικότητες, ώστε να μειωθεί ο φόρτος που προκαλείται από την πύλη, ενώ αυξάνεται μόνο ελαφρώς ο φόρτος που προκαλεί ο προκάτοχός της.

ΠΙΝΑΚΑΣ 4.6 Σχεδίαση μονοπατιού για ελάχιστες καθυστερήσεις

Στάδιο ( $i$ )	$x_i$	$f_i$	$c_{in}$	$d_i$	$a_i$
1: INV	1	4.85	1	5.85	5.85
2: NAND2	1.62	4.85	2.16	6.85	12.70
3: NOR2	1.62	4.85	2.70	6.85	12.70
4: NOR3	3.37	4.85	7.86	7.85	20.55
5: INV	6.35	1.89	6.35	2.89	23.44

Μια βιβλιοθήκη τοποποιημένων κυττάρων παρέχει ένα διακριτό σύνολο μεγεθών. Η οδηγητική ικανότητα των πυλών πρέπει να στρογγυλοποιείται στο πλησιέστερο διαθέσιμο μέγεθος. Για παράδειγμα, το κύκλωμα μπορεί να χρησιμοποιήσει  $inv\_1x$ ,  $nand2\_2x$ ,  $nor2\_2x$ ,  $nor3\_3x$  και  $inv\_6x$ . Η καθυστέρηση αυξάνεται σε 23.83 - δηλαδή, επιβαρύνεται με λιγότερο από 2%. Γενικά, οι βιβλιοθήκες με βήμα διάκρισης  $\sqrt{2}$  μεταξύ διαδοχικών τιμών οδήγησης είναι σχεδόν τόσο καλές όσο κι εκείνες με συνεχή μεγέθη, εφόσον είναι διαθέσιμοι μεγάλοι αντιστροφείς για την οδήγηση μεγάλων φορτίων. Ωστόσο, ακόμη και η χρήση βήματος διάκρισης 2 μεταξύ των τιμών οδήγησης (1x, 2x, 4x, 8x) επαρκεί για ένα καλό αποτέλεσμα.

Αν και σ' αυτή την ενότητα χρησιμοποιήσαμε ένα μοντέλο γραμμικής καθυστέρησης για να κατανοήσουμε καλύτερα τη μέθοδο του Λογικού Φόρτου, είναι επίσης δυνατό να χρησιμοποιήσουμε πιο προηγμένα μοντέλα, τα οποία συνυπολογίζουν την ευαισθησία στο ρυθμό ακμής, την  $V_{DD}$  και την  $V_t$  [Patil07]. η επιπλέον πολυπλοκότητα δεν αποτελεί πρόβλημα για τα εργαλεία αριθμητικής επίλυσης και το μοντέλο επιτρέπει τη βελτιστοποίηση των τάσεων τροφοδοσίας και καταφλίου, καθώς και των μεγεθών. Τα μοντέλα χρονοσμού εξετάζονται αναλυτικά στην ενότητα που ακολουθεί.

## 4.6 Μοντέλα Καθυστέρησης για Ανάλυση Χρονοσμού

Για το χειρισμό ενός ολοκληρωμένου με εκατομμύρια πύλες, το μοντέλο καθυστέρησης ενός αναλυτή χρονοσμού πρέπει να είναι ικανό να υπολογίσει την ανάλυση χρονοσμού γρήγορα, αλλά με επαρκή ακρίβεια ώστε να εμπνέει εμπιστοσύνη. Σ' αυτή την ενότητα θα εξετάσουμε εν τάξει αρκετά μοντέλα καθυστέρησης για ανάλυση χρονοσμού, τα οποία είναι πολύ ταχύτερα από τις προσομοιώσεις με το SPICE και ταυτόχρονα περισσότερο ακριβή από το απλό μοντέλο γραμμικής καθυστέρησης. Τα μοντέλα για το χρονοσμό (καθώς και την επιφάνεια, την ισχύ και το θόρυβο) που διατίθενται για κάθε πύλη μιας βιβλιοθήκης τοποποιημένων κυττάρων αποθηκεύονται σε αρχεία με επέκταση .lib. Αυτά τα μοντέλα αποτελούν μέρος του προτύπου Liberty, η τεκμηρίωση του οποίου είναι διαθέσιμη στον ιστότοπο [www.opensourceliberty.org](http://www.opensourceliberty.org). Οι παράμετροι λογικού φόρτου για τοποποιημένα κύτταρα μπορούν να βρεθούν προσαρμόζοντας μια ευθεία γραμμή στα μοντέλα χρονοσμού, υποθέτοντας ίσες καθυστερήσεις και χρόνους ανόδου/καθόδου για το προηγούμενο στάδιο.

### 4.6.1 Γραμμικό, Βασικό σε Κλίσεις Μοντέλο

Μια απλή προσέγγιση είναι να επεκτείνουμε το μοντέλο γραμμικής καθυστέρησης, προσθέτοντας έναν όρο που θα αναπαριστά την κλίση της εισόδου. Υποθέτοντας ότι η κλίση της εισόδου είναι ανάλογη της καθυστέρησης του προηγούμενου σταδίου, οι καθυστερήσεις για τις ανοδικές και καθοδικές εξόδους μπορούν να εκφραστούν ως:

$$\begin{aligned} \text{καθυστέρηση\_άνόδου} &= \text{ενδογενής\_χρόνος\_άνόδου} + \text{αντίσταση\_άνόδου} \times \text{χωρητικότητα} \\ &\quad + \text{κλίση\_άνόδου} \times \text{προηγούμενη\_καθυστέρηση} \\ \text{καθυστέρηση\_καθόδου} &= \text{ενδογενής\_χρόνος\_καθόδου} + \text{αντίσταση\_καθόδου} \times \text{χωρητικότητα} \\ &\quad + \text{κλίση\_καθόδου} \times \text{προηγούμενη\_καθυστέρηση} \end{aligned}$$

Τα γραμμικά μοντέλα καθυστέρησης δεν είναι αρκετά ακριβή για να χειριστούν την ευρεία γκάμα κλίσεων και φορτίων που συναντώνται σε κυκλώματα παραγόμενα από εργαλεία σύνθεσης και γι' αυτό έχουν, σε μεγάλο βαθμό, παρολιωθεί από τα μη-γραμμικά μοντέλα καθυστέρησης.

#### 4.6.2 Μη-Γραμμικό Μοντέλο Καθυστέρησης

Ένα μη-γραμμικό μοντέλο καθυστέρησης αναζητά την καθυστέρηση  $t_{\text{out}}$  έναν πίνακα, βασισμένο στη χωρητικότητα φορτίου και την κλίση της εισόδου. Χρησιμοποιούνται ξεχωριστοί πίνακες για την αναζήτηση των καθυστερήσεων ανόδου/καθόδου και των κλίσεων εξόδου. Ο Πίνακας 4.7 παρουσιάζει ένα παράδειγμα μη-γραμμικού μοντέλου καθυστέρησης για την καθυστέρηση καθόδου ενός αντιτροφέα. Ο αναλυτής χρονισμού χρησιμοποιεί μεθόδους παρεμβολής (interpolation) στις περιπτώσεις όπου μια συγκεκριμένη χωρητικότητα φορτίου ή κλίση δεν περιλαμβάνεται στο σχετικό πίνακα.

ΠΙΝΑΚΑΣ 4.7 Μη-Γραμμικό Μοντέλο Καθυστέρησης Αντιτροφέα  $t_{\text{out}}$  (ps)

$C_{\text{out}}$ (fF)	Χρόνος ανόδου (ps)				
	10	20	40	80	160
1	11.5	13.3	17.0	21.2	25.3
2	18.4	20.2	24.1	30.9	38.5
4	32.0	33.8	37.6	43.4	58.5
8	59.2	60.9	65.7	72.3	87.8

Τα μη-γραμμικά μοντέλα καθυστέρησης χρησιμοποιούνται εφέως τη στιγμή που γράφονται αυτές οι γραμμές. Ωστόσο, δεν περιέχουν επαρκή πληροφορία για να χαρακτηρίσουν την καθυστέρηση μιας πύλης που οδηγεί ένα πολύπλοκο δίκτυο RC με την ακρίβεια που επιθυμούν ορισμένοι χρήστες. Επίσης, δεν διαθέτουν επαρκή ακρίβεια για τον πλήρη χαρακτηρισμό των συμβάντων θορύβου. Θα πρέπει να δημιουργηθεί ένα διαφορετικό μοντέλο για κάθε τάση και θερμοκρασία στην οποία μπορεί να χαρακτηριστεί το ολοκληρωμένο.

#### 4.6.3 Μοντέλο Πηγής Ρεύματος

Οι περιορισμοί των μη-γραμμικών μοντέλων καθυστέρησης αποτέλεσαν το έναυσμα για την ανάπτυξη των μοντέλων πηγής ρεύματος. Θεωρητικά, ένα μοντέλο πηγής ρεύματος θα πρέπει να εκφράζει το DC ρεύμα εξόδου ως μη-γραμμική συνάρτηση των τάσεων εισόδου και εξόδου του κυττάρου. Ένας αναλυτής χρονισμού υπολογίζει αριθμητικά το ολοκλήρωμα του ρεύματος εξόδου για να βρει την τάση ως συνάρτηση του χρόνου  $t_{\text{out}}$  ενός τυχαίου δικτύου RC και να υπολογίσει την καθυστέρηση διάδοσης.

Εν αντιθέσει, το αποκαλούμενο *Composite Current Source Model* (CCSM) της Liberty αποθηκεύει το ρεύμα εξόδου ως συνάρτηση του χρόνου για δεδομένο ρυθμό ανόδου της εισόδου και χωρητικότητα εξόδου. Το ανταγωνιστικό μοντέλο με όνομα *Effective Current Source Model* (ECSM) αποθηκεύει την τάση εξόδου ως συνάρτηση του χρόνου. Οι δύο αναπαραστάσεις είναι ισοδύναμες και μπορούν να συντεθούν  $t_{\text{out}}$  ένα πραγματικό μοντέλο πηγής ρεύματος [Chorpa06].

#### 4.7 Κίνδυνοι και Πλάνες

##### Ορισμός καθυστέρησης πύλης για πύλη χωρίς φορτίο

Κατά την περιγραφή μιας τεχνολογίας κατασκευής για σκοπούς προώθησης, είναι σύνηθες να αναφέρεται η καθυστέρηση πύλης βάσει ενός αντιτροφέα  $t_{\text{out}}$  έναν ταλαντωτή δακτυλίου (2T), ή ακόμα και βάσει της RC σταθεράς χρόνου ενός τρανζίστορ που φορτίζει τη χωρητικότητα της δικής του πύλης (1/3 T). Όπως γνωρίζετε, η καθυστέρηση μιας πραγματικής πύλης που βρίσκεται στο κρίσιμο μονοπάτι θα πρέπει να είναι πλησιέστερα στα 5–6 T.

Εάν δεν είστε σίγουροι για τη σημασία των παρεχόμενων δεδομένων, ρωτήστε πώς ορίζεται η καθυστέρηση πύλης ή ζητήστε να σας την αναφέρουν βάσει FO4.

##### Αύξηση της ταχύτητας μέσω αύξησης του μεγέθους των τρανζίστορ $t_{\text{out}}$ ένα μονοπάτι

Οι περισσότεροι σχεδιαστές ξέρουν ότι η αύξηση του μεγέθους ενός τρανζίστορ μειώνει την αντίσταση του και άρα το κάνει ταχύτερο στην οδήγηση σταθερού φορτίου. Ορισμένες φορές, οι αρχάριοι σχεδιαστές ξεχνούν ότι η αύξηση του μεγέθους συνεπάγεται αύξηση της χωρητικότητας εισόδου και κάνει αργότερο το προηγούμενο στάδιο, κυρίως όταν αυτό ανήκει στο χρονικό προϋπολογισμό κάποιου άλλου σχεδιαστή. Οι συγγραφείς το έχουν δει να συμβαίνει και να οδηγεί στην αδυναμία σύγκλισης της ανάλυσης χρονισμού συνολικά για ένα μεγάλο μικροεπεξεργαστή, επειδή ο κάθε μηχανικός αύξανε το μέγεθος των δικών του πυλών μέχρι να καλύψει τις απαιτήσεις χρονισμού το δικό του μονοπάτι. Μόνο μετά από την εβδομαδιαία ανάλυση χρονισμού στο πλήρες ολοκληρωμένο ανακάλυψαν ότι οι εισδοί τους έφταναν πλέον αργότερα, λόγω του μεγαλύτερου φορτίου του προηγούμενου σταδίου. Η λύση έγκειται στον εμπλουτισμό των προδιαγραφών όχι μόνο με το χρόνο άφιξης αλλά και με την αντίσταση του κυκλώματος οδήγησης της προηγούμενης βαθμίδας.

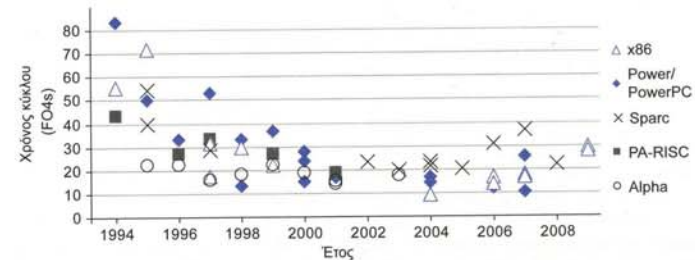
##### Προσπάθεια αύξησης της ταχύτητας με χρήση όσο το δυνατόν λιγότερων σταδίων λογικής

Οι σχεδιαστές λογικής συχνά μετρούν «καθυστερήσεις πύλης»  $t_{\text{out}}$  ένα μονοπάτι. Αυτή είναι μια βολική απλούστευση όταν χρησιμοποιείται σωστά. Στα χέρια ενός άπειρου μηχανικού που πιστεύει ότι κάθε πύλη συνεισφέρει μια καθυστέρηση πύλης, δείχνει σαν να υποδηλώνει ότι η καθυστέρηση του μονοπατιού μπορεί να ελαχιστοποιηθεί με τη χρήση κατά το δυνατόν λιγότερων σταδίων λογικής, πράγμα το οποίο δεν ισχύει.

#### 4.8 Σύνοψη Ιστορική Αναδρομή

Στο Σχήμα 1.5, είδατε την εκθετική αύξηση που παρουσίασαν οι συχνότητες των μικροεπεξεργαστών για σχεδόν τέσσερις δεκαετίες. Αν και μεγάλο μέρος της βελτίωσης οφείλεται σε φυσικές βελτιώσεις στην καθυστέρηση πύλης ανάλογα με το μέγεθος στοιχείου, σημαντικό μερίδιο οφείλεται στην καλύτερη μικροαρχιτεκτονική και σχεδίαση των κυκλωμάτων, με λιγότερες καθυστερήσεις πύλης ανά κύκλο. Από τη σκοπιά ενός κυκλώματος, ο χρόνος κύκλου εκφράζεται με τον καλύτερο τρόπο σε καθυστερήσεις αντιτροφέα FO4.

Το Σχήμα 4.38 παρουσιάζει την ιστορική εξέλιξη των χρόνων κύκλου των μικροεπεξεργαστών, με βάση δεδομένα τα οποία έχουν ανακοινωθεί στο συνέδριο International Solid-State Circuits Conference. Οι πρώτοι επεξεργαστές λειτουργούσαν κοντά στις 100 καθυστερήσεις FO4 ανά κύκλο. Η γραμμική μικροεπεξεργαστών Alpha από την Digital Equipment Corporation κατέπληξε τους πάντες στις αρχές της δεκαετίας του '90, αποδεικνύοντας ότι ήταν εφικτοί χρόνοι κύκλου κάτω από 20 καθυστερήσεις FO4. Αυτό σηματοδότησε την απαρχή ενός αγώνα δρόμου για υψηλότερες συχνότητες ρολογιού. Μέχρι τα τέλη της δεκαετίας του '90, οι Intel και AMD προωθούσαν τους επεξεργαστές τους βασισμένες πρωτίστως στη συχνότητα. Οι Pentium II και III έφταναν περίπου σε 20–24 καθυστερήσεις FO4 ανά κύκλο. Ο Pentium 4 έφτασε τους χρόνους κύκλου περίπου στις 10 FO4 με αντίτιμο εκτεταμένη διαχέτευση (pipeline) και τεράστια καταναλώση ισχύος. Οι σχεδιαστές μικροαρχιτεκτονικής προέβλεπαν ότι η απόδοση θα μεγιστοποιούνταν σε χρόνο κύκλου 8 καθυστερήσεων FO4 ανά κύκλο [Hrishikesh02].



ΣΧΗΜΑ 4.38 Ιστορική εξέλιξη των χρόνων κύκλου για τους μικροεπεξεργαστές. Τα δεδομένα ενέχουν ένα βαθμό αβεβαιότητας λόγω της εκτίμησης της καθυστέρησης FO4 ως συνάρτηση της χαρακτηριστικής διάστασης στοιχείου.

Οι μικροί χρόνοι κύκλου επιτεύχθηκαν με αντίτιμο τεράστιους αριθμούς (20–30) σταδίων διοχέτευσης και τεράστια κατανάλωση ισχύος (σχεδόν 100 W). Όπως θα δούμε στο επόμενο κεφάλαιο, η ισχύς έγινε τόσο σημαντική όσο και οι προδιαγραφές απόδοσης. Ο αριθμός πυλών ανά κύκλο μετατοπίστηκε σ' ένα περισσότερο αποτελεσματικό, από τη σκοπιά της ισχύος, σημείο. Ο [Srinivasan02] αναφέρει ότι οι 19–24 καθυστερήσεις FO4 ανά κύκλο παρέχουν ένα καλύτερο συμβιβασμό μεταξύ απόδοσης και ισχύος.

Τα ολοκληρωμένα κυκλώματα που σχεδιάζονται ειδικά για συγκεκριμένες εφαρμογές (ASIC) λειτουργούν κατά κανόνα σε πολύ χαμηλότερες συχνότητες (π.χ., 200–400 MHz σε ναυομετρικές τεχνολογίες κατασκευής), έτσι ώστε να μπορούν να σχεδιάζονται πιο εύκολα. Τυπικοί χρόνοι κύκλου για ASIC είναι 40–100 καθυστερήσεις FO4 ανά κύκλο [Mai05, Chinnery02], αν και σε ορισμένες περιπτώσεις με ιδιαίτερες απαιτήσεις απόδοσης φτάνουν στις 25 καθυστερήσεις FO4.

### Σύνοψη του Κεφαλαίου

Η πρόκληση που αντιμετωπίζει ένας σχεδιαστής συστημάτων VLSI συνίσταται στο να κατασκευάσει ένα σύστημα, το οποίο θα ικανοποιεί τις απαιτήσεις ταχύτητας και ταυτόχρονα θα καταναλώνει λίγη ισχύ ή επιφάνεια, θα λειτουργεί αξιόπιστα και θα χρειάζεται λίγο χρόνο για να σχεδιαστεί. Η προσομοίωση κυκλωμάτων είναι ένα σημαντικό εργαλείο για τον υπολογισμό της καθυστέρησης και θα την εξετάσουμε σε βάθος στο Κεφάλαιο 5, αλλά απαιτείται υπερβολικά πολύς χρόνος για την προσομοίωση κάθε πιθανής σχεδίασης: επιπλέον, είναι επιρρεπής σε σφάλματα που οφείλονται σε λανθασμένα αρχικά δεδομένα: τέλος, δεν μας δίνει καθόλου πληροφόρηση όσον αφορά το γιατί ένα κύκλωμα έχει μια ορισμένη καθυστέρηση, ή πώς θα πρέπει να το αλλάξουμε για να βελτιώσουμε την καθυστέρηση. Ο σχεδιαστής πρέπει επίσης να έχει στη διάθεσή του απλά μοντέλα για να μπορεί να εκτιμά γρήγορα την απόδοση και να κατανοεί γιατί κάποια κυκλώματα είναι καλύτερα από άλλα.

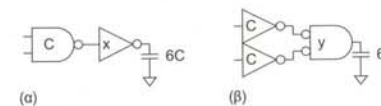
Αν και τα τρανζίστορ είναι πολύπλοκα στοιχεία με μη-γραμμικές σχέσεις ρεύματος-τάσης και χωρητικότητας-τάσης, για το σκοπό του υπολογισμού της καθυστέρησης στα ψηφιακά κυκλώματα, μπορούν να προσεγγίζονται αρκετά καλά ως στοιχεία που έχουν σταθερή χωρητικότητα και ενεργή αντίσταση  $R$  όταν άγον (ON). Κατά συνέπεια, οι λογικές πύλες μοντελοποιούνται ως δίκτυα RC. Το μοντέλο καθυστέρησης Elmore εκτιμά την καθυστέρηση του δικτύου ως άθροισμα κάθε χωρητικότητας επί την αντίσταση μέσω της οποίας πρέπει να φορτιστεί ή να εκφορτιστεί. Έτσι, η καθυστέρηση πύλης αποτελείται από μια παρασιτική καθυστέρηση (για την περίπτωση που η πύλη οδηγεί τη δική της, εσωτερική παρασιτική χωρητικότητα) συν μια καθυστέρηση φόρτου (για την περίπτωση όπου η πύλη οδηγεί ένα εξωτερικό φορτίο). Η καθυστέρηση φόρτου εξαρτάται από τον ηλεκτρικό φόρτο (το λόγο της χωρητικότητας φορτίου προς τη χωρητικότητα εισόδου, ο οποίος αποκαλείται επίσης *fanout* [βαθμός/ικανότητα οδήγησης εξόδου]) και το λογικό φόρτο (ο οποίος χαρακτηρίζει τη δυνατότητα οδήγησης ρεύματος της πύλης σε σχέση μ' έναν αντιστροφέα με ίση χωρητικότητα εισόδου). Ακόμα και σε προηγμένες τεχνολογίες κατασκευής, η καμπύλη καθυστέρησης συναρτήσει του ηλεκτρικού φόρτου ταιριάζει αρκετά πιστά με ευθεία γραμμή. Η μέθοδος του Λογικού Φόρτου βασίζεται σ' αυτό το μοντέλο γραμμικής καθυστέρησης και μας βοηθά να υπολογίζουμε στα γρήγορα την καθυστέρηση ολόκληρων μονοπατιών βάσει του φόρτου και της παρασιτικής καθυστέρησης του μονοπατιού. Θα χρησιμοποιήσουμε τη μέθοδο του Λογικού Φόρτου σε επόμενα κεφάλαια για να εξηγήσουμε τι είναι αυτό που κάνει ένα κύκλωμα γρήγορο.

### Ασκήσεις

- Σχεδιάστε μια πύλη NOR 2 εισόδων με τα πλάτη των τρανζίστορ επιλεγμένα έτσι ώστε να επιτυγχάνονται ενεργές αντιστάσεις ανόδου και καθόδου ίσες με αυτές ενός μοναδιαίου αντιστροφέα. Υπολογίστε τις καθυστερήσεις διάδοσης ανόδου και καθόδου μιας πύλης NOR που οδηγεί  $h$  όμοιες πύλες NOR χρησιμοποιώντας το μοντέλο καθυστέρησης Elmore. Για τον υπολογισμό της χωρητικότητας, υποθέστε ότι κάθε πηγή ή υποδοχή έχει διάχυση πλήρους επαφής.
- Σχεδιάστε ένα ραβδόγραμμα για την πύλη NOR δύο εισόδων. Επαναλάβετε την Άσκηση 4.1 με καλύτερες εκτιμήσεις για τη χωρητικότητα. Συγκεκριμένα, εάν ένας κόμβος διάχυσης μοιράζεται μεταξύ δύο παράλληλων τρανζίστορ, συνυπολογίστε τη χωρητικότητά του μόνο μια φορά. Αν

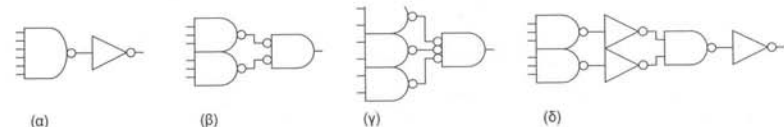
ένας κόμβος διάχυσης βρίσκεται μεταξύ δύο εν σειρά τρανζίστορ και δεν απαιτεί επαφές, λάβετε υπόψη μόνο τη μισή χωρητικότητα λόγω της μικρότερης επιφάνειας διάχυσης.

- Βρείτε τις καθυστερήσεις διάδοσης ανόδου και καθόδου μιας πύλης AND-OR-INVERT χωρίς φορτίο χρησιμοποιώντας το μοντέλο καθυστέρησης Elmore. Εκτιμήστε την χωρητικότητα διάχυσης βασιζόμενοι σ' ένα ραβδόγραμμα του φυσικού σχεδίου.
- Βρείτε την παρασιτική καθυστέρηση Elmore που επιδεικνύει στη χειριστη περίπτωση μια πύλη NOR  $n$  εισόδων.
- Σχεδιάστε ένα γράφημα της καθυστέρησης συναρτήσει του ηλεκτρικού φόρτου όπως αυτό του Σχήματος 4.21 για μια πύλη NOR 2 εισόδων χρησιμοποιώντας το λογικό φόρτο και την παρασιτική καθυστέρηση που υπολογίσατε στην Ενότητα 4.4.2. Συγκρίνετε την κλίση του γραφήματός σας με αυτήν της NAND δύο εισόδων, καθώς και την αντίστοιχη τομή με τον άξονα  $y$ .
- Δίνεται αντιστροφείας με τρανζίστορ τετραπλάσιου πλάτους από αυτά ενός μοναδιαίου αντιστροφέα. Εάν ένας μοναδιαίος αντιστροφείας έχει τρεις μονάδες χωρητικότητας εισόδου και παρασιτική καθυστέρηση  $P_{inv}$ , ποια είναι η χωρητικότητα εισόδου ενός αντιστροφέα  $x4$ ; Πόσος είναι ο λογικός φόρτος; Πόση είναι η παρασιτική καθυστέρηση;
- Ένα λογικό μονοπάτι 3 σταδίων είναι σχεδιασμένο έτσι ώστε ο φόρτος που καταβάλλεται από κάθε στάδιο να είναι 12, 6, και 9 μονάδες καθυστέρησης, αντίστοιχα. Μπορεί να βελτιωθεί αυτή η σχεδίαση, και γιατί; Ποιος είναι ο βέλτιστος αριθμός σταδίων γ' αυτό το μονοπάτι; Ποιες αλλαγές θα προτεινате για την υπάρχουσα σχεδίαση;
- Δίνεται μοναδιαίος αντιστροφείας με τρεις μονάδες χωρητικότητας εισόδου, ο οποίος έχει μοναδιαία οδήγηση. α) Πόση είναι η οδήγηση ενός αντιστροφέα  $x4$ ; β) Πόση είναι η οδήγηση μιας πύλης NAND 2 εισόδων με τρεις μονάδες χωρητικότητας εισόδου;
- Σχεδιάστε μια πύλη NAND 4 εισόδων με πλάτη τρανζίστορ επιλεγμένα ώστε να επιτυγχάνονται ίσες αντιστάσεις ανόδου και καθόδου με αυτές ενός μοναδιαίου αντιστροφέα. Αποδείξτε γιατί ο λογικός φόρτος είναι 6/3.
- Δίνονται οι δύο σχεδίασεις μιας πύλης AND 2 εισόδων που παρουσιάζονται στο Σχήμα 4.39. Δώστε ένα διασητικό επιχειρήμα για το ποια είναι ταχύτερη. Υποστηρίξτε το επιχειρήμα σας μ' έναν υπολογισμό του φόρτου μονοπατιού, της καθυστέρησης και των χωρητικότητων εισόδου  $x$  και  $y$  ώστε να επιτευχθεί αυτή η καθυστέρηση.



ΣΧΗΜΑ 4.39 Πύλη AND 2 εισόδων.

- Δίνονται τέσσερις σχεδίασεις μιας πύλης AND 6 εισόδων, όπως παρούσιάζονται στο Σχήμα 4.78. Διατυπώστε μια έκφραση για τον υπολογισμό της καθυστέρησης του κάθε μονοπατιού εάν ο ηλεκτρικός φόρτος μονοπατιού είναι  $H$ . Ποια είναι η ταχύτερη σχεδίαση για  $H = 1$ ; Για  $H = 5$ ; Για  $H = 20$ ; Εξηγήστε διαιρητικά τα συμπεράσματά σας.




ΣΧΗΜΑ 4.40 Πύλη AND 6 εισόδων.

- 4.12 Επαναλάβετε το παράδειγμα σχεδίασης αποκωδικοποιητή της Ενότητας 4.5.3 για ένα 32-λέξης αρχείο καταχωρητών με καταχωρητές των 64 bit. Βρείτε ποια είναι η ταχύτερη σχεδίαση για τον αποκωδικοποιητή και εκτιμήστε την καθυστέρηση του αποκωδικοποιητή και τα πλάτη τρανζίστορ που απαιτούνται για να επιτευχθεί αυτή η καθυστέρηση.
- 4.13 Σχεδιάστε, σε επίπεδο πυλών, ένα κύκλωμα το οποίο θα υλοποιεί την ακόλουθη συνάρτηση:  
 if (a == b) y = a;  
 else y = 0;  
 Έστω ότι τα  $a, b$  και  $y$  είναι 16-bit διαυλοι. Υποθέστε ότι οι χωρητικότητες εισόδου και εξόδου είναι 10 μονάδες έκαστη. Ο στόχος σας είναι να κάνετε το κύκλωμα όσο το δυνατόν ταχύτερο. Υπολογίστε την καθυστέρηση σε καθυστερήσεις αντιστροφής FO4, χρησιμοποιώντας το λογικό φόρτο υπό την υπόθεση ότι θα χρησιμοποιηθούν τα βέλτιστα μεγέθη πύλης. Ποια μεγέθη απαιτούνται για να επιτευχθεί αυτή η καθυστέρηση;
- 4.14 Σχεδιάστε τη γραφική παράσταση της μέσης καθυστέρησης από την εισόδο  $A$  μιας πύλης NAND2 FO3, χρησιμοποιώντας τα δεδομένα του Σχήματος 4.25. Γιατί είναι μεγαλύτερη η καθυστέρηση για τη δύναμη οδήγησης XL από ό,τι για τις υπόλοιπες δυνάμεις οδήγησης;
- 4.15 Το Σχήμα 4.41 παρουσιάζει το φύλλο δεδομένων εγχειριδίου για μια πύλη NOR 2 εισόδων από τη βιβλιοθήκη τυποποιημένων κυττάρων Artisan Components για την τεχνολογία κατασκευής TSMC 180 nm. Βρείτε τη μέση παρασιτική καθυστέρηση και το μέσο λογικό φόρτο για την εισόδο  $A$  της πύλης NOR X1. Χρησιμοποιήστε την τιμή του  $\tau$  από την Ενότητα 4.4.5.

**NOR2**

**Cell Description**  
 The NOR2 cell provides a logic NOR of two inputs (A, B). The output (Y) is represented by the logic equation:  
 $Y = \overline{A \cdot B}$

**Logic Symbol**



**Cell Size**

Drive Strength	Height ( $\mu\text{m}$ )	Width ( $\mu\text{m}$ )
NOR2XL	5.04	1.96
NOR2X1	5.04	1.96
NOR2X2	5.04	2.93
NOR2X4	5.04	4.82

**Functions**

A	B	Y
0	0	1
x	1	0
1	x	0

**AC Power**

Pin	Power (uW/MHz)			
	XL	X1	X2	X4
A	0.0130	0.0143	0.0175	0.0245
B	0.0139	0.0162	0.0265	0.0739

**Pin Capacitance**

Pin	Capacitance (pF)			
	XL	X1	X2	X4
A	0.0033	0.0045	0.0063	0.0089
B	0.0029	0.0040	0.0068	0.0160

**Delays at 25°C, 1.8V, Typical Process**

Description	Intrinsic Delay (ns)			
	XL	X1	X2	X4
A $\rightarrow$ Y1	0.0428	0.0403	0.0347	0.0351
A $\rightarrow$ Y2	0.0213	0.0196	0.0193	0.0187
B $\rightarrow$ Y1	0.0536	0.0510	0.0492	0.0473
B $\rightarrow$ Y2	0.0259	0.0244	0.0241	0.0245

Description	$K_{\text{eff}}$ (ns/pF)			
	XL	X1	X2	X4
A $\rightarrow$ Y1	3.4704	8.7329	2.8556	1.8550
A $\rightarrow$ Y2	3.5015	2.3872	1.2618	0.8330
B $\rightarrow$ Y1	9.4909	6.7279	3.3847	1.8542
B $\rightarrow$ Y2	3.5294	2.3759	1.2713	0.8307

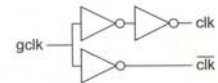
TSMC 0.18um Process SAGE-07 Standard Cell Library Database

ΣΧΗΜΑ 4.41 Φύλλο δεδομένων για την πύλη NOR 2 εισόδων (εγγενής χωρηγία της Artisan Components).

- 4.16 Βρείτε την παρασιτική καθυστέρηση και το λογικό φόρτο της εισόδου  $A$  της πύλης NOR X2 και της πύλης NOR X4, χρησιμοποιώντας το Σχήμα 4.41. Κατά ποιο ποσοστό διαφέρουν από αυτές της πύλης X1; Τι υποδηλώνει αυτό για το μοντέλο μας, το οποίο υποθέτει ότι η παρασιτική καθυστέρηση και ο λογικός φόρτος εξαρτώνται μόνο από τον τύπο της πύλης και όχι από τα μεγέθη των τρανζίστορ;
- 4.17 Πόση είναι η παρασιτική καθυστέρηση και ο λογικός φόρτος της εισόδου  $B$  της πύλης NOR X1 στο Σχήμα 4.41; Πώς και γιατί διαφέρουν από αυτές της εισόδου  $A$ ;
- 4.18 Οι εκτιμήσεις παρασιτικής καθυστέρησης της Ενότητας 4.2.4. έγιναν υποθέτοντας διάχυση με επαφή σε κάθε τρανζίστορ στον κόμβο εξόδου και αγνοώντας την εσωτερική διάχυση. Η παρασιτική καθυστέρηση θα αυξανόταν ή θα μειωνόταν εάν συνυπολογίζατε το γεγονός ότι ορισμένα τρανζίστορ συνδεδεμένα παράλληλα στον κόμβο εξόδου μοιράζονται μία και μόνο επαφή διάχυσης; Εάν συνυπολογίζατε την εσωτερική χωρητικότητα διάχυσης μεταξύ τρανζίστορ συνδεδεμένων εν σειρά; Εάν συνυπολογίζατε τη χωρητικότητα αγωγού μέσα στο κύτταρο;
- 4.19 Σε μια τεχνολογία κατασκευής, τα pMOS τρανζίστορ έχουν τριπλάσια ενεργή αντίσταση από τα nMOS τρανζίστορ. Το Σχήμα 4.42 παρουσιάζει ένα μοναδιαίο αντιστροφέα με ίσες καθυστερήσεις ανόδου και καθόδου  $\tau$  αυτήν την τεχνολογία κατασκευής. Υπολογίστε τους λογικούς φόρτους μιας πύλης NAND 2 εισόδων και μιας πύλης NOR 2 εισόδων, εάν είναι σχεδιασμένες με ίσες καθυστερήσεις ανόδου και καθόδου.
- 4.20 Γενικεύστε την Άσκηση 4.19 για την περίπτωση όπου τα pMOS τρανζίστορ έχουν  $\mu$ -πλάσια ενεργή αντίσταση από τα nMOS τρανζίστορ. Βρείτε μια γενικευμένη έκφραση υπολογισμού του λογικού φόρτου μιας πύλης NAND  $k$  εισόδων. Σχολιάστε τη συγκριτική ελκυστικότητα των πυλών NAND σε σχέση με τις NOR καθώς αυξάνεται το  $\mu$ .
- 4.21 Ορισμένοι σχεδιαστές ορίζουν ως «καθυστέρηση πύλης» αυτήν μιας πύλης NAND δύο εισόδων με FO3, αντ' αυτής του αντιστροφέα FO4. Χρησιμοποιώντας τη μέθοδο του Λογικού Φόρτου, εκτιμήστε την καθυστέρηση μιας πύλης NAND 2 εισόδων με FO3. Εκφράστε το αποτέλεσμα σας σε  $\tau$  και σε καθυστερήσεις αντιστροφέα FO4, υποθέτοντας  $p_{\text{inv}} = 1$ .
- 4.22 Επαναλάβετε την Άσκηση 4.21 για μια τεχνολογία κατασκευής με χαμηλότερο λόγο χωρητικότητας διάχυσης προς χωρητικότητα πύλης, στην οποία  $p_{\text{inv}} = 0.75$ . Κατά ποιο ποσοστό προκαλεί αυτό μεταβολή στην καθυστέρηση της πύλης NAND, μετρούμενη σε καθυστερήσεις αντιστροφέα FO4; Τι συμβαίνει εάν  $p_{\text{inv}} = 1.25$ ;
- 4.23 Ο αθροιστής Naffziger [Naffziger96] των 64 bit έχει καθυστέρηση 930 ps σε μια γρήγορη τεχνολογία κατασκευής 0.5  $\mu\text{m}$  της Hewlett-Packard, με καθυστέρηση αντιστροφέα FO4 ίση περίπου με 140 ps. Υπολογίστε την καθυστέρηση του σε μια τεχνολογία κατασκευής 70 nm με καθυστέρηση αντιστροφέα FO4 ίση με 20 ps.
- 4.24 Ένας ενισχυτής εξόδου περιέχει μια αλυσίδα διαδοχικά μεγαλύτερων αντιστροφέων ώστε να οδηγήσει τη (σχετικά) τεράστια χωρητικότητα εκτός του ολοκληρωμένου κυκλώματος. Εάν ο πρώτος αντιστροφέας της αλυσίδας έχει χωρητικότητα εισόδου 20 fF και το φορτίο εκτός ολοκληρωμένου είναι 10 pF, πόσοι αντιστροφέες πρέπει να χρησιμοποιηθούν για να οδηγηθεί το φορτίο με την ελάχιστη καθυστέρηση; Υπολογίστε την καθυστέρηση, εκφρασμένη σε καθυστερήσεις αντιστροφέα FO4.
- 4.25 Ο απομονωτής ρολογιού του Σχήματος 4.43 μπορεί να παρουσιάζει μέγιστη χωρητικότητα εισόδου 100 fF. Τόσο η αληθής όσο και η συμπληρωματική έξοδος πρέπει να οδηγούν φορτία των 300 fF. Υπολογίστε τη χωρητικότητα εισόδου του κάθε αντιστροφέα ώστε να ελαχιστοποιείται η καθυστέρηση «χειριστηρίων περίπτωσης» από την εισόδο προς οποιαδήποτε έξοδο. Πόση είναι η καθυστέρηση σε  $\tau$ ; Υποθέστε ότι ο αντιστροφέας έχει παρασιτική καθυστέρηση 1.
- 4.26 Ο απομονωτής ρολογιού της Άσκησης 4.25 είναι ένα παράδειγμα «διχάλας 1-2» (1-2 fork). Γενικά, εάν μια διχάλα 1-2 έχει μέγιστη χωρητικότητα εισόδου  $C_1$  και το καθένα από τα δύο σκέλη της οδηγεί ένα φορτίο  $C_2$ , πόση θα πρέπει να είναι η χωρητικότητα του κάθε αντιστροφέα και πόσο γρήγορα θα λειτουργεί το κύκλωμα; Εκφράστε την απάντησή σας σαν συνάρτηση του  $p_{\text{inv}}$ .



ΣΧΗΜΑ 4.42 Μοναδιαίος αντιστροφέας.



ΣΧΗΜΑ 4.43 Απομονωτής ρολογιού.