

9.2.3 Διαδοχική Λογική Διακοπτικής Τάσης

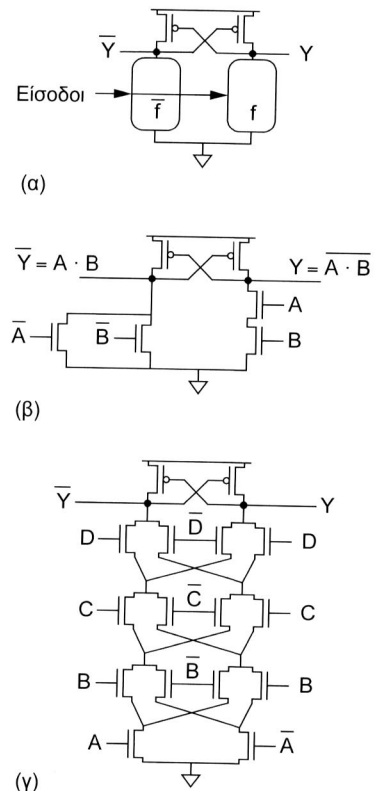
Η Διαδοχική Λογική Διακοπτικής Τάσης (Cascade Voltage Switch Logic, CVSL³) επιχειρεί να σχεδιάσει κυκλώματα ίδιας απόδοσης με τα βασιζόμενα σε λόγο διαστάσεων κυκλώματα, χωρίς την κατανάλωση στατικής ισχύος που αυτά επιδεικνύουν. Χρησιμοποιεί αμφότερα τα σήματα εισόδου, true και συμπληρωματικό, και υπολογίζει αμφότερα τα σήματα εξόδου, true και συμπληρωματικό, χρησιμοποιώντας ένα ζεύγος nMOS δικτύων οδήγησης «κάτω» (βλ. Σχήμα 9.20(α)). Το δίκτυο οδήγησης κάτω, f , υλοποιεί τη λογική συνάρτηση όπως και σε μια στατική πύλη CMOS, ενώ το \bar{f} χρησιμοποιεί ανεστραμμένες εισόδους για την τροφοδότηση των τρανζιστορ που είναι τοποθετημένα στο συμπλήρωμα αγωγής. Για κάθε συνδυασμό εισόδων, ένα από τα δίκτυα οδήγησης «κάτω» θα είναι ON και το άλλο OFF. Το δίκτυο οδήγησης «κάτω» που είναι ON θα οδηγήσει αυτή την έξοδο σε χαμηλή στάθμη, πράγμα το οποίο, με τη σειρά του, ενεργοποιεί (ON) το pMOS τρανζιστορ και οδηγεί σε υψηλή στάθμη την αντίθετη έξοδο. Όταν η αντίθετη έξοδος ανέρχεται, το άλλο pMOS τρανζιστορ μεταβαίνει σε κατάσταση OFF οπότε δεν καταναλώνεται στατική ισχύς. Το Σχήμα 9.20(β) παρουσιάζει μια CVSL πύλη AND/NOR. Παρατηρήστε ότι τα δύο δίκτυα οδήγησης «κάτω» είναι συμπληρωματικά, με παράλληλα τρανζιστορ στο ένα και εν σειρά στο άλλο. Το Σχήμα 9.20(γ) παρουσιάζει μια πύλη XOR 4 εισόδων. Τα δίκτυα οδήγησης «κάτω» μοιράζονται τα τρανζιστορ A και \bar{A} , για τη μείωση του αριθμού των τρανζιστορ κατά δύο. Ο διαμοιρασμός τρανζιστορ είναι εφικτός σε πολύπλοκες συναρτήσεις, και υπάρχουν συστηματικές μέθοδοι για τη σχεδίαση διαμοιραζόμενων δικτύων [Chu86].

Η CVSL έχει ένα δυνητικό πλεονεκτήματα όσον αφορά την ταχύτητα, επειδή όλη η λογική εκτελείται με τα nMOS τρανζιστορ, μειώνοντας τη χωρητικότητα εισόδου. Όμοια με τη λογική ψευδο-nMOS, το μέγεθος του pMOS τρανζιστορ είναι σημαντικό· επειδή "μάχεται" με το δίκτυο οδήγησης «κάτω», ένα μεγάλο pMOS θα καθυστερήσει την καθοδική μετάβαση. Σε αντίθεση με τη λογική ψευδο-nMOS, η ανάδραση τείνει να απενεργοποιεί (OFF) το pMOS τρανζιστορ, οπότε οι εξοδοί τελικά θα σταθεροποιηθούν σε μια έγκυρη λογική στάθμη. Ένα μικρό pMOS τρανζιστορ αργεί να οδηγήσει τη συμπληρωματική έξοδο σε υψηλή στάθμη. Επιπρόσθετα, η CVSL πύλη απαιτεί και την καθοδική και την ανοδική μετάβαση, πράγμα το οποίο επαυξάνει την καθυστέρηση. Επίσης, το ρεύμα διαμάχης κατά τη διάρκεια της μετάβασης αυξάνει την κατανάλωση ισχύος.

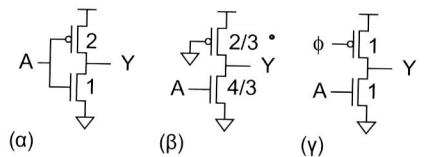
Η λογική ψευδο-nMOS αποδείχτηκε πετυχημένη για τις περισσότερες μεγάλης πλάτους δομές NOR. Δυστυχώς, η CVSL απαιτεί και το σήμα του συμπληρώματος, οδηγώντας σε μια αργή δομή NAND με μεγάλο ύψος. Για το λόγο αυτό, η CVSL δεν είναι κατάλληλη για γενικές δομές λογικής NAND και NOR. Ακόμα και για τις συμμετρικές δομές XOR είναι αρκετά πιο αργή από την στατική λογική CMOS, ενώ απαιτεί επίσης περισσότερη ενέργεια [Chu97, Ng96]. Ωστόσο, το σκεπτικό στο οποίο εδράζεται η λογική CVSL θα μας βοηθήσει να κατανοήσουμε τη λογική διαδοχικής επίδρασης διπλής γραμμής (dual rail domino) και τη συμπληρωματική λογική περάσματος, τις οποίες θα περιγράψουμε σε επόμενες ενότητες.

9.2.4 Δυναμικά Κυκλώματα

Τα βασιζόμενα σε λόγο διαστάσεων κυκλώματα μειώνουν τη χωρητικότητα εισόδου αντικαθιστώντας τα pMOS τρανζιστορ που συνδέονται στις εισόδους μ' ένα απλό ωμικό δίκτυο οδήγησης «πάνω». Στα μειονεκτήματά τους περιλαμβάνονται οι αργές μεταβάσεις ανόδου, οι συνθήκες διαμάχης στις μεταβάσεις καθόδου, η στατική κατανάλωση ισχύος και η μη-μηδενική τάση V_{OL} . Τα δυναμικά κυκλώματα αντιπαραέρχονται αυτά τα μειονεκτήματα χρησιμοποιώντας ένα χρονοσιμένο τρανζιστορ οδήγησης «πάνω» αντί για ένα pMOS που είναι πάντα ON. Το Σχ. 9.21 συγκρίνει στατικούς CMOS (α), ψευδο-nMOS (β) και



ΣΧΗΜΑ 9.20 Πύλες CVSL.

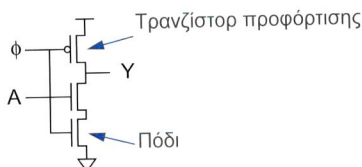


ΣΧΗΜΑ 9.21 Σύγκριση μεταξύ (α) στατικών CMOS, (β) ψευδο-nMOS και (γ) δυναμικών αντιστροφέν.

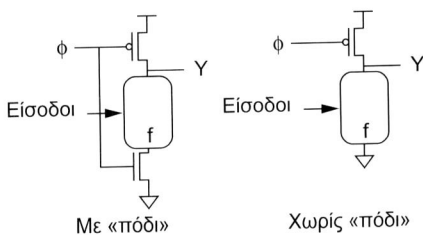
³ Πολλοί συγγραφείς αποκαλούν αυτή την οικογένεια κυκλωμάτων Διαφορικής Διαδοχικής Διακοπτικής Λογικής (Differential Cascode Voltage Switch Logic - DCVSL [Chu86] ή DCVSL [Ng96]). Ο όρος «διαδοχική» (cascode) προέρχεται από τα αναλογικά κυκλώματα, όπου τα τρανζιστορ είναι τοποθετημένα εν σειρά.



ΣΧΗΜΑ 9.22 Προφόρτιση και υπολογισμός δυναμικών πυλών.



ΣΧΗΜΑ 9.23 Δυναμικός αντιστροφέας «με πόδι».



ΣΧΗΜΑ 9.24 Γενικευμένες δυναμικές πύλες με και χωρίς «πόδι».

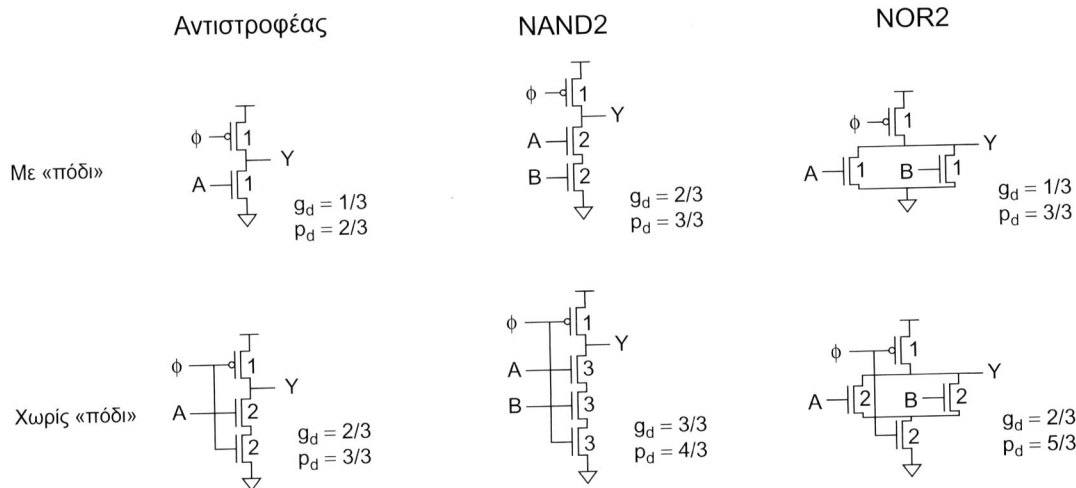
δυναμικούς (γ) αντιστροφείς. Η δυναμική λειτουργία του κυκλώματος χωρίζεται σε δύο φάσεις λειτουργίας, όπως απεικονίζεται στο Σχ. 9.22. Κατά την προφόρτιση (precharge), το ρολόι ϕ είναι 0, οπότε το χρονισμένο pMOS είναι ON και αρχικοποιεί την έξοδο Y σε υψηλή στάθμη. Στη φάση του υπολογισμού (evaluation), το ρολόι είναι 1 και το χρονισμένο pMOS γίνεται OFF. Η έξοδος μπορεί να παραμείνει σε υψηλή στάθμη, ή μπορεί να είναι εκφορτιστεί σε

χαμηλή στάθμη διαμέσου του δικτύου οδήγησης «κάτω». Τα δυναμικά κυκλώματα είναι η ταχύτερη από τις ευρέως χρησιμοποιούμενες οικογένειες κυκλωμάτων, επειδή έχουν χαμηλότερη χωρητικότητα εισόδου και μηδενικό ρεύμα διαμάχης κατά τη διάρκεια της μετάβασης από τη μία κατάσταση στην άλλη. Έχουν επίσης μηδενική κατανάλωση στατικής ισχύος. Ωστόσο, απαιτούν προσεκτικό χρονισμό, έχουν σημαντική κατανάλωση δυναμικής ισχύος και είναι ευαίσθητα στο θόρυβο κατά τη φάση του υπολογισμού. Θα περιγράψουμε λεπτομερώς το χρονισμό των δυναμικών κυκλωμάτων στην Ενότητα 10.5

Στο Σχ. 9.21(γ), εάν η είσοδος A είναι 1 κατά την προφόρτιση θα υπάρξει κατάσταση διαμάχης επειδή τόσο τα pMOS όσο και τα nMOS θα είναι ON. Όταν δεν μπορεί να διασφαλιστεί ότι η είσοδος θα είναι 0 κατά την προφόρτιση, μπορεί να προστεθεί ένα επιπλέον, χρονισμένο τρανζίστορ υπολογισμού (clocked evaluation transistor) στο τέλος του δικτύου nMOS για να αποφευχθεί η διαμάχη, όπως απεικονίζεται στο Σχήμα 9.23. Αυτό το επιπλέον τρανζίστορ αποκαλείται «πόδι» (foot). Το Σχήμα 9.24 παρουσιάζει γενικευμένες πύλες «με πόδι» και «χωρίς πόδι»⁴.

Το Σχήμα 9.25 υπολογίζει το λογικό φόρτο καθοδικής μετάβασης για δυναμικές πύλες «με πόδι» και «χωρίς πόδι». Ως συνήθως, τα πλάτη των τρανζίστορ οδήγησης «κάτω» επιλέγονται με τρόπο ώστε να δώσουν μοναδιαία αντίσταση. Η προφόρ-

τιση λαμβάνει χώρα κατά τη διάρκεια που η πύλη είναι ανενεργή και συχνά γίνεται αρκετά αργά. Έτσι, το τρανζίστορ προφόρτισης επιλέγεται για διπλάσια από τη μοναδιαία αντίσταση. Αυτό μειώνει τη χωρητικότητα φορτίου στο ρολόι και την παρασιτική χωρητικότητα, με αντίτιμο μεγαλύτερες καθυστερήσεις ανόδου. Παρατηρήστε ότι οι λογικοί φόρτοι είναι πολύ χαμηλοί. Οι πύλες «με πόδι» έχουν μεγαλύτερο λογικό φόρτο από τις αντίστοιχες «χωρίς πόδι», αλλά και πάλι αποτελούν βελτίωση έναντι της στατικής λογικής. Πρακτικά, ο λογικός φόρτος των πυλών «με πόδι» είναι καλύτερος από τον εκτιμώμενο, επειδή ο κορεσμός ταχύτητας σημαίνει ότι τα εν σειρά nMOS τρανζίστορ έχουν μικρότερη αντίσταση από αυτή που υπολογίσαμε. Επιπλέον, οι λογικοί φόρτοι είναι ελαφρώς καλύτεροι από τους προβλεπόμενους, επειδή

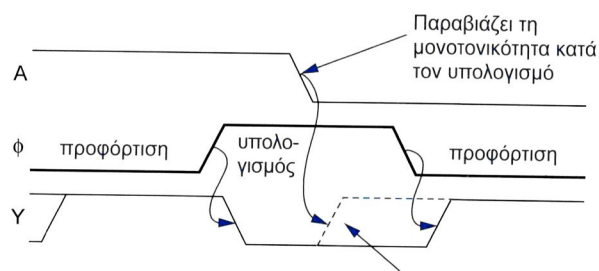


ΣΧΗΜΑ 9.25 Παρουσίαση δυναμικών πυλών.

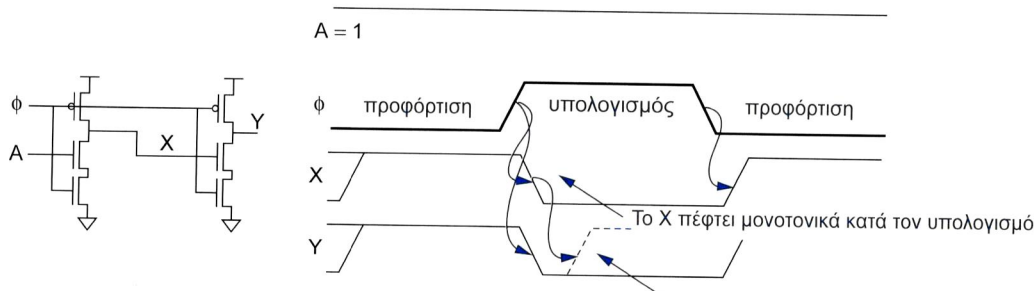
⁴ Η ορολογία «με πόδι/χωρίς πόδι» (footed/unfooted) χρησιμοποιείται από την IBM [Nowka98]. Η Intel αποκαλεί αυτά τα σιτλ D1 και D2, αντίστοιχα.

δεν υπάρχει διαμάχη μεταξύ των nMOS και pMOS τρανζίστορ κατά τη μετάβαση της εισόδου. Το μέγεθος του «ποδιού» μπορεί να αυξηθεί σε σχέση με τα άλλα nMOS τρανζίστορ, για τη μείωση του λογικού φόρτου των άλλων εισόδων με αντίτιμο το μεγαλύτερο φορτίο στο ρολόι. Όμοια με τις πύλες ψευδο-nMOS, οι δυναμικές πύλες είναι ιδιαίτερα κατάλληλες για υλοποίηση συναρτήσεων NOR μεγάλου εύρους και πολυπλεκτών, επειδή ο λογικός φόρτος είναι ανεξάρτητος του αριθμού των εισόδων. Φυσικά, η παρασιτική καθυστέρηση αυξάνεται με τον αριθμό των εισόδων, επειδή υπάρχει περισσότερη χωρητικότητα διάχυσης στον κόμβο εξόδου. Ο χαρακτηρισμός του λογικού φόρτου και της παρασιτικής χωρητικότητας είναι πολύπλοκη διαδικασία, επειδή συνήθως η έξοδος κατέρχεται ταχύτερα απ' ό,τι ανέρχεται η είσοδος, γεγονός το οποίο οδηγεί σε ενδεχομένως παραπλανητική εξάρτηση της καθυστέρησης διάδοσης από το βαθμό οδήγησης εξόδου [Sutherland99].

Μια θεμελιώδης δυσκολία που αντιμετωπίζουν τα δυναμικά κυκλώματα είναι η απαίτηση για μονοτονικότητα. Κατά τη διάρκεια που η δυναμική πύλη είναι στη φάση υπολογισμού, οι έξοδοι θα πρέπει να είναι μονοτονικά αύξουσες. Αυτό σημαίνει ότι η είσοδος μπορεί αρχικά να είναι χαμηλή και να παραμείνει χαμηλή, να είναι χαμηλή και να γίνει υψηλή, να είναι υψηλή και να παραμείνει υψηλή, αλλά όχι να είναι υψηλή και να κατέλθει σε χαμηλή λογική στάθμη. Το Σχήμα 9.26 παρουσιάζει κυματομορφές για ένα δυναμικό αντιστροφέα «με πόδι», στον οποίο η είσοδος παραβιάζει την απαίτηση της μονοτονικότητας. Κατά τη φάση της προφόρτισης η έξοδος οδηγείται σε υψηλή στάθμη. Όταν ανέρχεται το ρολόι η είσοδος είναι υψηλή, οπότε η έξοδος εκφορτίζεται σε χαμηλή στάθμη διαμέσου του δικτύου οδήγησης «κάτω», όπως θα περιμέναμε από έναν αντιστροφέα. Λίγο αργότερα η είσοδος γίνεται χαμηλή, απενεργοποιώντας το δίκτυο οδήγησης «κάτω». Ωστόσο, επειδή το τρανζίστορ προφόρτισης είναι επίσης OFF, η έξοδος "αιωρείται", παραμένοντας στη χαμηλή στάθμη, αντί να ανέλθει, όπως θα συνέβαινε σ' έναν κανονικό αντιστροφέα. Η έξοδος θα παραμείνει χαμηλή έως το επόμενο βήμα προφόρτισης. Συνοψίζοντας, οι εισοδοί πρέπει να ανέρχονται μονοτονικά ώστε η δυναμική πύλη να υπολογίζει τη σωστή συνάρτηση.



Η έξοδος θα έπρεπε να ανεβεί σε υψηλή στάθμη αλλά δεν το κάνει
ΣΧΗΜΑ 9.26 Το πρόβλημα της μονοτονικότητας.

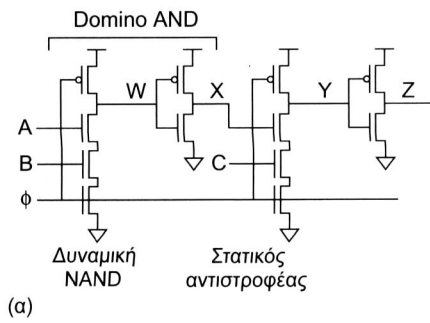


Το Y θα έπρεπε να μεταβεί σε υψηλή στάθμη αλλά δεν μπορεί να το κάνει

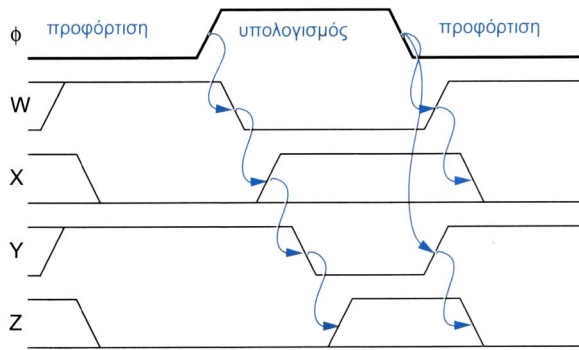
ΣΧΗΜΑ 9.27 Λανθασμένη σύνδεση δυναμικών πυλών.

Δυστυχώς, η έξοδος μιας δυναμικής πύλης ξεκινά σε υψηλή στάθμη (HIGH) και κατέρχεται μονοτονικά σε χαμηλή (LOW) κατά τη φάση υπολογισμού. Αυτή η μονοτονικά καθοδική έξοδος X δεν είναι κατάλληλη για χρήση ως είσοδος σε μια δεύτερη δυναμική πύλη, η οποία αναμένει μονοτονικά ανοδικά σήματα, όπως βλέπετε στο Σχήμα 9.27. Οι δυναμικές πύλες που μοιράζονται το ίδιο ρολόι δεν μπορούν να συνδεθούν άμεσα. Συχνά, το πρόβλημα αυτό λύνεται με χρήση της λογικής διαδοχικής επίδρασης, ευρέως γνωστής ως domino, την οποία θα περιγράψουμε στην επόμενη ενότητα.

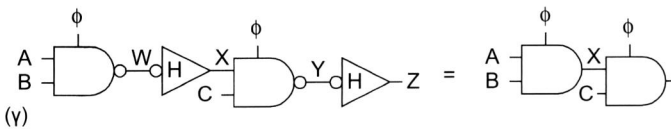
9.2.4.1 Λογική Διαδοχικής Επίδρασης (Domino Logic) Το πρόβλημα της μονοτονικότητας μπορεί να λυθεί με την τοποθέτηση ενός στατικού αντιστροφέα CMOS ανάμεσα στις δυναμικές πύλες, όπως απεικονίζεται στο Σχήμα 9.28(α). Αυτός μετατρέπει τη μονοτονικά καθοδική έξοδο σε μονοτονικά ανοδικό σήμα, το οποίο είναι κατάλληλο για είσοδος στην επόμενη πύλη, όπως απεικονίζεται στο Σχήμα 9.28(β). Αυτή η διάταξη με το δυναμικό-στατικό ζεύγος αποκαλείται «λογική διαδοχικής επίδρασης», ή επί το γνωστότερον domino [Krambeck82], επειδή η προφόρτιση μοιάζει με το στήσιμο μιας αλυσίδας πλακιδίων στο παιχνίδι domino, ενώ η φάση του υπολογισμού προκαλεί την ενεργοποίηση των πυλών, περίπου όπως η πτώση κάθε ντόμινο προκαλεί την πτώση του επόμενου



(α)



(β)



(γ)

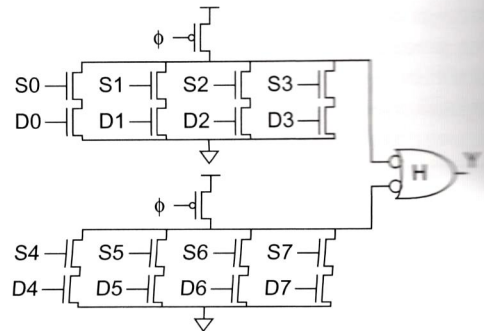
ΣΧΗΜΑ 9.28 Πύλες domino (διαδοχικής επίδρασης).

δύο δυναμικούς πολυπλέκτες 4 εισόδων και μια πύλη NAND Y-απόκλισης. Αυτό το κύκλωμα είναι συνήθως ταχύτερο από ένα δυναμικό πολυπλέκτη 8 εισόδων κι έναν αντιστροφέα Y-απόκλισης, επειδή το δυναμικό στάδιο έχει λιγότερη χωρητικότητα διάχυσης και παρασιτική καθυστέρηση.

Οι πύλες domino είναι εκ φύσεως μη-αντιστρεπτές, ενώ ορισμένες συναρτήσεις, όπως οι XOR απαιτούν αντιστροφή. Τρεις τεχνικές επίλυσης αυτού του προβλήματος είναι η χρήση αντιστροφών σε στατική λογική, η καθυστέρηση των ρολογιών και η χρήση λογικής διαδοχικής επίδρασης διπλής γραμμής (dual-rail domino). Σε πολλά κυκλώματα, όπως οι αριθμητικές λογικές μονάδες (Arithmetic Logic Unit, ALU), η αναγκαία πύλη XOR στο τέλος του μονοπατιού μπορεί να δημιουργηθεί με μια συμβατική πύλη XOR στατικής CMOS λογικής, η οποία οδηγείται από το τελευταίο κύκλωμα domino. Ωστόσο, η έξοδος XOR δεν ανέρχεται πλέον μονοτονικά και άρα δεν μπορεί να οδηγήσει απευθείας επιπλέον κυκλώματα domino. Μια δεύτερη προσέγγιση είναι η απευθείας διαδοχική σύνδεση δυναμικών πυλών χωρίς στατικό CMOS αντιστροφέα και η καθυστέρηση του ρολογιού στις τελευταίες πύλες ώστε να διασφαλίζεται η μονοτονικότητα των εισόδων κατά τη φάση του υπολογισμού. Αυτό γίνεται συνήθως σε διευθυνσιοδοτούμενες από το περιεχόμενο μνήμες (Content-addressable memories, CAM) και διατάξεις PLA τύπου NOR-NOR, τις οποίες θα εξετάσουμε στις Ενότητες 10.5.4 και 12.7. Η τρίτη προσέγγιση, λογική διαδοχικής επίδρασης (domino) διπλής γραμμής, θα εξεταστεί στην ενότητα που ακολουθεί.



9.2.4.2 Λογική διαδοχικής επίδρασης, διπλής γραμμής Οι πύλες με λογική διαδοχικής επίδρασης, διπλής γραμμής (dual-rail domino) κωδικοποιούν κάθε σήμα μ' ένα ζεύγος αγωγών. Τα ζεύγη σημάτων εισόδου και εξόδου συμβολίζονται ως $_h$ και $_l$, αντίστοιχα. Ο Πίνακας 9.2 συνοψίζει το σχήμα κωδικοποίησης. Η γραμμή $_h$ υποδεικνύει ότι η έξοδος της πύλης είναι σε υψηλή στάθμη, 1. Η γραμμή $_l$ υποδεικνύει ότι η έξοδος της πύλης είναι σε χαμηλή στάθμη, 0. Όταν η πύλη προφορτίζεται, δεν χρησιμοποιείται κανένα από τα δύο σήματα. Το ζεύγος των γραμμών δεν πρέπει ποτέ να ενεργοποιείται ταυτόχρονα κατά τη διάρκεια της σωστής λειτουργίας.



ΣΧΗΜΑ 9.29 Πύλες domino που χρησιμοποιούν στάδια στατικής λογικής CMOS.

στην αλυσίδα. Ένα και μόνο ρολόι μπορεί να χρησιμοποιείται για την προφόρτιση και τον υπολογισμό όλων των λογικών πυλών της αλυσίδας. Επειδή η δυναμική έξοδος κατέρχεται μονοτονικά κατά τη διάρκεια του υπολογισμού, ο στατικός αντιστροφέας ανέρχεται μονοτονικά. Συνεπώς, ο στατικός αντιστροφέας είναι συνήθως μια πύλη Y-απόκλισης, ώστε να ευνοεί αυτή την ανοδική έξοδο. Παρατηρήστε ότι η προφόρτιση συμβαίνει παράλληλα, ενώ η φάση υπολογισμού ακολουθιακά. Αυτό εξηγεί γιατί η προφόρτιση είναι συνήθως λιγότερο κρίσιμη. Το Σχήμα 9.28(γ) παρουσιάζει τα σύμβολα για τη δυναμική πύλη NAND, τον αντιστροφέα Y-απόκλισης και την domino πύλη AND.

Γενικά, στη θέση του αντιστροφέα μπορούν να χρησιμοποιούνται πολυπλοκότερες αντιστρεπτές πύλες στατικής CMOS λογικής, όπως π.χ. NAND ή NOR [Sutherland99]. Μια τέτοια ανάμειξη δυναμικής και στατικής λογικής αποκαλείται *σύνθετη λογική domino*. Το Σχήμα 9.29 παρουσιάζει έναν domino πολυπλέκτη 8 εισόδων, δημιουργημένο με

ΠΙΝΑΚΑΣ 9.2 Κωδικοποιήσεις σημάτων σε λογική domino διπλής γραμμής

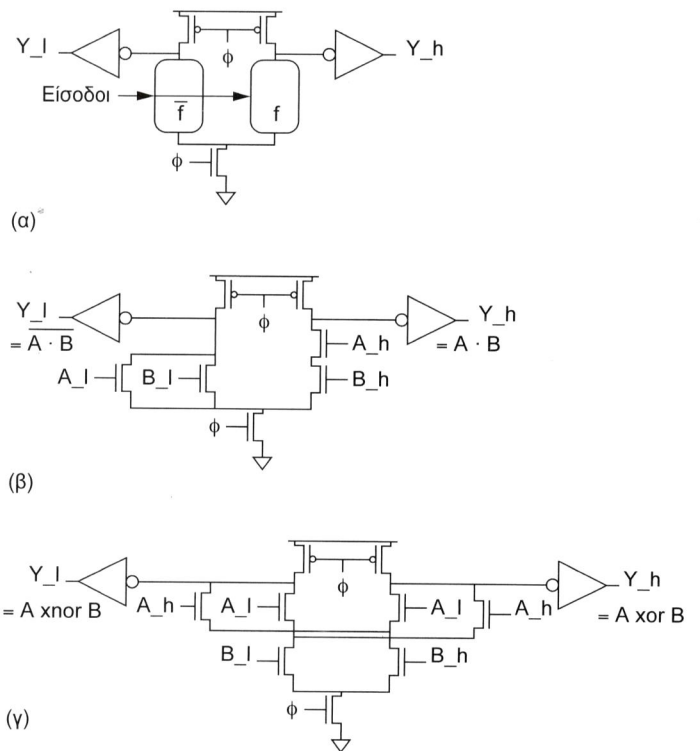
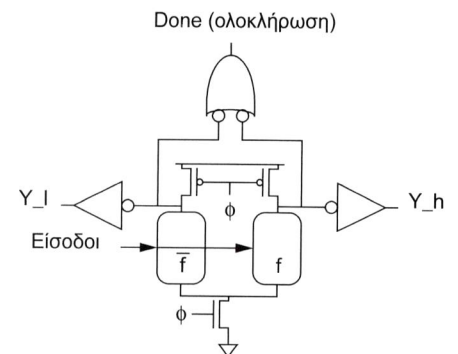
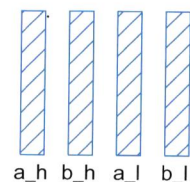
<i>sig_h</i>	<i>sig_l</i>	Σημασία
0	0	Προφόρτιση
0	1	'0'
1	0	'1'
1	1	Άκυρο

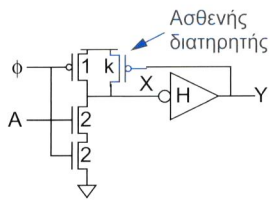
Οι πύλες domino διπλής γραμμής δέχονται αμφότερα τα σήματα εισόδου (true και συμπληρωματικό) και υπολογίζουν τα αντίστοιχα σήματα εξόδου (βλ. Σχ. 9.30(α)). Παρατηρήστε ότι αυτό είναι πανομοιότυπο με τα στατικά κυκλώματα CVSL του Σχ. 9.20, με μόνη εξαίρεση το γεγονός ότι τα διασταυρωμένα pMOS τρανζίστορ συνδέονται στο ρολόι προφόρτισης. Συνεπώς, η λογική domino διπλής γραμμής μπορεί να θεωρηθεί μια δυναμική μορφή της CVSL, γι' αυτό και αποκαλείται επίσης DCVS [Heller84]. Τα Σχήματα 9.30(β, γ) παρουσιάζουν υλοποιήσεις domino διπλής γραμμής για μία AND/NAND και μία XOR/XNOR, αντίστοιχα. Οι πύλες περιλαμβάνουν χρονισμένα τρανζίστορ υπολογισμού, αλλά μπορούν επίσης να είναι «χωρίς πόδι». Η λογική domino διπλής γραμμής είναι μια πλήρης λογική οικογένεια, υπό την έννοια ότι μπορεί να χρησιμοποιηθεί για τον υπολογισμό όλων των λογικών συναρτήσεων, με αντιστροφή ή χωρίς. Ωστόσο, απαιτεί περισσότερη επιφάνεια, περισσότερη διασύνδεση και περισσότερη ισχύ. Επιπλέον, οι δομές domino διπλής γραμμής δεν διαθέτουν την αποτελεσματικότητα των μεγάλου πλάτους δυναμικών πυλών NOR, επειδή απαιτούν σωρούς δυναμικών NAND που εκτείνονται σε μεγάλο ύψος.

Τα σήματα σε μια δομή domino διπλής γραμμής υποδεικνύουν όχι μόνο το αποτέλεσμα του υπολογισμού, αλλά και τη στιγμή ολοκλήρωσής του. Πριν ολοκληρωθεί ο υπολογισμός, αμφότερες οι γραμμές είναι προφορτισμένες. Όταν ολοκληρωθεί ο υπολογισμός, η μία γραμμή δίνει το αποτέλεσμα. Μια πύλη NAND μπορεί να χρησιμοποιηθεί για την ανίχνευση της ολοκλήρωσης, όπως απεικονίζεται στο Σχήμα 9.31. Αυτό είναι ιδιαίτερα χρήσιμο για τα ασύγχρονα κυκλώματα [Williams91, Sparso01].

Ο θόρυβος ζεύξης στους διαύλους σημάτων μιας δομής διπλής γραμμής μπορεί να μειωθεί με τη συναρμογή (interdigitate) των δυαδικών ψηφίων του διαύλου, όπως απεικονίζεται στο Σχήμα 9.32. Κάθε αγωγός δεν πρόκειται να βλέπει ποτέ περισσότερους από έναν "επιτιθέμενους" να μεταγάγουν ανά πάσα στιγμή, επειδή μόνο μία από τις δύο γραμμές αλλάζει κατάσταση σε κάθε κύκλο.

9.2.4.3 Διατηρητές (Keepers) Τα δυναμικά κυκλώματα υποφέρουν επίσης από τη διαρροή φορτίου στο δυναμικό κόμβο. Εάν ένας δυναμικός κόμβος προφορτιστεί σε υψηλή στάθμη και στη συνέχεια μεταβεί σε κατάσταση αιώρησης, η τάση στο δυναμικό κόμβο θα διορθωθεί με την πάροδο του χρόνου, λόγω διαρροών: υποκατωφλίου, πύλης και επαφής. Οι σταθερές χρόνου κυμαίνονται από χιλιοστά του δευτερολέπτου έως νανοδευτερόλεπτα, ανάλογα με την τεχνολογία κατασκευής και τη θερμοκρασία. Πρόκειται για ένα πρόβλημα ανάλογο με τη διαρροή σε δυναμικές μνήμες RAM. Επιπλέον, τα δυναμικά κυκλώματα έχουν φτωχά περιθώρια θορύβου εισόδου. Εάν η εισόδος αυξηθεί πάνω από V_i κατά τη διάρκεια που η πύλη είναι στη φάση υπολογισμού, τα τρανζίστορ της εισόδου θα

**ΣΧΗΜΑ 9.30** Πύλες domino διπλής γραμμής.**ΣΧΗΜΑ 9.31** Πύλη domino διπλής γραμμής με ανίχνευση ολοκλήρωσης.**ΣΧΗΜΑ 9.32** Μείωση του θορύβου ζεύξης σε διαύλους διπλής γραμμής.



ΣΧΗΜΑ 9.33
Συμβατικός
διατηρητής.

ενεργοποιηθούν ασθενώς και μπορεί να εκφορτίσουν την έξοδο. Τα προβλήματα που έχουν να κάνουν με τις διαρροές και τα περιθώρια θορύβου αντιμετωπίζονται με την προσθήκη ενός κυκλώματος που αποκαλείται *διατηρητής* (keeper). Το Σχ. 9.33 παρουσιάζει έναν τυπικό κύκλωμα διατηρητή σ' έναν απομονωτή domino. Ο διατηρητής είναι ένα ασθενές τρανζιστορ, το οποίο διατηρεί (στατικοποιεί) την έξοδο στη σωστή λογική στάθμη, σε περιπτώσεις που διαφορετικά θα αιωρούνταν. Όταν ο δυναμικός κόμβος X είναι σε υψηλή στάθμη, η έξοδος Y είναι σε χαμηλή και το κύκλωμα του διατηρητή είναι ON ώστε να αποτρέψει την αιώρηση του X . Όταν ο κόμβος X κατέρχεται, ο διατηρητής αρχικά

αντιτίθεται στη μετάβαση και άρα θα πρέπει να είναι ασθενέστερος από το δίκτυο οδήγησης «κάτω». Τελικά, ο κόμβος Y ανέρχεται, απενεργοποιώντας (OFF) το διατηρητή και αποφεύγοντας την κατανάλωση στατικής ισχύος.

Ο διατηρητής πρέπει να είναι επαρκώς ισχυρός (δηλαδή, να έχει επαρκές πλάτος) ώστε να μπορεί να αντισταθμίσει το οποιοδήποτε ρεύμα διαρροής πιθανόν να υπέρξει όταν η έξοδος αιωρείται και το δίκτυο οδήγησης «κάτω» είναι OFF. Οι ισχυροί διατηρητές βελτιώνουν επίσης τα περιθώρια θορύβου, επειδή όταν οι εισδοί είναι ελαφρώς πάνω από την V_{tr} , ο διατηρητής μπορεί να παρέχει αρκετό ρεύμα για να διατηρηθεί η έξοδος σε υψηλή στάθμη. Το Σχήμα 5.29 παρουσιάζει τις χαρακτηριστικές μεταφοράς DC ενός δυναμικού αντιστροφέα. Καθώς αυξάνεται το πλάτος k του διατηρητή, το σημείο μεταγωγής μετατοπίζεται προς τα δεξιά. Ωστόσο, οι διατηρητές μεγάλου πλάτους αυξάνουν επίσης τη καθυστέρηση, τυπικά κατά 5% έως 10%. Για παράδειγμα, για τον επεξεργαστή Itanium Montecito (90 nm) επιλέχθηκε κύκλωμα διατηρητή pMOS με πλάτος 6% επί του συνδυασμένου πλάτους των τρανζιστορ οδήγησης κάτω που εμφανίζουν διαρροή [Naffziger06]. Συνεπώς, μια NOR 8 εισόδων με τρανζιστορ πλάτους 1 μm θα χρειαζόταν διατηρητή με πλάτος 0.48 μm . Οι πιο προηγμένες τεχνολογίες κατασκευής έχουν συνήθως μεγαλύτερους λόγους I_{off}/I_{on} και περισσότερη μεταβλητότητα (διακυμάνσεις), πράγμα το οποίο σημαίνει ότι οι διατηρητές πρέπει να είναι ακόμα πιο ισχυροί.

Για μικρές δυναμικές πύλες, ο διατηρητής πρέπει να είναι ασθενέστερος από ένα τρανζιστορ ελάχιστου

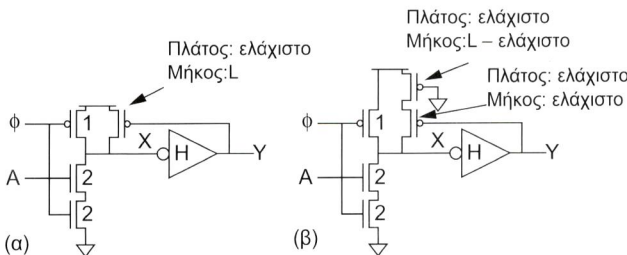
μεγέθους. Αυτό επιτυγχάνεται με την αύξηση του μήκους του διατηρητή, όπως απεικονίζεται στο Σχήμα 9.34(α). Τα μεγάλα μήκη τρανζιστορ του διατηρητή αυξάνουν το χωρητικό φορτίο στην έξοδο Y . Αυτό μπορεί να αποφευχθεί με το διαχωρισμό του διατηρητή, όπως απεικονίζεται στο Σχήμα 9.34(β).

Το Σχήμα 9.35 παρουσιάζει το κύκλωμα ενός διαφορικού διατηρητή (*differential keeper*) για έναν απομονωτή σε υλοποίηση domino διπλής γραμμής. Όταν η πύλη προφορτίζεται, αμφότερα τα τρανζιστορ του διατηρητή είναι OFF και οι δυναμικές έξοδοι αιωρούνται. Ωστόσο, αμέσως μόλις μία από τις γραμμές μεταβεί σε χαμηλή στάθμη, ενεργοποιείται (ON) ο αντίθετος διατηρητής. Ο

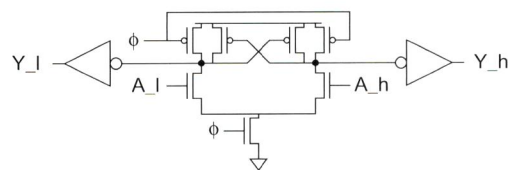
διαφορικός διατηρητής είναι γρήγορος, επειδή δεν μάχεται με τη γραμμή που μεταβαίνει σε χαμηλή στάθμη. Εφόσον είναι εγγυημένο ότι μία από τις γραμμές θα αλλάξει τιμή σε σύντομο διάστημα, ο διατηρητής της άλλης γραμμής θα ενεργοποιηθεί πριν υπάρξει υπερβολικό ρεύμα διαρροής ή υπερβολικός θόρυβος που θα οδηγήσει σε αποτυχία του κυκλώματος. Φυσικά, η λογική domino διπλής γραμμής μπορεί να χρησιμοποιεί ένα ζεύγος συμβατικών διατηρητών.

Στην κατάσταση «καυτής λειτουργίας» (burn-in), το ολοκληρωμένο λειτουργεί σε μειωμένη συχνότητα αλλά σε πολύ υψηλή θερμοκρασία και τάση. Αυτό προκαλεί μεγάλη διαρροή, η οποία μπορεί να υπερβίσει του διατηρητή σε δυναμικές πύλες NOR μεγάλου πλάτους, στις οποίες υπάρχουν πολλά διαρρέοντα nMOS τρανζιστορ εν παραλλήλω. Το Σχήμα 9.38 παρουσιάζει μια πύλη domino μ' έναν διατηρητή «καυτής λειτουργίας» υπό συνθήκη (burn-in conditional keeper, [Advandrou02]). Το σήμα BI λαμβάνεται κατά την «καυτή λειτουργία» και ενεργοποιεί ένα δεύτερο διατηρητή, παράλληλα συνδεδεμένο με τον πρώτο διατηρητή. Ο δεύτερος διατηρητής καθυστερεί την πύλη κατά την «καυτή λειτουργία», αλλά παρέχει επιπλέον ρεύμα για να καταπολεμήσει τη διαρροή.

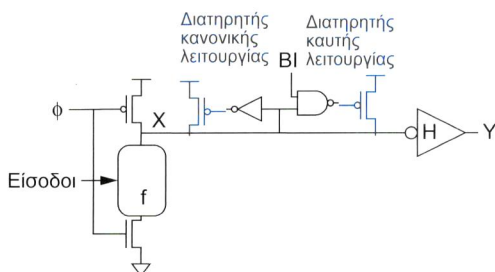
Ο θόρυβος στην έξοδο του αντιστροφέα (π.χ., λόγω συνακρόασης [crosstalk]) μπορεί να μειώσει την αποτελεσματικότητα του διατηρητή. Στις νανομετρικές τεχνολογίες κατασκευής, σε χαμηλή τάση όπου η διαρροή είναι



ΣΧΗΜΑ 9.34 Υλοποιήσεις ασθενούς διατηρητή.



ΣΧΗΜΑ 9.35 Διαφορικός διατηρητής.

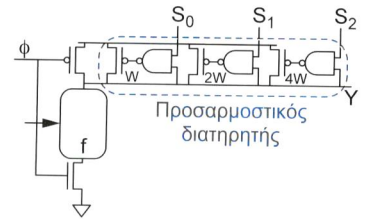


ΣΧΗΜΑ 9.36 Διατηρητής υπό συνθήκη «καυτής λειτουργίας».

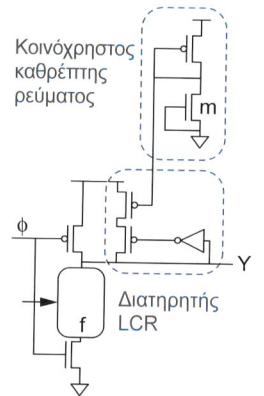
υψηλή, αυτό το φαινόμενο μπορεί να αυξήσει σημαντικά το απαιτούμενο πλάτος για το κύκλωμα του διατηρητή. Στο Σχ. 9.36, παρατηρήστε ότι η πύλη domino χρησιμοποιεί έναν ξεχωριστό αντιστροφέα για ανάδραση, ο οποίος δεν υπόκειται στο θόρυβο συνακρόασης επειδή παραμένει μέσα στο κύτταρο. Αυτή η τεχνική χρησιμοποιείται από την Intel, ακόμα και σε περιπτώσεις όπου δεν χρησιμοποιούνται διατηρητές «καυτής λειτουργίας».

Όμοια με τα βασιζόμενα σε λόγο διαστάσεων κυκλώματα, οι διατηρητές domino επηρεάζονται από τις διακυμάνσεις που μπορεί να εισάγει η κατασκευαστική διαδικασία [Brusamarello08]. Ο διατηρητής πρέπει να έχει επαρκές πλάτος ώστε να διατηρεί την έξοδο στη γωνία FS. Έχει τη μέγιστη επίδραση στην καθυστέρηση στη γωνία SF. Επιπλέον, ο διατηρητής πρέπει να έχει μέγεθος κατάλληλο για την αντιμετώπιση τυπικών αποκλίσεων περίπου 5σ ενδοψηφιδικής διακύμανσης για να έχει αμελητέα επίδραση στην απόδοση παραγωγής (yield), όταν το ολοκληρωμένο περιλαμβάνει πολλές πύλες domino. Ακόμα πιο προηγμένοι διατηρητές μπορούν να χρησιμοποιούνται για την αντιστάθμιση συστηματικών διακυμάνσεων. Ο προσαρμοστικός διατηρητής (adaptive keeper) του Σχήματος 9.37 έχει ψηφιακά διαμορφώσιμη ισχύ [Kim03]. Ο διατηρητής με αντίγραφο ρεύματος διαρροής (leakage current replica, LCR) του Σχ. 9.38 χρησιμοποιεί έναν καθρέπτη ρεύματος, έτσι ώστε το ρεύμα του διατηρητή να παρακολουθεί το ρεύμα διαρροής με τρόπο παρόμοιο με την «αντιγραφή πόλωσης» στις πύλες ψευδο-nMOS [Lih07]. Το πλάτος του nMOS τρανζιστορ στον καθρέπτη ρεύματος επιλέγεται ώστε να ταιριάζει με το πλάτος των διαρρεόντων στοιχείων. Επιπλέον περιθώριο είναι αναγκαίο για την αντιστάθμιση του θορύβου και άλλων τυχαίων διακυμάνσεων.

Τα κυκλώματα domino με καθυστερημένα ρολόγια μπορούν να χρησιμοποιούν κυκλώματα πλήρων διατηρητών, αποτελούμενα από διασταυρούμενους αντιστροφείς, για τη διατήρηση της εξόδου είτε σε υψηλή στάθμη είτε σε χαμηλή, όπως θα δούμε στην Ενότητα 10.5.



ΣΧΗΜΑ 9.37 Προσαρμοστικός διατηρητής.



ΣΧΗΜΑ 9.38 Διατηρητής με αντίγραφο ρεύματος διαρροής.



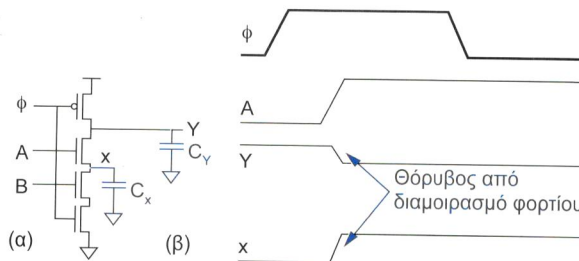
9.2.4.4 Στοιχεία δευτερεύουσας προφόρτισης Οι δυναμικές πύλες υποφέρουν από προβλήματα που σχετίζονται με το διαμοιρασμό φορτίου (charge sharing, [Oklobdzija86]).

Ας πάρουμε σαν παράδειγμα τη δυναμική πύλη NAND 2 εισόδων του Σχήματος 9.39(α). Υποθέστε ότι η έξοδος Y προφορτίζεται στη στάθμη V_{DD} και οι εισόδοι A και B είναι σε χαμηλή στάθμη. Ας υποθέσουμε επίσης ότι ο ενδιαμέσος κόμβος x έχει χαμηλή τιμή από έναν προηγούμενο κύκλο. Κατά τη φάση του υπολογισμού, η είσοδος A ανέρχεται, αλλά η είσοδος B παραμένει χαμηλή, οπότε η έξοδος Y θα πρέπει να παραμείνει σε υψηλή στάθμη. Ωστόσο, το φορτίο διαμοιράζεται μεταξύ των κόμβων C_x και Y, όπως απεικονίζεται στο Σχήμα 9.39(β). Αυτό συμπεριφέρεται ως ένας χωρητικός διαιρέτης τάσης και οι τάσεις ισοσταθμίζονται σε

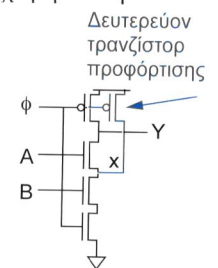
$$V_x = V_Y = \frac{C_Y}{C_x + C_Y} V_{DD} \tag{9.3}$$

Ο διαμοιρασμός φορτίου καθίσταται σοβαρό πρόβλημα όταν η έξοδος φέρει μικρό φορτίο (μικρή C_Y) και η εσωτερική χωρητικότητα είναι μεγάλη. Για παράδειγμα, οι δυναμικές πύλες NAND 4 εισόδων και οι σύνθετες πύλες AOI μπορούν να διαμοιράζουν φορτίο μεταξύ πολλαπλών κόμβων. Εάν ο θόρυβος διαμοιρασμού φορτίου είναι μικρός, ο διατηρητής τελικά θα αποκαταστήσει τη δυναμική έξοδο σε V_{DD} . Ωστόσο, εάν ο θόρυβος διαμοιρασμού φορτίου είναι μεγάλος, η έξοδος μπορεί να μην σταθεροποιηθεί οπότε θα απενεργοποιηθεί το κύκλωμα του διατηρητή, οδηγώντας σε ανακριβή αποτελέσματα.

Ο διαμοιρασμός φορτίου μπορεί να αντιμετωπιστεί με την προφόρτιση ορισμένων ή όλων των εσωτερικών κόμβων, χρησιμοποιώντας δευτερεύοντα τρανζιστορ προφόρτισης, όπως απεικονίζεται στο Σχήμα 9.40. Αυτά τα τρανζιστορ πρέπει να είναι μικρά, επειδή πρέπει να φορτίζουν μόνο τις μικρές εσωτερικές χωρητικότητες και η χωρητικότητα διάχυσής τους καθυστερεί τη φάση υπολογισμού. Συχνά, αρκεί να προφορτίζεται κάθε δεύτερος κόμβος σ' ένα κύκλωμα. Οι δυναμικές πύλες τεχνολογίας SOI είναι λιγότερο ευάλωτες στο διαμοιρασμό φορτίου, επειδή η χωρητικότητα διάχυσης των εσωτερικών κόμβων είναι μικρότερη. Εάν ο διαμοιρασμός φορτίου είναι αποδεκτός σε κάποιο βαθμό, μια πύλη μπορεί να γίνει ταχύτερη μέσω της προ-εκφόρτισης ορισμένων εσωτερικών κόμβων [Ye00].

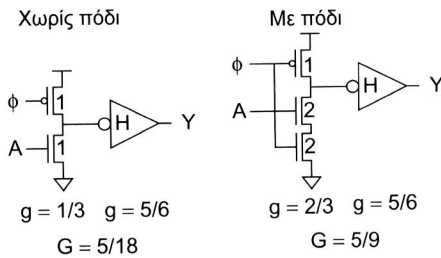


ΣΧΗΜΑ 9.39 Θόρυβος από διαμοιρασμό φορτίου



ΣΧΗΜΑ 9.40 Δευτερεύον τρανζιστορ προφόρτισης.

Συνομιζοντας, η λογική domino είχε αρχικά προταθεί ως μια τεχνική σχεδίασης γρήγορων και απλο- γών κυκλωμάτων. Στην πράξη, όμως, η λογική domino προτιμάται για την ταχύτητά της. Ωστόσο, από τη στιγμή που προστίθενται κυκλώματα διατηρητών, πύλες με «πόδι» και δευτερεύοντα στοιχεία προφύλαξης για να προκύψει ένα σταθερό κύκλωμα, η λογική domino σπανίως είναι πιο συμπαγής από τα στατικά κυκλώματα CMOS, ενώ απαιτεί υπερβολική σχεδιαστική προσπάθεια για να διασφαλίσει τη σταθερότητα των κυκλωμάτων. Όταν μάλιστα απαιτείται λογική domino διπλής γραμμής, η κατανάλωση επιφάνειας είναι σίγουρα μεγαλύτερη από αυτή των στατικών κυκλωμάτων CMOS.



ΣΧΗΜΑ 9.41 Λογικός φόρτος των απομονωτών domino.

9.2.4.5 Λογικός Φόρτος Δυναμικών Μονοπατιών Στην Ενότητα 4.5.2 υπολογίσαμε το βέλτιστο φόρτο στα- διου με την τεχνική της προσάρτησης υποθετικών στατικών αντιστροφών CMOS στο τέλος του μονοπα- τριού. Εκεί βρήκαμε ότι ο βέλτιστος φόρτος εξαρτάται από την παρασιτική χωρητικότητα και είναι 3.5H

για $p_{inv}=1$. Όταν χρησιμοποιούμε εναλλακτικές οικογένειες κυκλωμάτων, ο βέλτιστος φόρτος σταδίου μπορεί να αλλάξει. Για παράδειγμα, στα κυκλώματα domino θα μπορούσαμε να τοποθετήσουμε απομονωτές domino στο τέλος του μονοπατιού. Το Σχήμα 9.41 υποδεικνύει ότι ο λογικός φόρτος ενός απομονωτή domino είναι $G=5/9$ για τη λογική domino «με πόδι» και $5/18$ για τη λογική domino χωρίς «πόδι». Συνεπώς, κάθε απομονωτής που προσαρτάται σ' ένα μονοπάτι πρακτικά μειώνει το φόρτο μονοπατιού. Συνεπώς, είναι προτιμότερο να προσθέτουμε περισσότερους απομονωτές - ή, ισοδύναμα, να στοχεύουμε σε χαμηλότερο φόρτο σταδίου απ' ό,τι θα είχαμε σε μια στατική CMOS σχεδίαση.

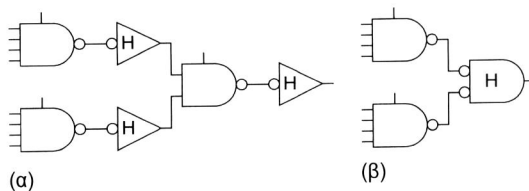
Ο [Sutherland99] απέδειξε ότι ο βέλτιστος φόρτος σταδίου είναι $p=2.76$ για μονοπάτια σε λογική domino «με πόδι» και 2.0 για μονοπάτια χωρίς «πόδι». Σε μονοπάτια που χρησιμοποιείται μεικτή λογική domino, με και χωρίς «πόδι»,

ο βέλτιστος φόρτος είναι μεταξύ αυτών των δύο ακραίων τιμών. Στην πράξη, ακριβώς όπως στοχεύετε σε φόρτο σταδίου 4 για μονοπάτια στατικών δομών CMOS, θα πρέπει επίσης να στοχεύετε σε φόρτο σταδίου 2-3 για μονοπάτια domino. Είδαμε επίσης ότι υπάρχει δυνατότητα τοποθέτησης της λογικής σε στατικά στάδια CMOS ανάμεσα σε δυναμικές πύλες. Το ακόλουθο παράδειγμα εξετάζει τις περιπτώσεις στις οποίες είναι επωφελής αυτή η πρακτική.

Παράδειγμα 9.6

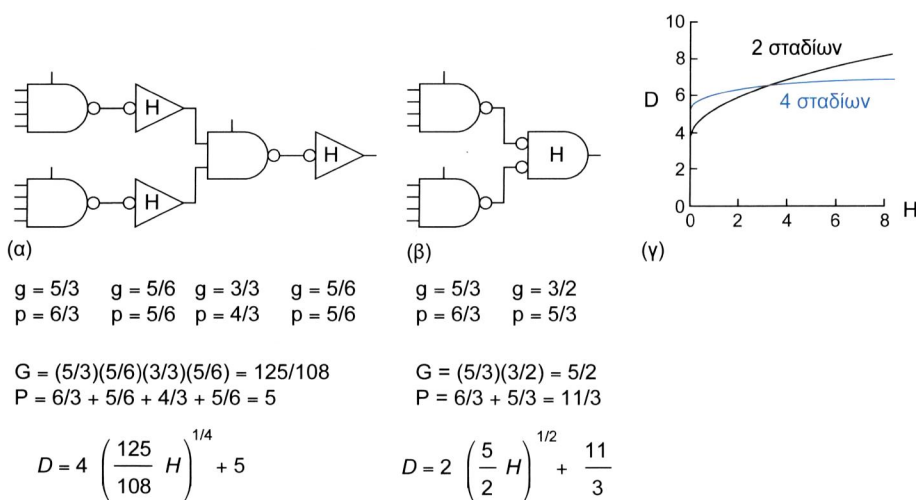
Το Σχήμα 9.42 παρουσιάζει δύο σχεδιάσεις για μια domino πύλη AND 8 εισόδων που χρησιμοποιεί πύλες «με πόδι». Η πρώτη χρησιμοποιεί τέσσερα στάδια λογικής με στατικούς CMOS αντιστροφείς. Η δεύτερη περιλαμβάνει μόνο δύο στάδια και χρησιμοποιεί μια πύλη NOR Y-απόκλισης. Για ποιο εύρος τιμών ηλεκτρικού φόρτου μονοπατιού είναι ταχύτερη η σχεδίαση δύο σταδίων;

ΛΥΣΗ: Πιθανώς να περιμένετε ότι η δεύτερη σχεδίαση είναι ανώτερη επειδή αυξάνει ελάχιστα την πολυ- πλοκότητα των στατικών πυλών και χρησιμοποιεί τα μισά στάδια, αλλά αυτό ισχύει μόνο για χαμηλούς ηλεκτρικούς φόρτους. Το Σχήμα 9.43 παρουσιάζει τα μονοπάτια, σχολιασμένα με (α) τους λογικούς φόρτους, (β) τις παρασιτικές χωρητικότητες και (γ) τη συνολική καθυστέρηση. Οι παρασιτικές χωρητι- κότητες συνυπολογίζουν μόνο τη χωρητικότητα διάχυσης στον κόμβο εξόδου. Η καθυστέρηση της κάθε σχεδίασης αναπαρίσταται συναρτήσει του ηλεκτρικού φόρτου μονοπατιού, H^2 . Για $H>2.9$, η σχεδίαση 4 σταδίων είναι πιο αποτελεσματική, επειδή οι πύλες domino λειτουργούν πρακτικά ως απομονωτές.



ΣΧΗΜΑ 9.42 Πύλες AND 8 εισόδων υλοποιημένες με την τεχνική domino.

⁵ Μην μπερδεύετε τον ηλεκτρικό φόρτο μονοπατιού, H , με το γράμμα H που χρησιμοποιείται για το χαρακτηρισμό των υψηλής απόκλισης (HI-skew) στατικών CMOS πυλών στο σχηματικό.



ΣΧΗΜΑ 9.43 Καθυστερήσεις πυλών AND 8 εισόδων υλοποιημένων με την τεχνική domino.

Συνοψίζοντας, τα δυναμικά στάδια είναι γρήγορα, επειδή κατασκευάζουν τη λογική χρησιμοποιώντας nMOS τρανζίστορ. Επιπλέον, οι χαμηλοί λογικοί φόρτοι υποδηλώνουν ότι η χρήση μεγάλου αριθμού σταδίων είναι επωφελής. Η τοποθέτηση της λογικής σε στατικά στάδια CMOS χρησιμοποιεί αργότερα pMOS τρανζίστορ και μειώνει τον αριθμό των σταδίων. Για το λόγο αυτό, συχνά είναι προτιμότερο οι στατικές πύλες CMOS να χρησιμοποιούνται μόνο σε μονοπάτια με χαμηλό ηλεκτρικό φόρτο.

9.2.4.6 Λογική domino πολλαπλών εξόδων (Multiple-Output Domino Logic, MODL) Συχνά, προκύπτει ανάγκη υπολογισμού πολλαπλών συναρτήσεων, όπου κάποια είναι υποσυνάρτηση κάποιας άλλης ή μοιράζεται μια υποσυνάρτηση με μια άλλη. Η λογική domino πολλαπλών εξόδων [Hwang89, Wang97] εξοικονομεί επιφάνεια συνδυάζοντας όλους τους υπολογισμούς σε μια πύλη πολλαπλών εξόδων.

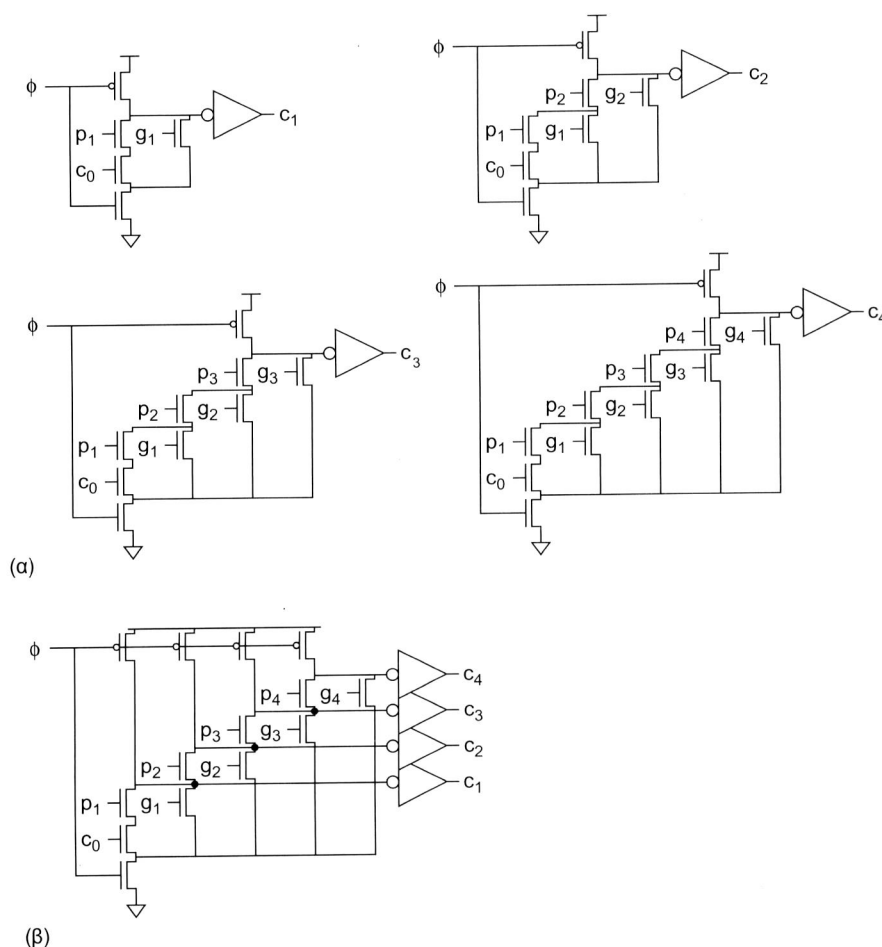
Μια δημοφιλής εφαρμογή της είναι σε κυκλώματα άθροισης, όπου πρέπει να υπολογίζεται το κρατούμενο c_i για κάθε bit ενός μπλοκ των 4 bit, όπως θα δούμε στην Ενότητα 11.2.2.2. Κάθε θέση bit, i , σ' ένα μπλοκ μπορεί είτε να διαδώσει το κρατούμενο (p_i) είτε να δημιουργήσει ένα κρατούμενο (g_i). Η λογική για το κρατούμενο εξόδου είναι:

$$\begin{aligned} c_1 &= g_1 + p_1 c_0 \\ c_2 &= g_2 + p_2 (g_1 + p_1 c_0) \\ c_3 &= g_3 + p_3 (g_2 + p_2 (g_1 + p_1 c_0)) \\ c_4 &= g_4 + p_4 (g_3 + p_3 (g_2 + p_2 (g_1 + p_1 c_0))) \end{aligned} \quad (9.4)$$

Αυτή μπορεί να υλοποιηθεί σε τέσσερις σύνθετες πύλες AOI, όπως απεικονίζεται στο Σχήμα 9.44(α). Παρατηρήστε ότι κάθε εξόδος είναι συνάρτηση των λιγότερο σημαντικών εξόδων. Η πλέον συμπαγής σχεδίαση MODL αποκαλείται αλυσίδα κρατούμενου Manchester (Manchester carry chain, βλ. Σχήμα 9.44(β)). Σημειώστε ότι οι ενδιάμεσες εξοδοί απαιτούν δευτερεύοντα τρανζίστορ προφόρτισης. Σημειώστε επίσης ότι πρέπει να ληφθεί ιδιαίτερη μέριμνα ώστε συγκεκριμένες εισοδοί να είναι αμοιβαία αποκλειόμενες, έτσι ώστε να αποφεύγονται «κρυφά» μονοπάτια (sneak paths) που διαφεύγουν της προσοχής μας. Για παράδειγμα, στον αθροιστή θα πρέπει να ορίσουμε

$$\begin{aligned} g_i &= a_i b_i \\ p_i &= a_i \oplus b_i \end{aligned} \quad (9.5)$$





ΣΧΗΜΑ 9.44 Συμβατικές και MODL αλυσίδες κρατούμενου.

Εάν το p_i είχε οριστεί ως $a_i + b_i$, θα μπορούσε να υπάρχει ένα κρυφό μονοπάτι όταν τα a_i και b_i είναι 1 και όλες οι άλλες εισοδοι είναι 0. Σ' αυτή την περίπτωση, $g_i = p_i = 1$. Το c_i θα ενεργοποιούνταν σωστά, αλλά θα ενεργοποιούνταν επίσης το c_{i+1} (βλ. Σχ. 9.45), πράγμα το οποίο είναι λάθος.

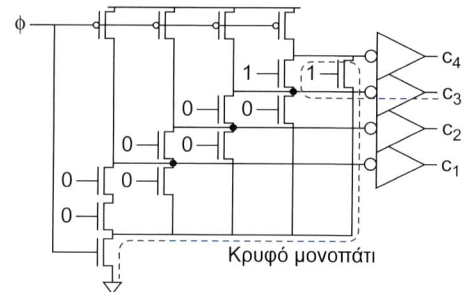


9.2.4.7 NP και Zipper Domino Μια άλλη παραλλαγή της λογικής domino απεικονίζεται στο Σχήμα 9.46(α). Οι αντιστρεπτές στατικές πύλες Y-απόκλισης αντικαθίστανται από προ-εκφορτισμένες δυναμικές πύλες που χρησιμοποιούν λογική pMOS. Το Σχήμα 9.46(β) απεικονίζει μια δυναμική πύλη NAND p-λογικής «με πόδι». Όταν $\phi = 0$, το πρώτο και το τρίτο στάδιο προφορτίζονται υψηλά ενώ το δεύτερο στάδιο προ-εκφορτίζεται χαμηλά. Όταν το ϕ ανέρχεται, όλα τα στάδια υπολογίζονται. Είναι δυνατό να υλοποιηθούν συνδέσεις διαδοχικού υπολογισμού (δηλαδή, domino), όπως απεικονίζεται στο Σχήμα 9.46(γ). Αυτό το στιλ σχεδίασης αποκαλείται NP domino ή NORA (No Race Domino, [Gonclaves83, Friedman84]).

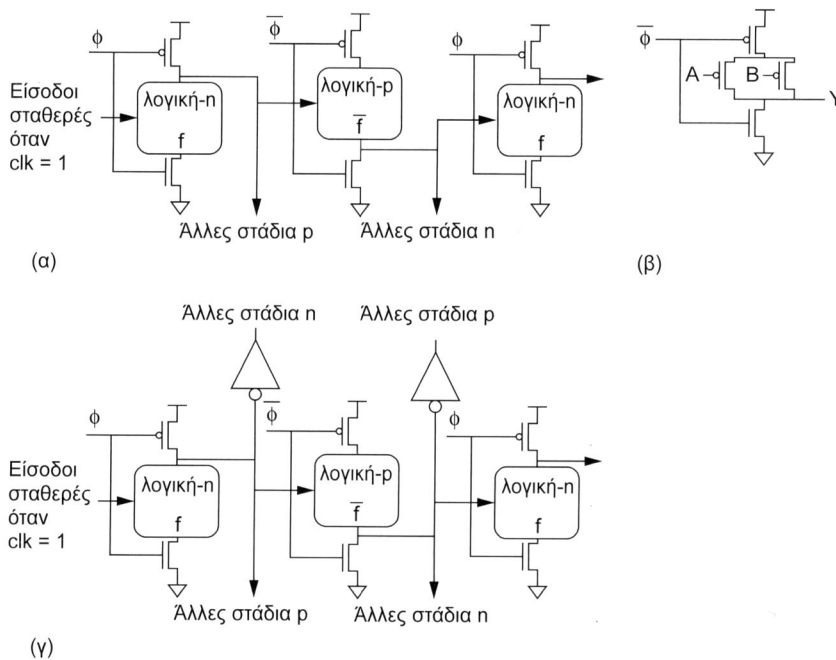
Το NORA έχει δύο σημαντικά μειονεκτήματα. Πρώτον, ο λογικός φόρτος των πυλών p-λογικής «με πόδι» είναι γενικά χειρότερος από το λογικό φόρτο των πυλών Y-απόκλισης (π.χ. 2 έναντι 3/2 για NOR2 και 4/3 έναντι 1 για NAND2). Δεύτερον, η λογική NORA είναι ιδιαίτερα ευάλωτη στο θόρυβο. Σε μια συμβατική δυναμική πύλη, η εισοδος έχει χαμηλό περιθώριο θορύβου (περίπου $V_{DD}/2$), αλλά οδηγείται ισχυρά από μια στατική πύλη CMOS. Η αιωρούμενη δυναμική έξοδος είναι περισσότερη επιρρεπής στο θόρυβο λόγω ζεύξης και διαμοιρασμού φορτίου, αλλά οδηγεί μια επόμενη στατική πύλη CMOS με μεγαλύτερο περιθώριο θορύβου. Στη NORA, ωστόσο, οι ευαίσθητες δυναμικές εισοδοι οδηγούνται από δυναμικές εξό-

δους που είναι επιρρεπείς στο θόρυβο. Δεδομένων αυτών των μειονεκτημάτων και της πρόσθετης φάσης ρολογιού που απαιτεί, ελάχιστοι λόγοι συνηγορούν υπέρ της χρήσης της NORA.

Η Zipper Domino [Lee86] σχετίζεται στενά με την NORA. Αφήνει το προφορτισμένο τρανζίστορ σε κατάσταση «ελαφρώς» ON κατά τη φάση του υπολογισμού, χρησιμοποιώντας προφορτισμένα ρολόγια τα οποία μεταβάλλονται σε εύρος (swing) από 0 έως $V_{DD} - |V_p|$ για τη προφόρτιση των pMOS και από V_m έως V_{DD} για την προφόρτιση των nMOS. Αυτό παίζει περίπου τον ίδιο ρόλο με το διατηρητή. Η τεχνική Zipper δεν γνώρισε ποτέ ευρεία χρήση στη βιομηχανία [Bernstein99].



ΣΧΗΜΑ 9.45 Κρυφό μονοπάτι.

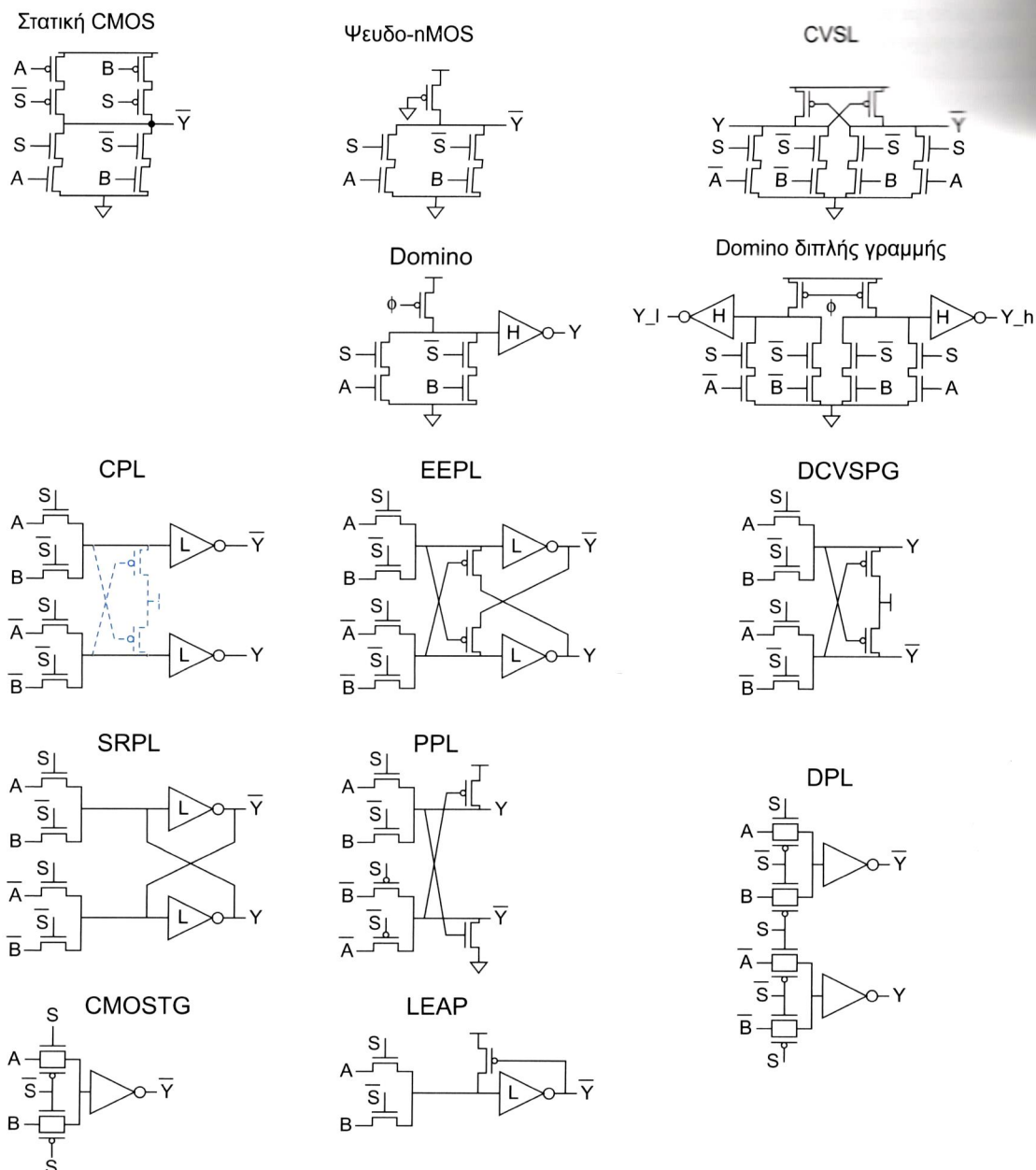


ΣΧΗΜΑ 9.46 NP λογική domino.

9.2.5 Κυκλώματα με Τρανζίστορ Περάσματος

Στις οικογένειες κυκλωμάτων που εξετάσαμε έως τώρα, οι εισοδοί εφαρμόζονται μόνο στους ακροδέκτες πύλης των τρανζίστορ. Στα κυκλώματα με τρανζίστορ περάσματος, οι εισοδοί εφαρμόζονται επίσης στους ακροδέκτες διάχυσης πηγής/υποδοχής. Αυτά τα κυκλώματα κατασκευάζουν διακόπτες χρησιμοποιώντας είτε τρανζίστορ περάσματος nMOS, είτε παράλληλα ζεύγη nMOS και pMOS τρανζίστορ που αποκαλούνται πύλες μετάδοσης (transmission gates). Αρκετοί συγγραφείς έχουν αναφέρει σημαντικές βελτιώσεις σε κατανάλωση επιφάνειας, ταχύτητα και/ή κατανάλωση ισχύος για τα τρανζίστορ περάσματος, συγκριτικά με τη στατική λογική CMOS. Σε ειδικές περιπτώσεις, αυτό μπορεί να ισχύει· για παράδειγμα, τα τρανζίστορ περάσματος παίζουν ζωτικό ρόλο στη σχεδίαση των αποδοτικών, 6-τρανζίστορ κυττάρων RAM που χρησιμοποιούνται στα περισσότερα σύγχρονα συστήματα (βλ. Ενότητα 12.2). Πλήρεις αθροιστές και άλλα κυκλώματα με άφθονες XOR επιδεικνύουν μεγαλύτερη αποδοτικότητα όταν κατασκευάζονται με τρανζίστορ περάσματος. Σε άλλες περιπτώσεις, όπως θα δούμε παρακάτω, τα τρανζίστορ περάσματος αποτελούν πρακτικά ισοδύναμους τρόπους υλοποίησης των ίδιων θεμελιωδών λογικών δομών που εξετάσαμε παραπάνω. Μια ανεξάρτητη αξιολόγηση καταλήγει στο συμπέρασμα ότι για τα περισσότερα γενικής χρήσης κύτταρα λογικής, η στατική CMOS υπερέρχει σε ταχύτητα, κατανάλωση ισχύος και επιφάνεια [Zimmermann97].

Για λόγους σύγκρισης, το Σχήμα 9.47 παρουσιάζει έναν πολυπλέκτη 2 εισόδων κατασκευασμένο με διάφορες οικογένειες κυκλωμάτων που χρησιμοποιούν τρανζίστορ περάσματος, καθώς επίσης και με στατική CMOS, ψευδο-nMOS, CVSL και λογική domino μιας ή δύο γραμμών. Ορισμένες από τις οικογένειες κυκλωμάτων είναι διπλής γραμμής, οπότε παράγουν και την αληθή (true) και τη συμπληρωματική τιμή του αποτελέσματος, ενώ άλλες είναι μονής γραμμής και μπορεί να απαιτήσουν μια επιπλέον αναπαραγωγή εάν χρειαστεί η διαφορετική πολικότητα της εξόδου. Η σχέση $U \text{ XOR } V$ μπορεί να υπολογιστεί με την ίδια ακριβώς λογική, χρησιμοποιώντας τα $S = U$, $\bar{S} = \bar{U}$, $A = V$, $B = \bar{V}$.

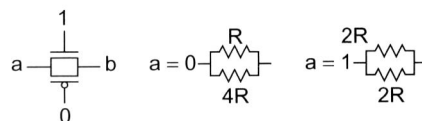


ΣΧΗΜΑ 9.47 Σύγκριση μεταξύ διαφόρων οικογενειών κυκλωμάτων για πολυπλέκτες 2 εισόδων.

Αυτό υποδεικνύει ότι η στατική CMOS είναι ανεπαρκής για την υλοποίηση της XOR, επειδή απαιτεί μια σύνθετη πύλη και δύο επιπλέον αντιστροφείς· σ' αυτή την περίπτωση, η λογική με τρανζίστορ περάσματος καθίσταται ελκυστική επιλογή. Συγκριτικά, οι στατικές CMOS πύλες NAND και NOR είναι σχετικά αποδοτικές και δεν ωφελούνται από τη χρήση τρανζίστορ περάσματος.

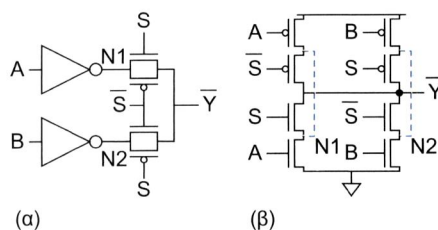
Σ' αυτή την ενότητα θα περιγράψουμε κατ' αρχήν κυκλώματα CMOS τα οποία περιλαμβάνουν πύλες περάσματος, κάτι το οποίο είναι σύνηθες σε πολυπλέκτες και μανδαλωτές. Στη συνέχεια θα εξετάσουμε τη συμπληρωματική λογική τρανζίστορ περάσματος (CPL), η οποία μπορεί να λειτουργεί καλά σε κυκλώματα πλούσια σε πύλες XOR, όπως πλήρεις αθροιστές και κυκλώματα LEAP, τα οποία είναι χαρακτηριστικό δείγμα σχεδίασης μιας εξόδου (single-ended).

9.2.5.1 CMOS με πύλες περάσματος Δομές όπως τρισταθείς απομονωτές, μανδαλωτές και πολυπλέκτες συνήθως σχεδιάζονται ως πύλες μετάδοσης σε συνδυασμό με απλή στατική λογική CMOS. Το Σχήμα 1.27 παρουσίασε τον πολυπλέκτη που χρησιμοποιεί δύο πύλες μετάδοσης. Το κύκλωμα ήταν χωρίς αποκατάσταση - δηλαδή, οι λογικές στάθμες στην έξοδο δεν είναι καλύτερες από αυτές της εισόδου, οπότε η σύνδεση αρκετών τέτοιων κυκλωμάτων διαδοχικά θα συσσωρεύε θόρυβο. Για να απομονωθεί η έξοδος και να αποκατασταθούν οι λογικές στάθμες τάσης, μπορεί να προστεθεί ένας στατικός αντιστροφέας εξόδου, όπως στο Σχήμα 9.47 (CMOSTG). Ένα μεμονωμένο nMOS ή pMOS τρανζίστορ περάσματος υποφέρει από μια πτώση τάσης κατωφλίου. Αν χρησιμοποιηθεί μόνο του, ίσως απαιτηθεί επιπλέον κύκλωμα για οδήγηση της εξόδου στη στάθμη της γραμμής. Οι πύλες μετάδοσης λύνουν αυτό το πρόβλημα, αλλά απαιτούν δύο τρανζίστορ εν παραλλήλω. Η αντίσταση μιας μοναδιαίου μεγέθους πύλης μετάδοσης μπορεί να εκτιμηθεί ως R για την εκτίμηση της καθυστέρησης. Το ρεύμα ρέει διαμέσου του παράλληλου συνδυασμού των nMOS και pMOS. Το ένα από τα τρανζίστορ περνά την τιμή καλά, ενώ το άλλο προβληματικά· για παράδειγμα, ένα λογικό 1 περνιέται καλά από το pMOS αλλά όχι από το nMOS. Η ενεργή αντίσταση ενός μοναδιαίου τρανζίστορ που περνά μια προβληματική τιμή εκτιμάται διπλάσια από τη συνήθη: $2R$ για nMOS και $4R$ για pMOS. Το Σχ. 9.48 απεικονίζει τον παράλληλο συνδυασμό των αντιστάσεων. Κατά το πέρασμα ενός 0, η αντίσταση είναι $R \parallel 4R = (4/5)R$ · για το πέρασμα ενός 1 είναι $2R \parallel 2R = R$. Άρα, μια πύλη μετάδοσης με μοναδιαία τρανζίστορ έχει περίπου αντίσταση R και στις δύο κατευθύνσεις. Σημειώστε ότι οι πύλες μετάδοσης κατασκευάζονται συνήθως με ισομεγέθη nMOS και pMOS τρανζίστορ. Η αύξηση του μεγέθους του pMOS βελτιώνει ελαφρώς την ενεργή αντίσταση αλλά αυξάνει σημαντικά τη χωρητικότητα.

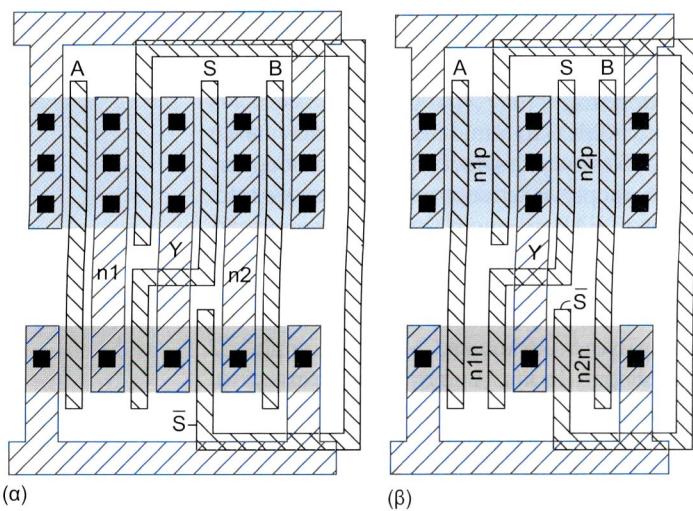


ΣΧΗΜΑ 9.48 Ενεργή αντίσταση μοναδιαίας πύλης μετάδοσης.

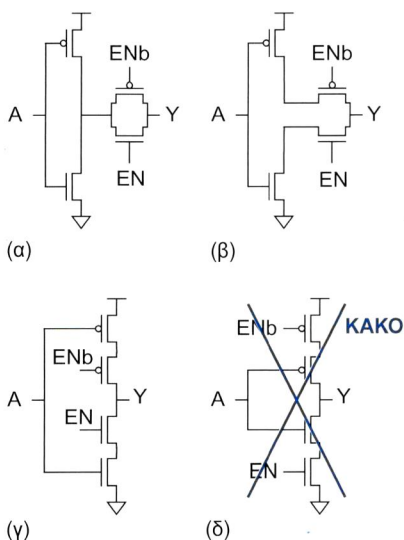
Σε πρώτη ματιά, η CMOS με πύλες μετάδοσης θα μπορούσε να παρέχει μια εντελώς νέα γκάμα δομών κυκλωμάτων. Προσεκτική εξέταση αποκαλύπτει ότι η τοπολογία είναι σχεδόν ταυτόσημη με τη στατική CMOS, όπως την είδαμε στην Ενότητα 2.5.9. Εάν συνδεθούν πολλαπλά διαδοχικά στάδια λογικής, μπορεί κανείς να τα θεωρήσει ως εναλλάξ πύλες μετάδοσης και αντιστροφείς. Στο Σχ. 9.48(α), ο πολυπλέκτης περιλαμβάνει τους αντιστροφείς από το προηγούμενο στάδιο που οδηγούν τις εισόδους διάχυσης, αλλά όχι τον αντιστροφέα εξόδου. Στο Σχ. 9.48(β), παρουσιάζεται ο πολυπλέκτης σε επίπεδο τρανζίστορ. Παρατηρήσετε ότι είναι πανομοιότυπος με το στατικό πολυπλέκτη CMOS του Σχ. 9.47 με τη διαφορά ότι οι ενδιάμεσοι κόμβοι ($N1$ & $N2$) στα δίκτυα οδήγησης «πάνω» & «κάτω» είναι βραχυκυκλωμένοι. Το βραχυκύκλωμα των ενδιάμεσων κόμβων επηρεάζει με δύο τρόπους την καθυστέρηση. Η ενεργή αντίσταση μειώνεται κατά τι (ειδικά για τις ανερχόμενες εισόδους), επειδή η έξοδος οδηγείται «πάνω» ή «κάτω» διαμέσου του παράλληλου συνδυασμού των δύο τρανζίστορ περάσματος αντί για μόνο ένα τρανζίστορ. Ωστόσο, η ενεργή χωρητικότητα αυξάνεται ελαφρώς, λόγω της επιπλέον χωρητικότητας διάχυσης και αγωγού που απαιτείται γι' αυτό το βραχυκύκλωμα. Αυτό είναι εμφανές από το φυσικό σχέδιο των πολυπλεκτών· η σχεδίαση της πύλης μετάδοσης του Σχ. 9.49(α) απαιτεί διάχυση επαφής στα $N1$ και $N2$ ενώ η στατική CMOS πύλη του Σχ. 9.49(β) όχι. Στις περισσότερες τεχνολογίες κατασκευής, η βελτιωμένη τιμή της αντίστασης κυριαρχεί για τις πύλες με μέτριο βαθμό οδήγησης εξόδου, γεγονός το οποίο κάνει το βραχυκύκλωμα γενικά ταχύτερο, με μικρή επιβάρυνση σε κατανάλωση ισχύος.



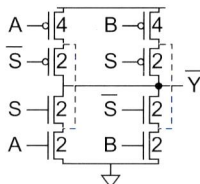
ΣΧΗΜΑ 9.49 Εναλλακτικές αναπαραστάσεις CMOSTG σε αναστρέφοντα πολυπλέκτη 2 εισόδων.



ΣΧΗΜΑ 9.50 Σύγκριση φυσικών σχεδίων πολυπλεκτών.



ΣΧΗΜΑ 9.51 Τρισταθής αντιστροφείας.



ΣΧΗΜΑ 9.52 Λογικό φορτίο του κυκλώματος πύλης μετάδοσης.

Το Σχήμα 9.51 παρουσιάζει έναν παρόμοιο μετασχηματισμό τρισταθούς αντιστροφείας από μια πύλη μετάδοσης σε συμβατικό στατικό CMOS, ο οποίος γίνεται εξαλείφοντας το βραχυκύκλωμα στον ενδιάμεσο κόμβο και επανασχεδιάζοντας την πύλη. Σημειώστε ότι το κύκλωμα του Σχ. 9.51(δ) εναλλάσσει τους ακροδέκτες A και enable. Σε επίπεδο λογικής αυτό είναι ισοδύναμο, αλλά σε ηλεκτρικό επίπεδο είναι κατώτερο, επειδή εάν η έξοδος είναι τρισταθής αλλά το A αλλάζει τιμή, το φορτίο από τους εσωτερικούς κόμβους μπορεί να διαταράξει τον αιωρούμενο κόμβο. Ο διαμοιρασμός φορτίου εξετάζεται στην Ενότητα 9.3.4.

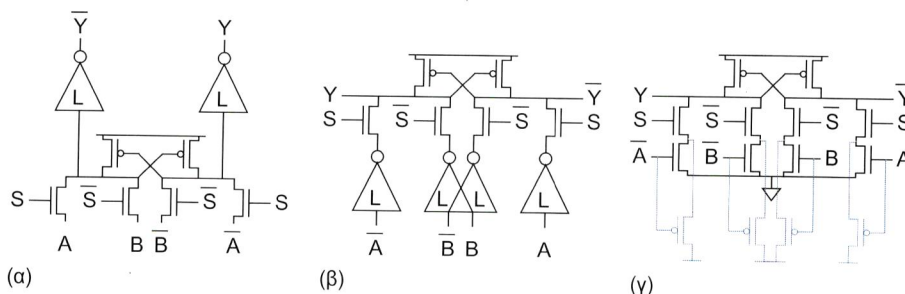
Υπάρχουν αρκετοί λόγοι που συνηγορούν υπέρ της στατικής CMOS υλοποίησης έναντι της CMOS με πύλες μετάδοσης. Εάν ο αντιστροφείας είναι στην έξοδο παρά στην είσοδο, η καθυστέρηση της πύλης εξαρτάται από το στοιχείο που οδηγεί την είσοδο και τη χωρητικότητα που οδηγεί η έξοδος. Αυτή η ευαισθησία στον οδηγό της εισόδου δυσχεραίνει το

χαρακτηρισμό των κυκλωμάτων με πύλες μετάδοσης και είναι ασύμβατη με τα περισσότερα εργαλεία ανάλυσης χρονισμού. Οι αρχάριοι σχεδιαστές συχνά χαρακτηρίζουν λανθασμένα τις πύλες μετάδοσης με την εφαρμογή μιας πηγής τάσης απευθείας στην είσοδο διάχυσης. Αυτό κάνει τους πολυπλέκτες της πύλης μετάδοσης να δείχνουν ταχύτεροι, επειδή χρησιμοποιούν μόνο ένα τρανζίστορ εν σειρά αντί για δύο. Για ακριβή χαρακτηρισμό, θα πρέπει επίσης να συνυπολογίζεται ο οδηγός. Ένα δεύτερο μειονέκτημα είναι ότι οι εισόδοι διάχυσης προς τους τρισταθούς αντιστροφείς είναι επιρρεπείς σε θόρυβο, ο οποίος μπορεί να ενεργοποιήσει τον αντιστροφείας (δείτε την Ενότητα 9.3). Τέλος, οι επαφές αυξάνουν ελαφρώς την επιφάνεια και η χωρητικότητά τους αυξάνει την κατανάλωση ισχύος.

Ο λογικός φόρτος των κυκλωμάτων που χρησιμοποιούν πύλες μετάδοσης υπολογίζεται σχεδιάζοντας στάδια που ξεκινούν στις εισόδους της πύλης παρά στις εισόδους διάχυσης, όπως βλέπετε στο Σχ. 9.52 για έναν πολυπλέκτη με πύλες μετάδοσης. Η επίδραση του βραχυκυκλώματος μπορεί να αγνοηθεί, οπότε ο λογικός φόρτος είτε από το A είτε από το B είναι $6/3$, όπως και σ' έναν πολυπλέκτη στατικής λογικής CMOS. Σημειώστε επίσης ότι η παρασιτική καθυστέρηση των κυκλωμάτων με πολλαπλές εν σειρά πύλες μετάδοσης αυξάνεται γρήγορα λόγω της εσωτερικής χωρητικότητας διάχυσης, οπότε σπανίως είναι επωφελές το να χρησιμοποιούμε περισσότερες από δύο εν σειρά πύλες μετάδοσης χωρίς απομονωτές.

9.2.5.2 Συμπληρωματική λογική με τρανζίστορ περάσματος (Complementary Pass Transistor Logic, CPL) Η CPL [Yano90] μπορεί να θεωρηθεί βελτίωση της CVSL. Η CVSL είναι αργή, επειδή μια πλευρά της πύλης οδηγεί «κάτω» και στη συνέχεια το διασταυρούμενο pMOS τρανζίστορ οδηγεί την άλλη πλευρά «πάνω». Το μέγεθος του διασταυρούμενου στοιχείου είναι συμβιβασμός μεταξύ ενός μεγάλου τρανζίστορ που αντιμάχεται την οδήγηση «κάτω» κι ενός μικρού τρανζίστορ που είναι αργό στο να οδηγεί «πάνω». Η CPL λύνει αυτό το πρόβλημα κάνοντας τη μισή πύλη να οδηγεί «πάνω» και την άλλη να οδηγεί «κάτω».

Το Σχήμα 9.53(α) παρουσιάζει τον πολυπλέκτη CPL του Σχ. 9.47 με περιστραμμένο πλευρικά το κύκλωμα. Εάν ένα μονοπάτι αποτελείται από διαδο-



ΣΧΗΜΑ 9.53 Εναλλακτικές αναπαραστάσεις CPL.

χικές πύλες CPL, οι αντιστροφείς μπορούν να θεωρηθούν ότι βρίσκονται στην έξοδο ενός σταδίου ή στην είσοδο του επόμενου. Το Σχ. 9.53(β) επανασχεδιάζει τον πολυπλέκτη ώστε να περιλαμβάνει τους αντιστροφείς από το προηγούμενο στάδιο που οδηγεί την είσοδο διάχυσης, αλλά χωρίς τους αντιστροφείς εξόδου. Το Σχήμα 9.53(γ) παρουσιάζει τον πολυπλέκτη σχεδιασμένο σε επίπεδο τρανζίστορ. Παρατηρήστε ότι είναι πανομοιότυπος με την πύλη CVSL του Σχ. 9.47, εκτός από το ότι ο εσωτερικός κόμβος του σωρού μπορεί να οδηγηθεί «πάνω» μέσω των ασθενών pMOS τρανζίστορ των αντιστροφέων.

Όταν η πύλη μεταγίνει, η μια πλευρά οδηγείται «κάτω» διαμέσου των nMOS τρανζίστορ, ενώ η άλλη οδηγείται «πάνω». Η CPL μπορεί να υλοποιείται χωρίς διασταυρούμενα pMOS τρανζίστορ, αλλά τότε οι εξοδοί θα ανεβαίνουν έως την τιμή $V_{DD} - V_t$ (ή σε κάπως μικρότερη, επειδή τα nMOS τρανζίστορ υφίσταται το φαινόμενο σώματος). Αυτό κοστίζει σε κατανάλωση στατικής ισχύος, επειδή θα ενεργοποιηθεί ελαφρώς ο αντιστροφέας εξόδου. Η προσθήκη ασθενών διασταυρούμενων στοιχείων βοηθά στο να έρθει η ανερχόμενη έξοδος στη στάθμη της γραμμής τροφοδοσίας ενώ επιβραδύνει λίγο την καθοδική έξοδο. Οι αντιστροφείς εξόδου μπορεί να είναι X-απόκλισης για μείωση της ευαισθησίας στην αργά ανοδική έξοδο.

9.2.5.3 Ισχνή ολοκλήρωση με τρανζίστορ περάσματος (Lean Integration with Pass transistors, LEAP) Όμοια με την CPL, η LEAP⁶ [Yano96] δημιουργεί λογικά δίκτυα χρησιμοποιώντας μόνο γρήγορα nMOS τρανζίστορ, όπως είδατε στο Σχ. 9.47. Είναι μια λογική οικογένεια μονής εξόδου (single-ended), επειδή δεν απαιτεί το συμπληρωματικό δίκτυο, οπότε μειώνει την κατανάλωση επιφάνειας και ισχύος. Η έξοδος απομονώνεται μ' έναν αντιστροφέα, ο οποίος μπορεί να είναι X-απόκλισης ώστε να ευνοεί την ασύμμετρη αντίδραση ενός nMOS τρανζίστορ. Το δίκτυο nMOS οδηγεί «πάνω» μόνο έως $V_{DD} - V_p$, οπότε απαιτείται ένα pMOS τρανζίστορ με ανάδραση για να οδηγήσει τον εσωτερικό κόμβο έως την πλήρη τάση, αποφεύγοντας την κατανάλωση ισχύος στον αντιστροφέα εξόδου. Το πλάτος του pMOS είναι ένας συμβιβασμός μεταξύ της αντίδρασης στην καθοδική μετάβαση και της υποβοήθησης του τελευταίου μέρους της ανοδικής μετάβασης: γενικά, θα πρέπει να είναι αρκετά ασθενές και το κύκλωμα θα αποτύχει εάν είναι αρκετά ισχυρό. Η LEAP παρέχει έναν καλό τρόπο δημιουργίας μεγάλου πλάτους πολυπλεκτών 1-σε-N, με πολλά από τα πλεονεκτήματα της λογικής ψευδο-nMOS αλλά χωρίς την κατανάλωση στατικής ισχύος.

Ανόμοια με τις περισσότερες οικογένειες κυκλωμάτων που μπορούν να λειτουργούν σε χαμηλές τάσεις, έως $V_{DD} \geq \max(V_{nr}, |V_p|)$, η LEAP περιορίζεται σε λειτουργία με $V_{DD} \geq 2V_t$, επειδή ο αντιστροφέας θα πρέπει να αλλάζει κατάσταση ακόμα κι όταν δέχεται είσοδο υποβαθμισμένη κατά μία τάση κατωφλίου.

9.2.5.4 Άλλες οικογένειες κυκλωμάτων με τρανζίστορ περάσματος Στη βιβλιογραφία έχουν προταθεί αρκετές οικογένειες κυκλωμάτων με τρανζίστορ περάσματος, όπως οι Differential Pass Transistor Logic (DPTL) [Pasternak87, Pasternak91], Double Pass Transistor Logic (DPL) [Suzuki93], Energy Economized Pass Transistor Logic (EEPL) [Song96], Push-Pull Pass Transistor Logic (PPL) [Paik96], Swing-Restored Pass Transistor Logic (SRPL) [Parameswar96] και Differential Cascade Voltage Switch with Pass Gate Logic (DCVSPG) [Lai97]. Όλες αυτές είναι οικογένειες διπλής γραμμής όπως η CPL, σε αντίθεση με τις οικογένειες μιας γραμμής, όπως η CMOS και η LEAP.

⁶ Η LEAP επανήλθε στο προσκήνιο με όνομα Single Ended Swing Restoring Pass Transistor Logic (λογική τρανζίστορ περάσματος μονής εξόδου, με διακόμηση και αποκατάσταση σήματος) [Pihl98].



Η οικογένεια DPL είναι μια "διπλής γραμμής" παραλλαγή της CMOSTG, βελτιστοποιημένη ώστε να χρησιμοποιεί μόνο ένα τρανζίστορ περάσματος όταν πρέπει να περάσει ένα γνωστό 0 ή 1. Η λογική αυτή περνά τα σήματα καλά, χωρίς να χρειάζεται στοιχεία για την αποκατάσταση στάθμης. Ωστόσο, τα pMOS τρανζίστορ συνεισφέρουν σημαντικά στην επιφάνεια και τη χωρητικότητα, χωρίς να βοηθούν την καθυστέρηση, με αποτέλεσμα να δημιουργούνται μεγάλες και σχετικά αργές πύλες.

Όσον αφορά τις άλλες οικογένειες κυκλωμάτων διπλής γραμμής, μπορούν να θεωρηθούν τροποποιήσεις της CPL. Η EEPL οδηγεί τα διασταυρούμενα τρανζίστορ αποκατάστασης στάθμης όχι από την V_{DD} αλλά από την αντίθετη γραμμή. Οι επινοητές της ισχυρίζονται ότι οδηγεί σε χαμηλότερη καθυστέρηση και κατανάλωση ισχύος από την CPL, κάτι το οποίο δεν επιβεβαιώθηκε από άλλους σχεδιαστές [Zimmermann97]. Η SRPL χρησιμοποιεί διασταυρούμενους αντιστροφείς αντί των διασταυρούμενων pMOS οδήγησης «πάνω». Αυτό οδηγεί σ' ένα πρόβλημα λόγω διαστάσεων, επειδή τα nMOS τρανζίστορ στον αντιστροφή θα πρέπει να είναι αρκετά ασθενή ώστε το τρανζίστορ περάσματος να τα υπερκαλύπτει κατά την οδήγηση «πάνω». Αυτό οδηγεί συνήθως στη χρήση μικρών αντιστροφέων, οι οποίοι δεν είναι καλοί απομονωτές. Η DCVSPG εξαφανίζει τους αντιστροφείς εξόδου από την CPL. Χωρίς αυτούς η είσοδος μιας πύλης DCVSPG αποτελεί φτωχή είσοδο για τον ακροδέκτη διάχυσης μιας άλλης πύλης DCVSPG, επειδή αυτό θα οδηγούσε στο σχηματισμό μιας μεγάλης αλυσίδας nMOS τρανζίστορ χωρίς στάθμη αποκατάστασης και άρα επιρρεπή σε προβλήματα θορύβου και καθυστέρησης. Η PPL χρησιμοποιεί επίσης εξόδους χωρίς απομόνωση και άρα αντιμετωπίζει παρόμοια προβλήματα θορύβου και καθυστέρησης. Η DRTL γενικεύει τη δομή του απομονωτή εξόδου, εξετάζοντας εναλλακτικές λύσεις για τα διασταυρούμενα pMOS τρανζίστορ και τους αντιστροφείς X-απόκλισης της λογικής CPL. Όλες οι άλλες εναλλακτικές παρέχουν μικρότερη ταχύτητα και μεγαλύτερη κατανάλωση επιφάνειας από την CPL.

9.3 Κίνδυνοι Κυκλωμάτων

Οι σχεδιαστές κυκλωμάτων συνηθίζουν να χρησιμοποιούν απλά κυκλώματα, επειδή είναι πιο εύρωστα. Τα περίτεχνα και προηγμένα κυκλώματα, και ιδιαίτερα αυτά με πολλά τρανζίστορ, προσθέτουν συνήθως περισσότερη επιφάνεια, χωρητικότητα και καταστάσεις που μπορεί να προκαλέσουν προβλήματα. Η στατική CMOS είναι η πιο εύρωστη οικογένεια κυκλωμάτων και θα πρέπει να χρησιμοποιείται οποτεδήποτε είναι δυνατόν. Σ' αυτή την ενότητα θα επιχειρήσουμε να κατηγοριοποιήσουμε τους διάφορους σχεδιαστικούς κινδύνους που θα μπορούσαν να οδηγήσουν ένα κύκλωμα σε αποτυχία:

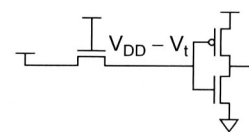
- Πτώσεις τάσης κατωφλίου
- Αστοχίες λόγω διαστάσεων
- Διαρροές
- Διαμοιρασμός φορτίου
- Θόρυβος στη γραμμή τροφοδοσίας
- Φαινόμενα ζεύξης
- Έγχυση φορέων μειονότητας
- Ζεύξη με την πίσω πύλη
- Ευαισθησία εισόδου διάχυσης στο θόρυβο
- Συνθήκες ανταγωνισμού
- Ταίριασμα καθυστερήσεων
- Μετασταθερότητα
- Υπερβολική τοπική αύξηση θερμοκρασίας (καυτές περιοχές)
- Τυχαία/παροδικά σφάλματα
- Ευαισθησία στην κατασκευαστική διαδικασία

Μιλήσαμε για τη χωρητική και επαγωγική ζεύξη στην Ενότητα 4.5. Τα κρυφά μονοπάτια εξετάστηκαν στην Ενότητα 9.2.4.6. Τα ζητήματα αξιοπιστίας, όπως π.χ. τα τυχαία/παροδικά σφάλματα (soft errors), που επηρεάζουν τη σχεδίαση κυκλωμάτων εξετάστηκαν στην Ενότητα 7.3. Τα προβλήματα χρονισμού,

όπως οι συνθήκες ανταγωνισμού, το ταίριασμα καθυστερήσεων και η μετασταθερότητα θα εξεταστούν στις Ενότητες 10.2.3, 10.5.4 και 10.6.1. Οι υπόλοιποι κίνδυνοι θα εξεταστούν στις ενότητες που ακολουθούν.

9.3.1 Πτώσεις Τάσης Κατωφλίου

Τα τρανζίστορ περάσματος οδηγούν καλά προς τη μια (προτιμώμενη) κατεύθυνση, αλλά φτάνουν μόνο σε στάθμη μειωμένη κατά V_t προς την άλλη κατεύθυνση. Το φαινόμενο αυτό αποκαλείται πτώση τάσης κατωφλίου (threshold drop). Για παράδειγμα, το Σχ. 9.55 παρουσιάζει ένα τρανζίστορ περάσματος που οδηγεί ένα λογικό 1 στον αντιστροφέα. Η έξοδος του τρανζίστορ περάσματος αυξάνεται μόνο έως την τιμή $V_{DD} - V_t$. Ακόμα χειρότερα, το φαινόμενο σώματος αυξάνει την τάση κατωφλίου, επειδή $V_{sb} > 0$ για το τρανζίστορ περάσματος. Η υποβαθμισμένη στάθμη δεν επαρκεί για απενεργοποίηση πλήρως το pMOS τρανζίστορ στον αντιστροφέα, με αποτέλεσμα κατανάλωση στατικής ισχύος. Στην πραγματικότητα, για χαμηλή τάση V_{DD} η υποβαθμισμένη έξοδος μπορεί να είναι τόσο ασθενής, ώστε ο αντιστροφέας να μην βλέπει μια έγκυρη στάθμη εισόδου V_{IH} . Τελικά η μετάβαση καθίσταται ληθαργική, καθώς η έξοδος προσεγγίζει την τιμή $V_{DD} - V_t$. Οι πτώσεις τάσης κατωφλίου ήταν ανεκτές σε παλαιότερες τεχνολογίες κατασκευής όπου $V_{DD} \approx 5 V_t$, αλλά σπανίως είναι αποδεκτές στις σύγχρονες τεχνολογίες κατασκευής, όπου η τροφοδοσία έχει κλιμακωθεί προς τα κάτω πολύ πιο γρήγορα απ' ό,τι η τάση κατωφλίου, σε $V_{DD} \approx 3 V_t$. Ως εκ τούτου, τα τρανζίστορ περάσματος πρέπει να αντικαθίστανται από πλήρεις πύλες μετάδοσης, ή μπορούν να χρησιμοποιούνται ασθενή pMOS τρανζίστορ ανάδρασης για να οδηγήσουν την έξοδο σε V_{DD} , όπως γινόταν σε αρκετές οικογένειες τρανζίστορ περάσματος.



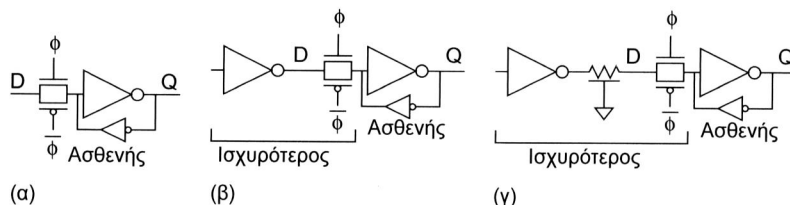
ΣΧΗΜΑ 9.54 Τρανζίστορ περάσματος με πτώση τάσης κατωφλίου.

9.3.2 Προβλήματα με τους Λόγους Διαστάσεων

Τα κυκλώματα ψευδο-nMOS παρουσιάζουν ορισμένους περιορισμούς σχετιζόμενους με τους λόγους διαστάσεων, οι οποίοι ανακύπτουν όταν ένας κόμβος οδηγείται ταυτόχρονα «πάνω» και «κάτω», συνήθως από ένα ισχυρό nMOS τρανζίστορ κι ένα ασθενές pMOS τρανζίστορ. Τα ασθενή τρανζίστορ πρέπει να είναι επαρκώς μικρά, ώστε η στάθμη εξόδου να πέφτει κάτω από την V_{IL} του επόμενου σταδίου κατά κάποιο περιθώριο θορύβου. Στην ιδανική περίπτωση, η έξοδος πρέπει να πέφτει κάτω από την V_t έτσι ώστε το επόμενο στάδιο να μην επάγει στατική ισχύ. Τα βασισζόμενα σε λόγο διαστάσεων κυκλώματα πρέπει να ελέγχονται στις γωνίες SF και FS.

Ένα διαφορετικό παράδειγμα προβλημάτων με τους λόγους διαστάσεων ανακύπτει σε κυκλώματα με ανάδραση. Για παράδειγμα, οι δυναμικοί διατηρητές, τα στοιχεία αποκατάστασης στάθμης σε SRPL και LEAP και οι αντιστροφείς με ανάδραση σε στατικούς μανδαλωτές είναι κυκλώματα που περιέχουν ασθενή τρανζίστορ ανάδρασης, τα οποία πρέπει να έχουν το σωστό λόγο διαστάσεων.

Ο καθορισμός του σωστού λόγου διαστάσεων επιδεικνύει ιδιαίτερη ευαισθησία στις εισόδους διάχυσης. Για παράδειγμα, το Σχήμα 9.55(α) παρουσιάζει ένα στατικό μανδαλωτή μ' έναν ασθενή αντιστροφέα ανάδρασης. Ο αντιστροφέας ανάδρασης πρέπει να είναι αρκετά ασθενής ώστε να τον υπερκεράσει ο εν σειρά συνδυασμός του τρανζίστορ περάσματος και της πύλης που οδηγεί την είσοδο D , όπως απεικονίζεται στο Σχήμα 9.55(β). Αυτό δεν μπορεί να επαληθευτεί μόνο με τον έλεγχο του μανδαλωτή· απαιτεί συνολικό έλεγχο του μανδαλωτή και του κυκλώματος-οδηγού. Ακόμα χειρότερα, εάν ο οδηγός είναι αρκετά απομακρυσμένος θα πρέπει να συνυπολογιστεί και η αντίσταση αγωγού, όπως απεικονίζεται στο Σχήμα 9.55(γ).



ΣΧΗΜΑ 9.55 Περιορισμός λόγου διαστάσεων σε στατικό μανδαλωτή με είσοδο διάχυσης.