

θύνσεις με αγωγούς σήματος, ώστε να παρέχονται μικροί βρόχοι επιστροφής ρεύματος και χαμηλή αυτεπαγωγή. Οι αγωγοί τροφοδοσίας θα πρέπει επίσης να έχουν αρκετή επιφάνεια διατομής, ώστε να αποφεύγονται προβλήματα ηλεκτρομετανάστευσης. Αυτές οι απαιτήσεις υποδηλώνουν μεγάλες ποσότητες χωρητικότητας μετάλλου και παράκαμψης· ωστόσο, οι περιορισμοί κόστους υπαγορεύουν όχι περισσότερη κατανάλωση επιφάνειας απ' όση είναι απαραίτητη.

Ένα υποσύστημα ρολογιού συμπεριλαμβάνει γεννήτρια ρολογιού, δίκτυο διανομής και κυκλώματα πύλης. Η γεννήτρια ρολογιού μπορεί να χρησιμοποιεί ένα PLL για να ευθυγραμμίζει το εντός ολοκληρωμένου ρολόι μ' ένα εξωτερικό ρολόι αναφοράς για σύγχρονη επικοινωνία και για πολλαπλασιασμό συχνότητας. Το δίκτυο διανομής ρολογιού θα πρέπει να στέλνει το γενικό ρολόι σε όλα τα χρονιζόμενα στοιχεία με χαμηλή χρονική απόκλιση, αλλά χωρίς να απαιτεί υπερβολική ισχύ ή επιφάνεια. Τα κυκλώματα πύλης εκτελούν τοπική διακοπή του ρολογιού, ή μπορούν να παράγουν πολλαπλές φάσεις από το ένα και μοναδικό γενικό ρολόι.

Στα σήματα E/E περιλαμβάνονται τα σήματα εισόδου & εξόδου, αμφίδρομα σήματα και αναλογικά σήματα. Οι ενισχυτές/υποβαθμιστές E/E πρέπει να παραδίδουν επαρκές εύρος ζώνης σε μεγάλες χωρητικότητες εκτός του ολοκληρωμένου, σε στάθμες τάσης συμβατές με άλλα ολοκληρωμένα. Επίσης πρέπει να προστατεύουν τα κυκλώματα του πυρήνα από υπέρταση και ηλεκτροστατική εκφόρτιση. Οι υψηλής ταχύτητας παράλληλες και σειριακές συνδέσεις πρέπει να συνυπολογίζονται τα χαρακτηριστικά της γραμμής μετάδοσης των αγωγών που συνδέουν διαφορετικά ολοκληρωμένα. Η τελική τους απόδοση περιορίζεται από την ικανότητά τους να δειγματοληπτούν τα λαμβανόμενα δεδομένα ακριβώς τη σωστή χρονική στιγμή.

Με διαρκώς αυξανόμενο ρυθμό, τα ολοκληρωμένα αξιοποιούν διάφορες μορφές τυχαιότητας για εφαρμογές ασφάλειας. Οι γεννήτριες πραγματικά τυχαιών αριθμών μπορούν να παράγουν απαραβίαστα κλειδιά κρυπτογράφησης. Οι τυχαιές διακυμάνσεις μπορούν επίσης να χρησιμοποιούνται για τη μονοσήμαντη ταυτοποίηση ολοκληρωμένων.

Ασκήσεις

- 13.1 Μια κεραμική συσκευασία PGA μ' έναν καλό απαγωγό θερμότητας και ανεμιστήρα έχει θερμική αντίσταση προς το περιβάλλον $10\text{ }^{\circ}\text{C}/\text{W}$. Η θερμική αντίσταση από την ψηφίδα προς τη συσκευασία είναι $2\text{ }^{\circ}\text{C}/\text{W}$. Εάν η συσκευασία είναι σ' ένα σασί το οποίο δεν πρόκειται να ξεπεράσει ποτέ τους $50\text{ }^{\circ}\text{C}$ και η μέγιστη αποδεκτή θερμοκρασία για την ψηφίδα είναι $110\text{ }^{\circ}\text{C}$, πόση ισχύ μπορεί να καταναλώνει το ολοκληρωμένο;
- 13.2 Εξηγήστε πώς ένα συμβάν ηλεκτροστατικής εκφόρτισης θα μπορούσε να προκαλέσει μανδάλωση σ' ένα ολοκληρωμένο CMOS.
- 13.3 Σχολιάστε τα πλεονεκτήματα και μειονεκτήματα των δένδρων-H και των πλεγμάτων ρολογιού. Υπό ποια έννοια ένα υβριδικό δένδρο/πλέγμα αποτελεί βελτίωση ενός κοινού πλέγματος;

Εργαλεία και Μεθοδολογίες Σχεδίασης

14

14.1 Εισαγωγή

Ο τρόπος με τον οποίο σχεδιάζεται ένα συγκεκριμένο σύστημα, ολοκληρωμένο (chip), ή μεμονωμένο κύκλωμα, μπορεί να επηρεάσει σε μεγάλο βαθμό τόσο την προσπάθεια που απαιτείται από το σχεδιαστή, όσο και το τελικό αποτέλεσμα. Οι σχεδιαστές ολοκληρωμένων συστημάτων έχουν αναπτύξει ειδικές στρατηγικές, ή έχουν υιοθετήσει στρατηγικές από παρεμφερή πεδία, όπως η ανάπτυξη λογισμικού, με στόχο τη συγκρότηση ενός ενιαίου και συνεκτικού συνόλου αρχών και κανόνων, η τήρηση των οποίων θα εγγυάται την έγκαιρη και επιτυχή σχεδίαση ενός συστήματος. Στο παρόν κεφάλαιο θα μελετήσουμε αυτές τις αρχές. Παρά το γεγονός ότι οι γενικές αρχές δεν έχουν αλλάξει εδώ και δεκαετίες, οι τεχνικές σχεδίασης και τα διάφορα εργαλεία εξελίσσονται, ακολουθώντας την εξέλιξη της τεχνολογίας και των αυξημένων απαιτήσεων για παραγωγικότητα. Σ' αυτό το κεφάλαιο θα εξετάσουμε τις σύγχρονες μεθοδολογίες σχεδίασης CMOS και θα αναφερθούμε εν τάχει σε ορισμένα πολύπλοκα ζητήματα, καθένα εκ των οποίων θα μπορούσε να αποτελέσει το θέμα ενός ολόκληρου βιβλίου. Οι ενδιαφερόμενοι αναγνώστες που θέλουν να παρακολουθούν ενεργά τις εξελίξεις σ' αυτό το ταχύτατα μεταβαλλόμενο πεδίο, μπορούν να ανατρέχουν στις εταιρείες και στη βιβλιογραφία που αναφέρονται σ' αυτό το κεφάλαιο.

Όπως αναφέραμε στην Ενότητα 1.6, ένα ολοκληρωμένο κύκλωμα μπορεί να περιγραφεί σε τρία διαφορετικά πεδία (domains): (1) το πεδίο συμπεριφοράς, (2) το πεδίο δομής, και (3) το φυσικό πεδίο. Στο πεδίο συμπεριφοράς, προδιαγράφεται η λειτουργία που θέλουμε να εκτελεί το περιγραφόμενο σύστημα. Για παράδειγμα, στο υψηλότερο δυνατό επίπεδο περιγραφής μπορούμε να διατυπώσουμε το ζητούμενο ως «υλοποίηση μιας κεραίας με εξαιρετικά χαμηλή κατανάλωση ισχύος για ένα καταμετρημένο δίκτυο αισθητήρων». Το πεδίο δομής καθορίζει τις διασυνδέσεις των επιμέρους δομικών μονάδων, ώστε να επιτευχθεί η επιθυμητή συμπεριφορά. Συνεχίζοντας το παράδειγμά μας, η κεραία μπορεί να αποτελείται από έναν αισθητήρα, έναν πομποδέκτη, έναν επεξεργαστή και μνήμη (με λογισμικό) και μια πηγή τροφοδοσίας – όλα αυτά συνδεδεμένα μ' ένα συγκεκριμένο τρόπο. Το φυσικό πεδίο ορίζει τη διάταξη των επιμέρους μονάδων που θα τους επιτρέψει να συνδεθούν μεταξύ τους με τρόπο ώστε να υλοποιείται η προδιαγραφείσα επιθυμητή συμπεριφορά. Το παράδειγμά μας, θα μπορούσε να ξεκινήσει με την περιγραφή της συσκευασίας που θα περικλείει το σύστημα και να συνεχιστεί με διαδοχικές φάσεις σχεδίων ή προδιαγραφών που θα καταλήξουν στην περιγραφή της απαιτούμενης γεωμετρίας για το ολοκληρωμένο. Η όλη διαδικασία σχεδίασης «ρέει» από το πεδίο συμπεριφοράς προς το πεδίο δομής και, τελικά, στη φυσική υλοποίηση, μέσω ενός συνόλου αυτοματοποιημένων ή μη μετασχηματισμών. Κάθε μετασχηματισμός ελέγχεται ως προς την ορθότητά του συγκρίνοντας τις προ- και μετά- του μετασχηματισμού περιγραφές. Για παράδειγμα, εάν έχει τεθεί ένα άνω όριο κατανάλωσης ενέργειας στην αρχική περιγραφή της κεραίας μας, στο πεδίο συμπεριφοράς, θα πρέπει να ελεγχθεί η περιγραφή στο πεδίο δομής, με ανατροφοδότηση πληροφορίας από το φυσικό επίπεδο, για να διασφαλιστεί ότι ο αρχικός σχεδιαστικός στόχος μπορεί να εκπληρωθεί.

Σε κάθε ένα από αυτά τα πεδία υπάρχει ένας αριθμός σχεδιαστικών επιλογών, οι οποίες μπορούν να υιοθετηθούν για την επίλυση ενός συγκεκριμένου προβλήματος. Για παράδειγμα, στο επίπεδο συμπεριφοράς, μπορούμε να επιλέξουμε το πρότυπο της ασύρματης επικοινωνίας και τη μορφή των δεδομένων που θα μεταδίδονται από την κεραία. Στο πεδίο δομής, μπορούμε να επιλέξουμε το συγκεκριμένο είδος κυκλώματος, τη λογική οικογένεια, ή τη στρατηγική χρονισμού που θα χρησιμοποιηθεί. Στο φυσικό επίπεδο μπορεί να έχουμε διάφορες επιλογές υλοποίησης, σχετιζόμενες με το ίδιο το ολοκληρωμένο, την πλατφόρμα

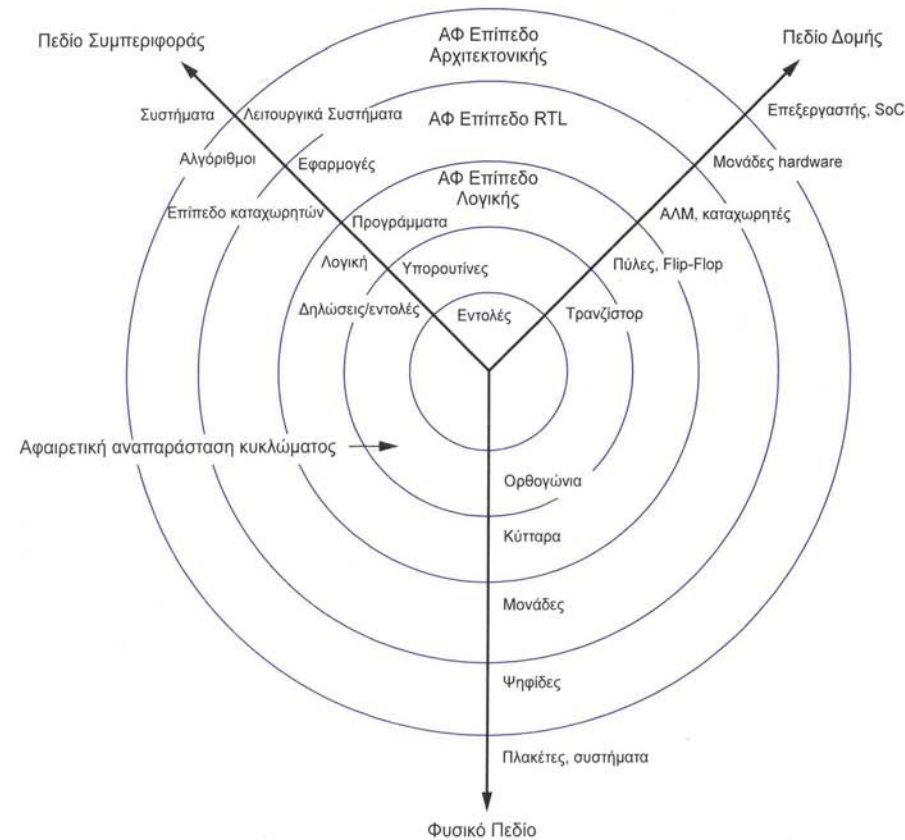
υλοποίησης και τη συσκευασία. Αυτά τα τρία πεδία μπορούν να διαχωριστούν ιεραρχικά σε επίπεδα σχεδιαστικής αφαίρεσης. Για τα ψηφιακά ολοκληρωμένα, έχουμε τα ακόλουθα επίπεδα αφαίρεσης:

- Επίπεδο αρχιτεκτονικής ή λειτουργίας
- Επίπεδο λογικής, ή επίπεδο λειτουργιών μεταφοράς καταχωρητών (Register-transfer level, RTL)
- Κυκλωματικό επίπεδο

Για αναλογικά και RF κυκλώματα, το επίπεδο δομικού διαγράμματος βαθμίδων (block diagram) αντικαθιστά το επίπεδο λογικής.

Η σχέση μεταξύ των πεδίων περιγραφής και των επιπέδων σχεδιαστικής αφαίρεσης αποτυπώνεται με κομψό τρόπο στο Y-διάγραμμα των Gajski & Kuhn (Σχήμα 14.1). Σ' αυτό το διάγραμμα, οι τρεις ακτινικές γραμμές αντιπροσωπεύουν τα τρία πεδία σχεδίασης: συμπεριφοράς, δομής και φυσικό. Κατά μήκος της κάθε γραμμής αναφέρονται τύποι αντικειμένων που ανήκουν στο συγκεκριμένο πεδίο. Στο πεδίο συμπεριφοράς έχουμε εντάξει τις συμβατικές κατηγορίες των γλωσσών προγραμματισμού και περιγραφής hardware (HDL). Καθώς απομακρυνόμαστε από το κέντρο του Y-διαγράμματος, κατά μήκος οποιουδήποτε από τους ακτινικούς άξονες, το αυξανόμενο επίπεδο σχεδιαστικής αφαίρεσης μπορεί να αναπαραστήσει μεγαλύτερη πολυπλοκότητα. Συνεπώς, στο πεδίο συμπεριφοράς, το χαμηλότερο επίπεδο αφαίρεσης είναι η εντολή (συμβατικού λογισμικού, ή μιας HDL). Οι κύκλοι αναπαριστούν τα επίπεδα σχεδιαστικής αφαίρεσης: αρχιτεκτονικής, καταχωρητών, λογικής και κυκλώματος. Είναι πιθανό να υπάρχουν μικρές διαφορές στα συγκεκριμένα επίπεδα αφαίρεσης και αντικείμενα σχεδίασης, ανάλογα τη μέθοδο σχεδίασης.

Στο παρόν κεφάλαιο θα εξετάσουμε τους τρόπους με τους οποίους μπορούμε να μεταφέρουμε την περιγραφή από ένα πεδίο σ' ένα άλλο, διατηρώντας, ωστόσο, την ακεραιότητα της σχεδίασης. Μόνο μ' αυτό τον τρόπο μπορούμε να ξεκινήσουμε από την προδιαγραφή της επιθυμητής συμπεριφοράς και να καταλήξουμε σ' ένα επιτυχημένο προϊόν.



ΣΧΗΜΑ 14.1 Το Y-διάγραμμα των Gajski & Kuhn.

Θα ξεκινήσουμε περιγράφοντας ορισμένες από τις κατευθυντήριες αρχές που εφαρμόζονται στα περισσότερα σχεδιαστικά έργα. Στη συνέχεια θα εξετάσουμε τις διάφορες στρατηγικές που είναι διαθέσιμες στους σχεδιαστές ολοκληρωμένων CMOS – από τις προσεγγίσεις που είναι κατάλληλες για ταχύτατη προτυποποίηση ή μικρούς όγκους παραγωγής, έως τις μεθοδολογίες που χρησιμοποιούνται για τη σχεδίαση ψηφιακών, αναλογικών ή RF συστημάτων μεγάλου όγκου παραγωγής. Τέλος, θα εξετάσουμε την οικονομική πλευρά της σχεδίασης, η οποία μπορεί να μας καθοδηγήσει στη σωστή επιλογή της στρατηγικής υλοποίησης και θα περιγράψουμε επίσης τις απαιτήσεις τεκμηρίωσης.

14.2 Στρατηγικές Δομημένης Σχεδίασης

Η οικονομική βιωσιμότητα ενός ολοκληρωμένου επηρεάζεται σε μεγάλο βαθμό από την παραγωγικότητα που μπορεί να επιτευχθεί κατά τη σχεδίαση. Αυτή, με τη σειρά της, εξαρτάται από την αποτελεσματικότητα με την οποία η σχεδίαση μπορεί να μετατραπεί από αρχική ιδέα σε αρχιτεκτονική, σε λογική και μνήμη, σε κύκλωμα και, τελικά, σε φυσικό σχέδιο. Ένα καλό σύστημα σχεδίασης VLSI θα πρέπει να παρέχει συνεπή περιγραφή και στα τρία πεδία (συμπεριφοράς, δομής και φυσικό) καθώς και σε όλα τα σχετικά επίπεδα αφαίρεσης (αρχιτεκτονικής, RTL, λογικής και κυκλώματος). Τα μέσα με τα οποία επιτυγχάνεται αυτό μπορούν να μετρηθούν με διάφορους όρους, η σπουδαιότητα των οποίων εξαρτάται από την εκάστοτε εφαρμογή. Αυτές οι σχεδιαστικές παράμετροι προσδιορίζονται βάσει των ακόλουθων:

- Απόδοση: ταχύτητα, ισχύς, λειτουργία, ευελιξία
- Μέγεθος ψηφίδας (και, κατ' επέκταση, κόστος ψηφίδας)
- Χρόνος σχεδίασης (και, κατ' επέκταση, κόστος μηχανικών και χρονοδιαγράμματος)
- Ευκολία επαλήθευσης, δημιουργία δοκιμών και καταλληλότητα για δοκιμή (και, κατ' επέκταση, κόστος μηχανικών και χρονοδιαγράμματος)

Η σχεδίαση είναι μια συνεχής αλληλουχία συμβιβασμών με στόχο την επίτευξη ικανοποιητικών αποτελεσμάτων για όλες τις παραπάνω παραμέτρους. Τα εργαλεία και οι μεθοδολογίες που χρησιμοποιούνται για ένα συγκεκριμένο ολοκληρωμένο είναι συνάρτηση αυτών των παραμέτρων. Ορισμένα τελικά αποτελέσματα είναι επιβεβλημένα (π.χ. το ολοκληρωμένο πρέπει να καλύπτει συγκεκριμένες προδιαγραφές απόδοσης), ενώ άλλοι περιορισμοί μπορεί να επιβάλλονται από οικονομικούς λόγους (π.χ. το μέγεθος της ψηφίδας επηρεάζει την απόδοση παραγωγής), ή ακόμα και υποκειμενικούς λόγους (π.χ. κάτι το οποίο ένας σχεδιαστής θεωρεί εύκολο, κάποιος άλλος μπορεί να το θεωρεί ανέφικτο).

Δεδομένου ότι η σχεδίαση ενός συστήματος σε πυρίτιο είναι μια περίπλοκη διαδικασία, ο ρόλος ενός καλού σχεδιαστικού εργαλείου VLSI είναι να μειώσει αυτή την πολυπλοκότητα, να αυξήσει την παραγωγικότητα και να εγγυηθεί στο σχεδιαστή ένα λειτουργικό προϊόν. Μια καλή μέθοδος για την απλοποίηση του τρόπου με τον οποίο προσεγγίζεται μια σχεδίαση είναι η χρήση περιορισμών και αφαιρέσεων. Χρησιμοποιώντας περιορισμούς, ο σχεδιαστής μπορεί να ελπίζει ότι θα καταφέρει να αυτοματοποιήσει ορισμένες διαδικασίες και να ελαχιστοποιήσει τυχόν προχειρότητες στη σχεδίαση. Χρησιμοποιώντας αφαιρέσεις, ο σχεδιαστής μπορεί να «συμπτύξει» –ουσιαστικά, να αποκρύψει– τις λεπτομέρειες, ώστε να οδηγηθεί στο χειρισμό ενός απλούστερου αντικειμένου.

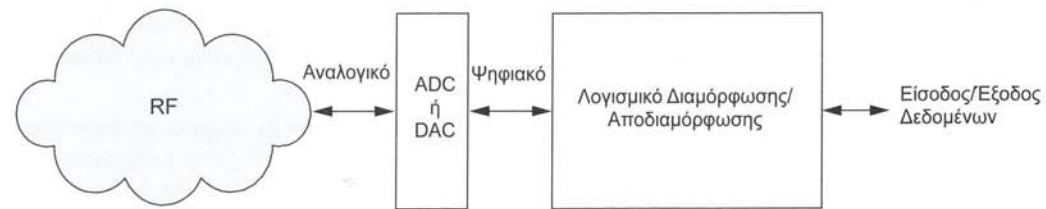
Στο παρόν κεφάλαιο θα εξετάσουμε διάφορες σχεδιαστικές μεθοδολογίες που μας παρέχουν την ελευθερία να επιλέξουμε την κατάλληλη στρατηγική σχεδίασης. Η επιλογή, υποθέτοντας ότι όλες οι μεθοδολογίες είναι εξίσου διαθέσιμες, εξαρτάται ολοκληρωτικά από τα οικονομικά δεδομένα. Ανάλογα με την προς υλοποίηση λειτουργία, επιλέγεται η πλέον πρόσφορη μέθοδος σχεδίασης. Στη συνέχεια υπολογίζεται το κόστος της απαιτούμενης ψηφίδας και επιλέγεται ο ταχύτερος τρόπος υλοποίησής της. Εδώ θα επικεντρωθούμε στις τεχνικές δομημένης σχεδίασης, διότι αυτές προσφέρουν την καταλληλότερη μέθοδο για την αντιμετώπιση της σχεδιαστικής πολυπλοκότητας.

Η επιτυχής υλοποίηση κάθε ολοκληρωμένου προϋποθέτει προσοχή στις λεπτομέρειες της διαδικασίας σχεδίασης. Με τα χρόνια, έχουν αναπτυχθεί διάφορες τεχνικές δομημένης σχεδίασης, ικανές να χειριστούν εξαιρετικά πολύπλοκα έργα ανάπτυξης hardware και λογισμικού. Οι τεχνικές αυτές επιδεικνύουν μεγάλο βαθμό ομοιότητας μεταξύ τους. Η σχολαστική εφαρμογή τους μπορεί να αλλάξει δραστικά την προσπάθεια που απαιτείται για ένα δεδομένο σχεδιαστικό έργο, καθώς επίσης και τις πιθανότητες για ένα επιτυχές αποτέλεσμα.

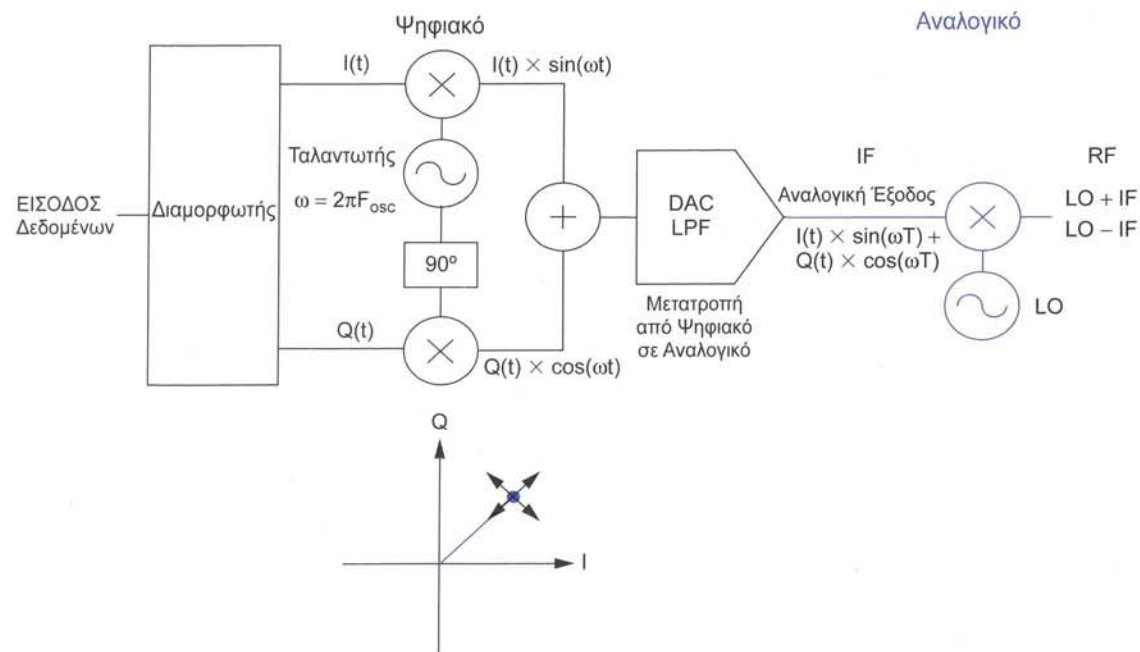
14.2.1 Παράδειγμα Συστήματος: Πομποδέκτης Υλοποιημένος με Λογισμικό

Για να σας καθοδηγήσουμε στη διαδικασία της δομημένης σχεδίασης, θα χρησιμοποιήσουμε ως παράδειγμα έναν υποθετικό «πομποδέκτη λογισμικού» (software radio), ο οποίος απεικονίζεται στο Σχήμα 14.2. Αυτή η συσκευή χρησιμοποιείται για τη μετάδοση και λήψη ραδιοσημάτων (RF). Στην πλευρά του πομπού, η πληροφορία διαμορφώνεται με βάση ένα φέρον σήμα RF, για τη μετάδοση δεδομένων, ήχου, ή εικόνας βίντεο. Στην πλευρά του δέκτη, το φέρον σήμα αποδιαμορφώνεται για να ληφθεί η μεταδοθείσα πληροφορία. Ένας ιδανικός πομποδέκτης λογισμικού θα είχε δυνατότητα λήψης σε οποιαδήποτε συχνότητα και κωδικοποίησης/ αποκωδικοποίησης κάθε είδους πληροφορίας, ανεξαρτήτως του ρυθμού δεδομένων. Στο μέλλον αυτό μπορεί να καταστεί εφικτό, αλλά με δεδομένους τους περιορισμούς των σύγχρονων διαδικασιών σχεδίασης υπάρχουν ακόμα πολλά εμπόδια για την επίτευξη αυτού του στόχου. Για να κατανοήσετε την επίδραση των μεθόδων σχεδίασης στην τελική υλοποίηση του συστήματος, θα εξετάσουμε λεπτομερώς τη σχεδίαση του πομποδέκτη λογισμικού. Το σύστημα αυτό θα εξυπηρετήσει ως βάση για τη συζήτησή μας πάνω στις δομημένες τεχνικές σχεδίασης.

Το Σχήμα 14.3 απεικονίζει ένα τυπικό μονοπάτι για τη λειτουργία της μετάδοσης σ' ένα γενικευμένο ασύρματο πομποδέκτη, ο οποίος αποκαλείται *διαμορφωτής IQ*. Μια ροή δεδομένων εισόδου κωδικοποιείται σ' ένα συμφασικό σήμα I κι ένα ορθογώνιο (με διαφορά φάσης 90°) σήμα Q . Οι τιμές των I και Q αναπαριστούν τα πλάτη ενός σήματος τάσης που μεταβάλλεται στιγμιαία στο χρόνο, όπως επισημαίνεται στο κάτω τμήμα του Σχήματος 14.3. Για κατάλληλες τιμές των I και Q , μπορεί να συντεθεί οποιοσδήποτε τύπος διαμορφωμένου φέροντος. Το σήμα I πολλαπλασιάζεται με χρήση ενός ταλαντωτή ημιτόνου, ο οποίος



ΣΧΗΜΑ 14.2 Δομικό διάγραμμα του πομποδέκτη λογισμικού.



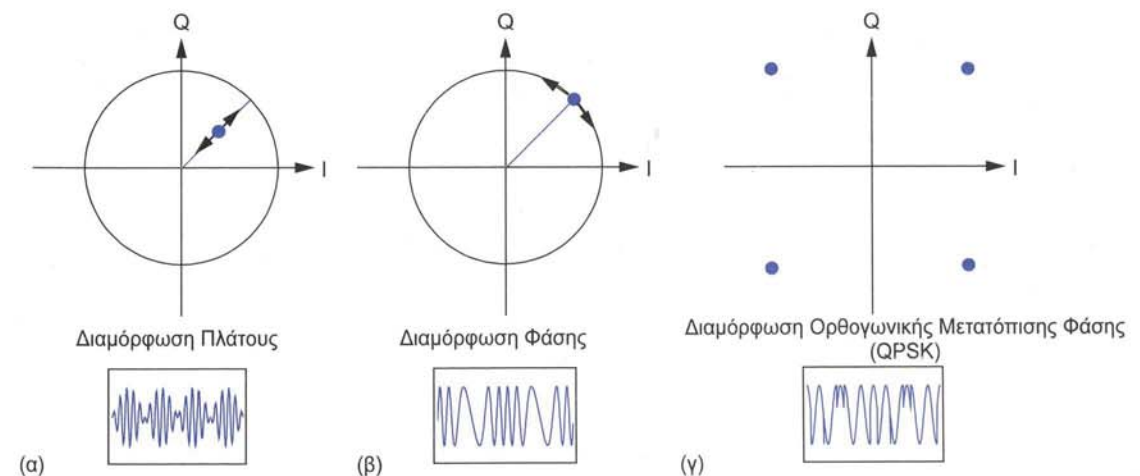
ΣΧΗΜΑ 14.3 Το μονοπάτι μετάδοσης του πομποδέκτη λογισμικού.

λειτουργεί σε συχνότητα F_{osc} . Το σήμα Q πολλαπλασιάζεται με το συνημίτονο της F_{osc} . Τα σήματα που προκύπτουν προστίθενται και περνούν από έναν μετατροπέα ψηφιακού σε αναλογικό (Digital-to-Analog Converter, DAC). Στην έξοδο του μετατροπέα παράγεται το σήμα που ορίζεται ως *Ενδιάμεση Συχνότητα* (Intermediate Frequency, IF).

Το Σχήμα 14.4 παρουσιάζει ορισμένα τυπικά παραδείγματα διαμόρφωσης IQ. Στη *διαμόρφωση πλάτους* (Amplitude Modulation, AM) που απεικονίζεται στο 14.4(α), μεταβάλλεται μόνο το πλάτος του φέροντος σήματος σύμφωνα με το πλάτος της προς διαμόρφωση κυματομορφής. Αυτή αναπαρίσταται ως ένα σήμα με αυθαίρετη γωνία φάσης (η οποία δεν μας ενδιαφέρει) κι ένα διάνυσμα, το οποίο κινείται από την αρχή των αξόνων έως το σημείο του κύκλου που ορίζεται από το μέγιστο πλάτος του φέροντος σήματος. Στην περίπτωση ασύρματης επικοινωνίας AM, η συχνότητα του φέροντος μπορεί να είναι 800 KHz (στη ζώνη AM) και οι συχνότητες διαμόρφωσης κυμαίνονται από 300 Hz έως 6 KHz (συχνότητες φωνής και μουσικής). Η *διαμόρφωση φάσης* (Phase Modulation) απεικονίζεται στο Σχήμα 14.4(β). Εδώ, το διάνυσμα κινείται πάνω στον κύκλο που ορίζει το μέγιστο πλάτος του φέροντος μεταβάλλοντας την γωνία φάσης (δ) καθώς αλλάζει η διαμόρφωση. Η διαμόρφωση αυτή είναι σταθερού πλάτους και μπορεί να χρησιμοποιηθεί με συχνότητες φέροντος της τάξης των 100 MHz (στη ζώνη μετάδοσης FM - αν και τεχνικά δεν είναι σωστό, συνδέουμε τη διαμόρφωση συχνότητας με τη διαμόρφωση φάσης, δεδομένου ότι σχετίζονται σε μεγάλο βαθμό) και συχνότητες διαμόρφωσης που κυμαίνονται από 200 Hz έως 20 KHz (ακουστικές συχνότητες). Τέλος, το Σχήμα 14.4(γ) απεικονίζει τη διαμόρφωση *Ορθογωνικής Μετατόπισης Φάσης* (Quadrature Phase Shift Keying, QPSK), η οποία είναι χαρακτηριστική των συστημάτων μετάδοσης ψηφιακών δεδομένων. Δύο δυαδικά ψηφία (bits) δεδομένων κωδικοποιούνται σε 4 σημεία φάσης, όπως υποδεικνύεται στο διάγραμμα. Μια αντιπροσωπευτική συχνότητα φέροντος είναι τα 2.4 GHz στη Βιομηχανική, Επιστημονική και Ιατρική ζώνη σημάτων (Industrial, Scientific & Medical, ISM) και ο ρυθμός των δεδομένων διαμόρφωσης φτάνει τα 10 Mb/s.

Είναι προφανές ότι το εύρος συχνοτήτων του φέροντος και του σήματος διαμόρφωσης επδεικνύουν σημαντική διαφοροποίηση. Γενικά, για φέροντα υψηλών συχνοτήτων η διαμόρφωση μπορεί να εκτελείται σε μια ενδιάμεση συχνότητα και στη συνέχεια να μετατρέπεται σε υψηλότερη συχνότητα μέσω αναλογικού πολλαπλασιασμού. Η διαδικασία αυτή ολοκληρώνεται στο αναλογικό πεδίο και απεικονίζεται με τις μπλε μονάδες στη δεξιά πλευρά του Σχήματος 14.3. Ένας αναλογικός πολλαπλασιαστής (*μεικτής* στην ορολογία των ασύρματων επικοινωνιών) δέχεται το σήμα ενός τοπικού ταλαντωτή (Local Oscillator, LO) και το παραγόμενο IF σήμα και παράγει το άθροισμα και τη διαφορά των συχνοτήτων. (Είναι επίσης δυνατόν να παραχθεί άμεσα η επιθυμητή ραδιοσυχνότητα, αλλά για το παράδειγμά μας εδώ θα χρησιμοποιήσουμε την προσέγγιση της ενδιάμεσης συχνότητας).

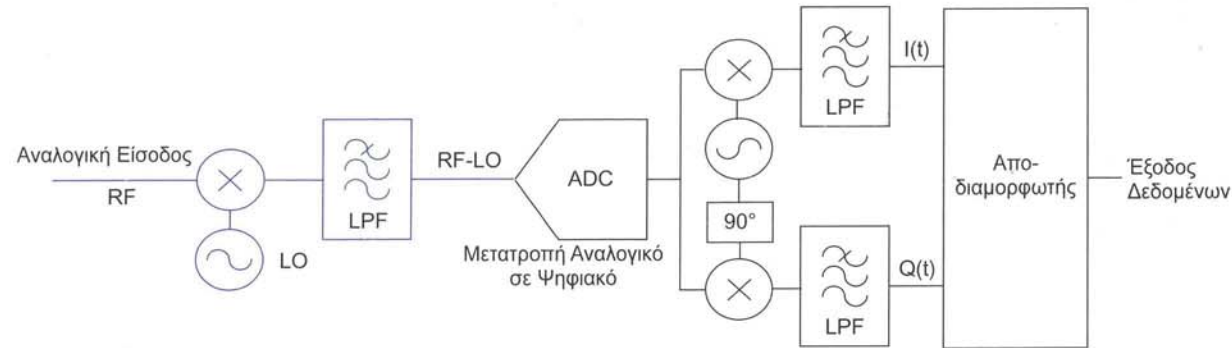
Για την επιλογή της επιθυμητής συνιστώσας μείξης (LO+IF ή LO-IF) μπορεί να χρησιμοποιηθεί ένα αναλογικό ζωνοπερατό φίλτρο ή ένας σχετικά πιο προηγμένος μεικτής. Για παράδειγμα, εάν διαμορφώσουμε ένα σήμα δεδομένων στα 20 MHz IF και το «αναμείξουμε» μ' ένα 2.4 GHz σήμα LO, μπορούμε



ΣΧΗΜΑ 14.4 Παραδείγματα διαμόρφωσης IQ.

να παράγουμε ένα σήμα δεδομένων 2.402 ή 2.398 GHz. Η διαδικασία αυτή αποκαλείται *άνω-μετατροπή* (upconversion).

Για την ολοκλήρωση του πομποδέκτη λογισμικού απαιτείται το μονοπάτι λήψης, το οποίο απεικονίζεται στο Σχήμα 14.5. Όπως βλέπετε, είναι σχεδόν αντίστροφο αυτού της μετάδοσης. Όπως και στη διαδικασία μετάδοσης, οι υψηλότερες συχνότητες μετατρέπονται σε χαμηλότερες IF συχνότητες τις οποίες μπορούν να επεξεργαστούν οι μετατροπείς ADC. Το σήμα RF εισέρχεται στο μείκτη μαζί με το σήμα LO. Το αποτέλεσμα της «μείξης» περνά από ένα βαθυπερατό φίλτρο για να παραχθεί η συχνότητα διαφοράς. Για παράδειγμα, εάν γίνει μείξη ενός σήματος LO 2.4 GHz με το RF σήμα των 2,402 GHz, προκύπτει το IF σήμα των 20 MHz. Ένας μετατροπέας αναλογικού σε ψηφιακό (ADC) μετατρέπει το διαμορφωμένο IF σήμα σε μια ροή ψηφιακών δεδομένων. Τα ψηφιακά δεδομένα πολλαπλασιάζονται με την έξοδο ενός ψηφιακού ταλαντωτή που λειτουργεί στην ενδιάμεση (IF) συχνότητα. Μετά από φιλτράρισμα μ' ένα ψηφιακό βαθυπερατό φίλτρο (LPF), προκύπτουν τα αρχικά σήματα I και Q και περνούν από έναν αποδιαμορφωτή. Για περισσότερες λεπτομέρειες σχετικά με την ασύρματη μετάδοση ψηφιακών δεδομένων, ο ενδιαφερόμενος αναγνώστης μπορεί να ανατρέξει στη βιβλιογραφία με θέμα τη θεωρία επικοινωνιών [Haykin00].



ΣΧΗΜΑ 14.5 Το μονοπάτι λήψης του πομποδέκτη λογισμικού.

Συνοψίζοντας, παρατηρούμε ότι ο πολλαπλασιασμός, η παραγωγή κυματομορφών ημιτόνου και η διαδικασία φιλτράρισματος είναι ιδιαίτερα σημαντικές εργασίες στην περίπτωση του πομποδέκτη λογισμικού. Παρόλο που οι διαδικασίες διαμόρφωσης και αποδιαμόρφωσης δεν περιγράφηκαν λεπτομερώς, οι κυριότερες λειτουργίες που περιλαμβάνουν είναι η μείξη (πολλαπλασιασμός) σημάτων, η μετατροπή χρονικών περιγραφών σε αντίστοιχες συχνότητες (γρήγορος μετασχηματισμός Fourier), η συσχέτιση των σημάτων και άλλες εξειδικευμένες λειτουργίες κωδικοποίησης. Στις επόμενες ενότητες θα εξετάσουμε τις σχεδιαστικές αρχές της ιεραρχίας, της κανονικότητας, της τμηματοποίησης και της τοπικότητας, χρησιμοποιώντας απτά παραδείγματα βασισμένα σ' αυτό τον πομποδέκτη λογισμικού.

14.2.2 Ιεραρχία

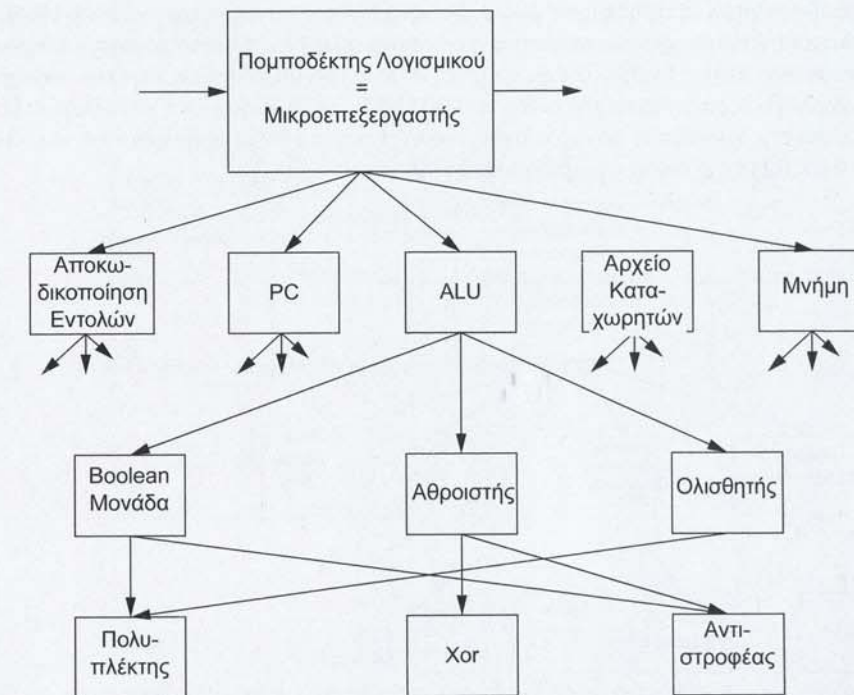
Η χρήση της ιεραρχίας, ή της τεχνικής «διαίρει και βασίλευε», συνίσταται στη διαίρεση μιας μονάδας σε υπομονάδες και στην κατ' επανάληψη εφαρμογή αυτής της διαδικασίας στις υπομονάδες, έως ότου η πολυπλοκότητα τους να φτάσει σ' ένα επαρκώς κατανοητό επίπεδο λεπτομέρειας. Αυτό σημαίνει ότι η διαδικασία σταματά σ' ένα επίπεδο ιεραρχίας, όπου είναι διαθέσιμες προκατασκευασμένες μονάδες για την υλοποίηση της συγκεκριμένης λειτουργίας. Υπάρχει αντίστοιχη διαδικασία στο πεδίο του λογισμικού, όπου μεγάλα προγράμματα διασπώνται σε ολόένα και μικρότερα, έως ότου να μπορούν να γραφούν απλές υπορουτίνες με καλά ορισμένες συναρτήσεις και μηχανισμούς επικοινωνίας. Στην περίπτωση των προκαθορισμένων μονάδων, η διαδικασία σχεδίασης περιλαμβάνει ειδικές βιβλιοθήκες για την υλοποίηση της επιθυμητής λειτουργίας. Η έννοια της «παράλληλης ιεραρχίας» μπορεί να χρησιμοποιηθεί για τη συγχώνευση περιγραφών από τα πεδία συμπεριφοράς, δομής και φυσικό που αναπαριστούν τη σχεδίαση (παράλληλη ιεραρχία σημαίνει ότι χρησιμοποιείται μία ιεραρχία –όχι αναγκαστικά πανομοιότυπη– σε κάθε πεδίο περιγραφής). Επιπλέον, εργαλεία ελέγχου ισοδυναμίας μπορούν να εγγραφούν τη συνέπεια μεταξύ των τριών πεδίων αναπαράστασης. Λόγω του ότι τα εργαλεία αυτά μπορούν να εφαρμόζονται ιεραρχικά, η διαδικασία επαλήθευσης μπορεί να προχωρά από τα χαμηλότερα προς τα υψηλότερα (bottom-to-top) επίπεδα ιεραρχίας, ελέγχοντας ξεχωριστά την περιγραφή του κάθε πεδίου. Για παράδειγμα, ένας RISC επεξεργαστής

στής μπορεί να έχει ένα HDL μοντέλο που περιγράφει τη συμπεριφορά του επεξεργαστή, μια περιγραφή σε επίπεδο πυλών (gate netlist) που καθορίζει τον τύπο και τη διασύνδεση των πυλών που απαιτούνται για την υλοποίηση του επεξεργαστή και μια περιγραφή τοποθέτησης και διασύνδεσης η οποία περιγράφει τον τρόπο φυσικής κατασκευής του επεξεργαστή σε μια δεδομένη τεχνολογία. Παρακάτω σ' αυτό το κεφάλαιο θα δείτε ότι οι συγκρίσεις μεταξύ των περιγραφών του κάθε πεδίου χρησιμοποιούνται για την επαλήθευση της συμφωνίας μεταξύ των πεδίων αναπαράστασης.

Η ιεραρχία επιτρέπει τη χρήση *εικονικών μονάδων* (virtual components) – «συνθετικών» εκδόσεων των συμβατικών ολοκληρωμένων. Οι εικονικές μονάδες τοποθετούνται στη σχεδίαση ενός ολοκληρωμένου κυκλώματος ως «κομμάτια κώδικα» και διατίθενται με συνοδευτικό υλικό τεκμηρίωσης, όπως π.χ. scripts για την εκτέλεση ελέγχων επαλήθευσης. Τέτοιες μονάδες μπορεί κανείς να προμηθευτεί από ανεξάρτητους παροχείς προϊόντων πνευματικής ιδιοκτησίας (intellectual property, IP): εναλλακτικά, μπορούν να επαναχρησιμοποιηθούν εικονικές μονάδες από προηγούμενα σχεδιαστικά έργα του ίδιου οργανισμού. Οι εικονικές μονάδες εξετάζονται στην Ενότητα 14.5.7.

Παράδειγμα 14.1

Οι ψηφιακές λειτουργίες για το μονοπάτι μετάδοσης του πομποδέκτη λογισμικού μπορούν να εκτελούνται σε λογισμικό. Συνεπώς, ένας μικροεπεξεργαστής μπορεί να αποτελέσει τη βάση της σχεδίασης. Σ' αυτή την περίπτωση, η σχεδίαση μπορεί ακολουθήσει την ιεραρχία ενός τυπικού επεξεργαστή, όπως παρουσιάζεται στο Σχήμα 14.6. Στο υψηλότερο επίπεδο, ο επεξεργαστής περιλαμβάνει την αριθμητική λογική μονάδα (ALU), το μετρητή προγράμματος (PC), το αρχείο καταχωρητών (register file), τη μονάδα αποκωδικοποίησης εντολών και τη μνήμη. Η ALU μπορεί να αναλυθεί περαιτέρω σ' έναν αθροιστή, μια μονάδα Boolean λογικής κι έναν καταχωρητή ολίσθησης. Ο καταχωρητής ολίσθησης και ο αθροιστής μαζί μπορούν να εκτελέσουν τη λειτουργία του πολλαπλασιασμού. Το διάγραμμα απεικονίζει πώς μια σχετικά σύνθετη μονάδα μπορεί να αναλυθεί γρήγορα σε απλούστερες υπομονάδες, μέσα σε λίγα επίπεδα ιεραρχίας. Κάθε επίπεδο ιεραρχίας περιέχει λίγα μόνο στοιχεία, πράγμα το οποίο συμβάλλει στην κατανόηση του συγκεκριμένου επιπέδου.

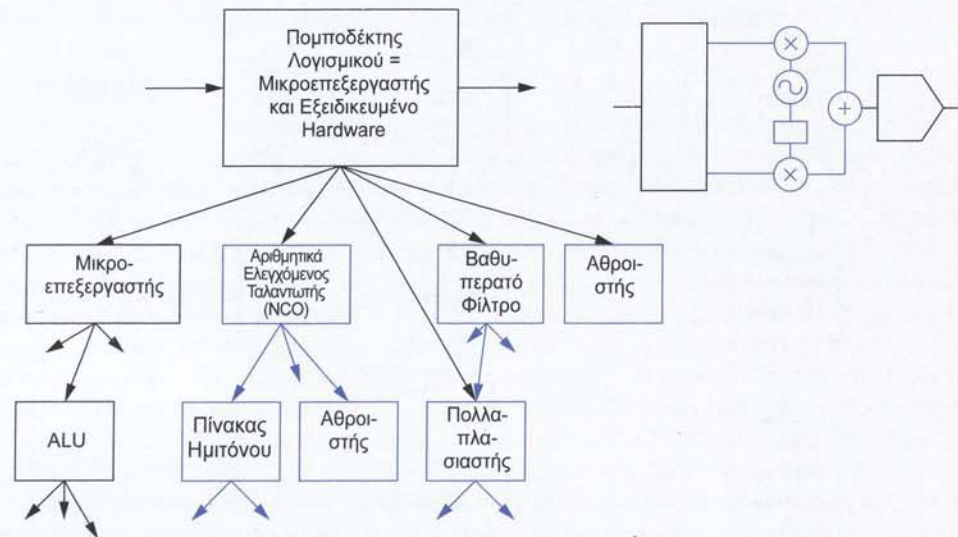


ΣΧΗΜΑ 14.6 Μια πιθανή ιεραρχία για τον πομποδέκτη λογισμικού, η οποία χρησιμοποιεί μόνο έναν επεξεργαστή.

Παράδειγμα 14.2

Μπορούμε να υπολογίσουμε μια προσεγγιστική εκτίμηση της απόδοσης που απαιτείται για το μονοπάτι μετάδοσης, παρατηρώντας ότι χρειάζονται τουλάχιστον δύο πολλαπλασιασμοί, μια πρόσθεση και δύο αναφορές σε πίνακα αναζήτησης (για το ημίτονο και το συνημίτονο). Για την κατακράτηση της τιμής του μετρητή προγράμματος απαιτείται μια επιπλέον πρόσθεση. Ένας επαναληπτικός πολλαπλασιασμός χρειάζεται N κύκλους για ένα διάνυσμα μεγέθους N . Άρα, για μια 16-bit λέξη, ο συνολικός αριθμός κύκλων που θα χρειαστούν για τη μετάδοσή της θα είναι περίπου $16+16+1+2+2+1$ (εάν η αναφορά στον πίνακα αναζήτησης χρειάζεται 2 κύκλους). Άρα, συνολικά χρειάζονται περίπου 40 κύκλοι. Για έναν επεξεργαστή που λειτουργεί στο 1 GHz, η ταχύτερη εκτέλεση της IQ μετατροπής θα είναι περίπου 40 ns, τιμή η οποία, σύμφωνα με το κριτήριο του Nyquist ($F_{\text{analog_max}} = F_{\text{sample}}/2$), επιτρέπει την παραγωγή ενός IF σήματος στα 12.5MHz. Φυσικά, τα παραπάνω ισχύουν υπό την προϋπόθεση ότι δεν χρειάζεται περαιτέρω επεξεργασία για τη διαμόρφωση του φέροντος. Αν και θα μπορούσαμε να προσθέσουμε έναν επιπλέον επεξεργαστή, αυτό θα ήταν σημαντική σπατάλη hardware και ισχύος, δεδομένης της εργασίας που πρέπει να εκτελεστεί.

Από τη σκοπιά της απόδοσης, μια αποτελεσματικότερη προσέγγιση είναι η χρήση εξειδικευμένου hardware για τις υπολογιστικά απαιτητικές λειτουργίες. Το σημείο-κλειδί έγκειται στο να παρατηρήσουμε ότι το τμήμα του πομποδέκτη λογισμικού που αφορά την IQ διαμόρφωση (για δεδομένες μονάδες ADC και DAC) στα μονοπάτια μετάδοσης και λήψης έχει σχετικά σταθερή αρχιτεκτονική. Για το μονοπάτι μετάδοσης, η ιεραρχία του Σχήματος 14.7 μπορεί να χρησιμοποιηθεί εκεί όπου οι μπλε μονάδες έχουν μετατραπεί σε μη-προγραμματιζόμενο hardware ειδικού σκοπού. Αυτό είναι σχετικά ασφαλές, επειδή η λειτουργία άνω-μετατροπής IQ είναι ένα ευρέως χρησιμοποιούμενο δομικό στοιχείο στα ηλεκτρονικά επικοινωνιών. Επιπρόσθετα με τους πολλαπλασιαστές, στη σχετική βιβλιογραφία έχει παρουσιαστεί μια μονάδα που αποκαλείται *Αριθμητικά Ελεγχόμενος Ταλαντωτής (Numerically Controlled Oscillator-NCO)* [Lu93, Lu93b, Hwang02]. Το κύκλωμα NCO, το οποίο θα περιγράψουμε λεπτομερώς σε επόμενη ενότητα, παράγει κυματομορφές ημιτόνου ή συνημίτονου, με ταχύτητα που καθορίζεται από την καθυστέρηση ενός N -bit αθροιστή, όπου το N κυμαίνεται μεταξύ 16 και 32 για τυπικούς NCO. Η απόφαση για χρήση εξειδικευμένου hardware για την IQ άνω-μετατροπή συχνότητας επιτρέπει στο κύκλωμα να παράγει μια νέα τιμή σε κάθε κύκλο. Βασίζομενοι στη συντηρητική υπόθεση ότι οι αριθμητικές μονάδες λειτουργούν με την ίδια ταχύτητα που λειτουργεί η ALU του επεξεργαστή, όλο το κύκλωμα θα λειτουργεί σε συχνότητα 1 GHz. Σύμφωνα με τη θεωρία δειγματοληψίας, αυτό το σύστημα μπορεί να παράγει αναλογικές συχνότητες της τάξης των 500 MHz, με τη χρήση ενός κατάλληλου DAC. Έτσι, ο μικροεπεξεργαστής χρειάζεται μόνο να ανταποκρίνεται στο ρυθμό διαμόρφωσης των δεδομένων, παρέχοντας τιμές IQ στη μονάδα άνω-μετατροπής IQ.



ΣΧΗΜΑ 14.7 Το μονοπάτι μετάδοσης με εξειδικευμένο hardware για την άνω μετατροπή IQ.

14.2.3 Κανονικότητα

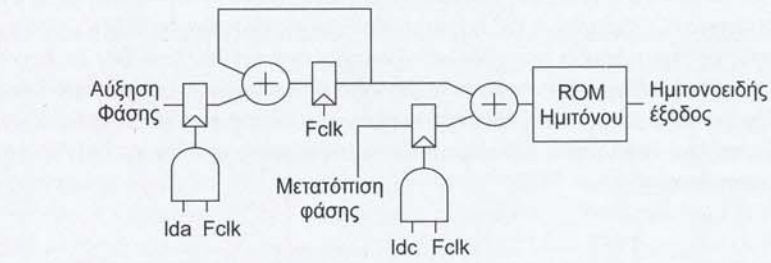
Η ιεραρχία έχει να κάνει με τη διαίρεση ενός συστήματος σε ένα σύνολο υπομονάδων. Ωστόσο, η ιεραρχία από μόνη της δεν μπορεί να λύσει το πρόβλημα της πολυπλοκότητας. Για παράδειγμα, θα μπορούσαμε να αναλύσουμε κατ'επανάληψη την ιεραρχία της σχεδίασης σε πολλαπλές υπομονάδες, αλλά να καταλήξουμε και πάλι σε μεγάλο αριθμό διαφορετικών υπομονάδων. Με οδηγό την κανονικότητα (regularity), ο σχεδιαστής επιχειρεί να διαχωρίσει την ιεραρχία σε ένα σύνολο όμοιων δομικών στοιχείων. Η κανονικότητα μπορεί να υφίσταται σε όλα τα επίπεδα της ιεραρχίας. Σε επίπεδο κυκλώματος μπορούν να χρησιμοποιηθούν τρανζίστορ ομοιόμορφου μεγέθους, ενώ στο επίπεδο πυλών μπορεί να χρησιμοποιηθεί μια πεπερασμένη βιβλιοθήκη με λογικές πύλες σταθερού ύψους και μεταβλητού μήκους. Στο επίπεδο λογικής, μπορούν να χρησιμοποιηθούν παραμετροποιημένες μνήμες RAM και ROM σε πολλές θέσεις. Στο επίπεδο αρχιτεκτονικής, μπορούν να χρησιμοποιηθούν επεξεργαστές όμοιας δομής για την αύξηση της απόδοσης.

Η κανονικότητα συνεισφέρει σημαντικά στις προσπάθειες επαλήθευσης επειδή μειώνει τον αριθμό των υπομονάδων που χρειάζεται να ελεγχθούν και επιτρέπει να λειτουργούν πιο αποδοτικά τα προγράμματα τοπικής επαλήθευσης (βλ. Ενότητα 14.4.1.3). Η δυνατότητα επαναχρησιμοποίησης υπομονάδων εξαρτάται σε μεγάλο βαθμό από την αρχή της κανονικότητας, η οποία επιτρέπει τη χρήση των ίδιων εικονικών μονάδων σε πολλά διαφορετικά προϊόντα.

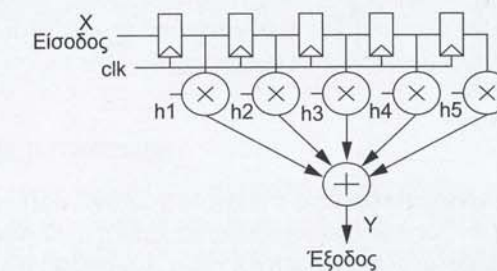
Παράδειγμα 14.3

Ως ένα παράδειγμα εφαρμογής της αρχής της κανονικότητας στη σχεδίαση του πομποδέκτη λογισμικού, θα εξετάσουμε δύο από τα δομικά στοιχεία των συστημάτων που απεικονίζονται στα Σχήματα 14.3 και 14.5, έτσι ώστε να προσδιορίσουμε τα είδη των απαιτούμενων λειτουργιών.

Το κύκλωμα του αριθμητικά ελεγχόμενου ταλαντωτή (NCO) παρουσιάζεται στο Σχήμα 14.8(α). Αποτελείται από έναν αθροιστή, η τιμή του οποίου αυξάνεται σε κάθε κύκλο του ρολογιού σύμφωνα με την τιμή ενός καταχωρητή προσαύξησης φάσης (phase increment register). Με τον τρόπο αυτό, υλοποιείται ένας μετρητής φάσης (phase counter), η έξοδος του οποίου χρησιμοποιείται στο κύκλωμα προσπέλασης ενός αποθηκευμένου σε ROM πίνακα αναζήτησης, μέσω του οποίου εκτελείται η μετατροπή της φάσης σε πλάτος. Για την υλοποίηση της διαμόρφωσης φάσης μπορεί να προστίθεται μια αρχική τιμή (μετατόπιση φάσης) στον καταχωρητή προσαύξησης φάσης. Μ'αυτή τη δομή μπορούμε να παράγουμε το ψηφιακό ισοδύναμο μιας ημιτονοειδούς κυματομορφής.



(α) Η δομή του Αριθμητικά Ελεγχόμενου Ταλαντωτή (NCO)



(β) Η δομή ενός φίλτρου Πεπερασμένης Κρουστικής Απόκρισης (FIR)

ΣΧΗΜΑ 14.8 Δομή του NCO και του βαθυπερατού φίλτρου (υλοποιημένο σαν φίλτρο FIR).

Όσον αφορά το βαθυπερατό φίλτρο του Σχήματος 14.5, το Σχήμα 14.8(β) απεικονίζει τη δομή που χρησιμοποιείται συνήθως για την υλοποίηση τέτοιων φίλτρων, γνωστών ως Φίλτρα Πεπερασμένης Κρουστικής Απόκρισης (Finite Response Filter, FIR) [Edwards93, Choi97]. Η δομή αυτή υπολογίζει τη συνάρτηση

$$Y[n] = \sum X[n-k]b[k] \quad (14.1)$$

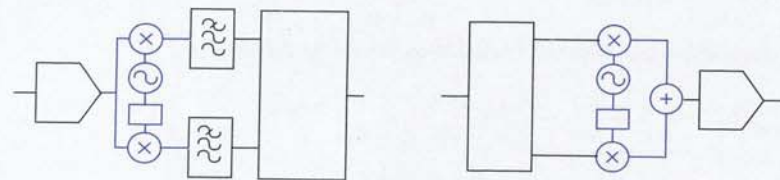
όπου $X[n]$ είναι η είσοδος μετά από δειγματοληψία, $b[k]$ είναι κατάλληλοι συντελεστές που χαρακτηρίζουν το συγκεκριμένο φίλτρο και $Y[n]$ είναι η έξοδος. Το φίλτρο απαρτίζεται από καταχωρητές, πολλαπλασιαστές κι έναν αθροιστή. Τα ψηφιακά φίλτρα χαρακτηρίζονται από τον αριθμό των λήψεων, ή συντελεστών (taps, coefficients). Περισσότερες λήψεις (συντελεστές) δίνουν καλύτερα φίλτρα, τα οποία προσεγγίζουν ένα ιδανικό φίλτρο απότομης αποκοπής (τύπου brick wall) με χαμηλή κύμανση της εξόδου (ripple). Αυτό, με τη σειρά του, απαιτεί περισσότερους καταχωρητές και πολλαπλασιαστές.

Εξετάζοντας τις λεπτομέρειες αυτών των δομικών μονάδων, παρατηρούμε ότι τα κοινά δομικά τους στοιχεία είναι οι καταχωρητές, οι αθροιστές και οι πολλαπλασιαστές, αν και δεν έχει οριστεί ακόμα η απαιτούμενη ακρίβεια. Οι παράλληλοι N -bit αθροιστές μπορούν να συντεθούν από N πλήρεις αθροιστές. Οι πολλαπλασιαστές μπορούν επίσης να κατασκευαστούν από πλήρεις αθροιστές. Οι καταχωρητές μεγέθους N bit αποτελούνται από flip-flop του ενός bit. Συνεπώς, μια μορφή κανονικότητας είναι η χρήση του ίδιου πλήρους αθροιστή για την υλοποίηση όλων των παράλληλων αθροιστών και πολλαπλασιαστών. Αντίστοιχα, ο ίδιος τύπος flip-flop μπορεί να χρησιμοποιηθεί σε όλες τις θέσεις.

Τυπικά, το μήκος λέξης για τον αθροιστή του μετρητή φάσης σ ένα σύστημα NCO είναι της τάξης των 16-32 bit. Το μήκος λέξης του αθροιστή για την προσέλαση του πίνακα αναζήτησης κυμαίνεται μεταξύ 8-16 bit. Το μέγεθος των πολλαπλασιαστών και των αθροιστών στα φίλτρα FIR διαφοροποιείται σημαντικά, ανάλογα με το μέγεθος των δεδομένων εισόδου· τυπικά, κυμαίνεται μεταξύ 1 και 12 bits.

Παράδειγμα 14.4

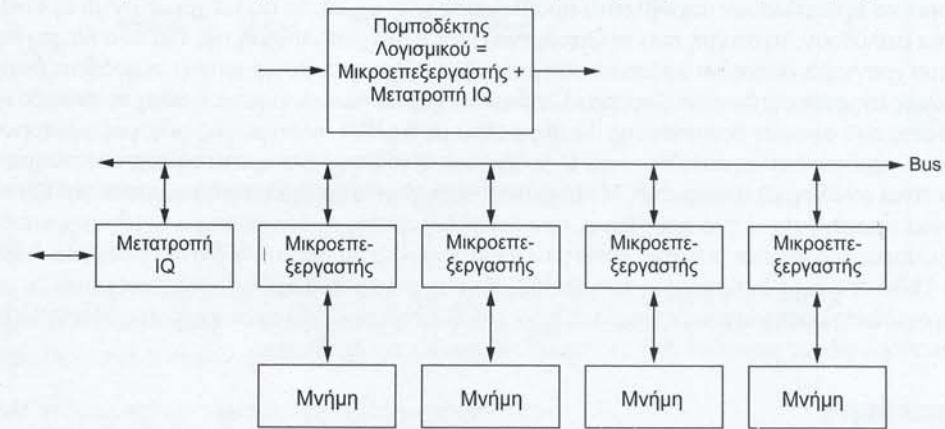
Όπως αναφέραμε στην προηγούμενη ενότητα, οι λειτουργίες της κάτω και άνω-μετατροπής IQ μπορούν να υλοποιηθούν σε hardware, όπως επισημαίνεται (με χρώμα) στο Σχήμα 14.9. Ο βαθμός κατά τον οποίο το διαθέσιμο hardware θα είναι κοινόχρηστο μεταξύ των λειτουργιών (π.χ. το κύκλωμα NCO και οι πολλαπλασιαστές) είναι κάτι το οποίο μπορεί να αποφασιστεί κατά το χρόνο σχεδίασης. Στη συνέχεια, πρέπει να ληφθούν οι ανάλογες σχεδιαστικές αποφάσεις για τις μονάδες διαμόρφωσης/αποδιαμόρφωσης IQ. Οι μονάδες αυτές παρουσιάζουν μεγάλο βαθμό μεταβλητότητας και εξαρτώνται από το εκάστοτε σύστημα. Οι πομποδέκτες λογισμικού έχουν προταθεί σε πεδία όπου τα πρότυπα εξελίσσονται συνεχώς με την πάροδο του χρόνου. Αντί για ένα προϊόν που δεν επιδέχεται αλλαγή και περιορίζεται σ ένα παλαιότερο πρότυπο, οι πομποδέκτες λογισμικού επιτρέπουν την ενημέρωση του προϊόντος στο χώρο του, με την ενημέρωση του μόνιμου λογισμικού (firmware). Συνεπώς, στην αναζήτησή μας για την αρχιτεκτονική του πομποδέκτη λογισμικού ένα σημαντικό κριτήριο είναι η δυνατότητα προγραμματισμού του.



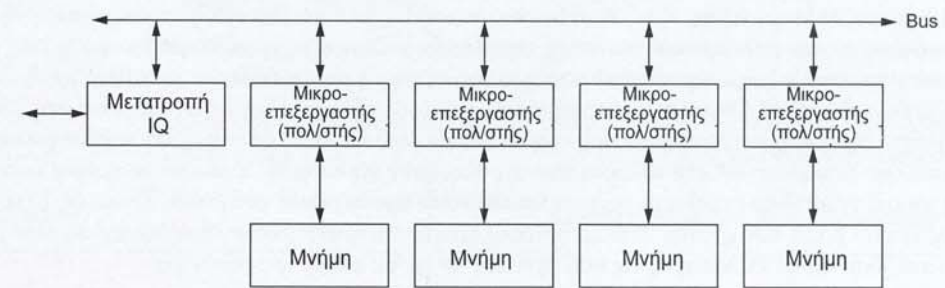
ΣΧΗΜΑ 14.9 Κοινές μονάδες IQ.

Μια λύση που διασφαλίζει τη δυνατότητα προγραμματισμού ενώ ταυτόχρονα αυξάνει την υπολογιστική ισχύ, θα μπορούσε να είναι μια αρχιτεκτονική πολλαπλών επεξεργαστών, όπως αυτή του Σχήματος 14.10. Εδώ, έχει διατηρηθεί το κύκλωμα για την κάτω και άνω-μετατροπή IQ, ενώ η διαμόρφωση/αποδιαμόρφωση IQ εκτελείται από τους τέσσερις επεξεργαστές. Ο αριθμός των επεξεργαστών έχει οριστεί αυθαίρετα και θα πρέπει να επιβεβαιωθεί μέσω λεπτομερούς ανάλυσης της απαιτούμενης υπολογιστικής ισχύος.

Υποθέστε ότι η απαιτούμενη υπολογιστική ισχύς υπερβαίνει ελαφρώς αυτήν που παρέχεται από τους τέσσερις επεξεργαστές του Σχήματος 14.10. Λόγω του ότι ο πολλαπλασιασμός είναι μια συχνά απαιτούμενη λειτουργία στις εφαρμογές επεξεργασίας σήματος, μπορούμε να ενσωματώσουμε έναν πολλαπλασιαστή σε κάθε επεξεργαστή, όπως απεικονίζεται στο Σχήμα 14.11. Με τον τρόπο αυτό, διατηρούμε την κανονικότητα του συστήματος, ενώ ταυτόχρονα αυξάνουμε την υπολογιστική ισχύ.



ΣΧΗΜΑ 14.10 Πομποδέκτης λογισμικού με αρχιτεκτονική πολλαπλών επεξεργαστών



ΣΧΗΜΑ 14.11 Βελτιωμένη έκδοση του πομποδέκτη λογισμικού με αρχιτεκτονική πολλαπλών επεξεργαστών.

Εάν ο πολλαπλασιασμός εκτελείται σ ένα κύκλο, η απόδοση του συστήματος στις λειτουργίες που απαιτούν πολλούς πολλαπλασιασμούς μπορεί να βελτιωθεί κατά ένα συντελεστή M , συγκριτικά με έναν επεξεργαστή με μήκος λέξης M bit και επαναληπτική λειτουργία πολλαπλασιασμού. Αυτό το στίλ επιτάχυνσης λειτουργιών ισχύει για κάθε εφαρμογή με αυξημένες υπολογιστικές απαιτήσεις. Ο κώδικας της εφαρμογής αναλύεται, εντοπίζονται τα σημεία συμφόρησης (bottlenecks) και προστίθεται ειδικό hardware μαζί με τις κατάλληλες εντολές για την προσέλασή του. Κατ' αυτό τον τρόπο, η τελική λύση παραμένει προγραμματισμη, ενώ η ταχύτητα επεξεργασίας αυξάνεται σημαντικά. Η εταιρεία Tensilica διαθέτει επεκτάσιμους επεξεργαστές που χρησιμοποιούν αυτή την προσέγγιση. Ωστόσο, επειδή η προσθήκη επιπλέον λειτουργικών μονάδων αυξάνει το μέγεθος του ολοκληρωμένου και την κατανάλωση ισχύος, είναι αναγκαίο να γίνονται οι κατάλληλοι συμβιβασμοί.

14.2.4 Τμηματοποίηση

Η αρχή της τμηματοποίησης (modularity) υπαγορεύει ότι οι υπομονάδες πρέπει να έχουν σαφώς ορισμένες λειτουργίες και διασυνδέσεις. Εάν οι μονάδες είναι καλά ορισμένες, η αλληλεπίδρασή τους με άλλες μονάδες μπορεί να καθοριστεί με σαφήνεια. Η έννοια της «καλά ορισμένης» μονάδας μπορεί να διαφέρει ανά περίπτωση, αλλά ένα καλό σημείο εκκίνησης είναι τα κριτήρια που ισχύουν για τις «καλά ορισμένες» υπορουτίνες λογισμικού. Πρώτα απ' όλα, απαιτείται μια σαφώς ορισμένη διεπαφή (interface) για τη μεταξύ τους επικοινωνία. Στη περίπτωση του λογισμικού, αυτή είναι μια λίστα ορισμάτων με μεταβλητές

καθορισμένου τύπου. Στην περίπτωση των ολοκληρωμένων κυκλωμάτων, το ισοδύναμο είναι μια διεπαφή σαφώς ορισμένη στα πεδία συμπεριφοράς, δομής και φυσικό, η οποία υποδεικνύει τη λειτουργία, καθώς και το όνομα, τον τύπο σήματος και τους ηλεκτρικούς/χρονικούς περιορισμούς για τις θύρες της υπό σχεδίαση μονάδας. Για τις θύρες εισόδου/εξόδου απαιτούνται επιπλέον τα μεγέθη χωρητικότητας φορτίου και οδηγητικής ικανότητας. Ο υπερβολικά μεγάλος βαθμός οδήγησης εισόδου (fan-in) ή βαθμός οδήγησης εξόδου (fan-out) μπορεί να προκαλέσουν απρόβλεπτα προβλήματα χρονισμού, τα οποία χρειάζονται αρκετή προσπάθεια για να επιλυθούν, τη στιγμή που το ζητούμενο είναι η ελαχιστοποίησή της. Για ανοσία στο θόρυβο και προβλέψιμο χρονισμό, οι εισοδοί πρέπει να οδηγούν μόνο πύλες τρανζίστορ και όχι ακροδέκτες διάχυσης. Οι προδιαγραφές της φυσικής διασύνδεσης περιλαμβάνουν χαρακτηριστικά όπως η θέση, το επίπεδο σύνδεσης και το πλάτος των αγωγών διασύνδεσης. Σε συμφωνία με τις HDL περιγραφές, οι θύρες ταξινομούνται σε θύρες εισόδου, εξόδου, διπλής κατεύθυνσης, τροφοδοσίας, ή γείωσης. Θα πρέπει επίσης να επισημαίνεται εάν μια θύρα είναι αναλογική ή ψηφιακή. Η τμηματοποίηση βοηθά το σχεδιαστή να αποσαφηνίζει και να τεκμηριώνει μια προσέγγιση σ' ένα πρόβλημα, ενώ επιτρέπει επίσης σ' ένα σύστημα σχεδίασης να ελέγχει ευκολότερα τις παραμέτρους μιας μονάδας καθώς αυτή κατασκευάζεται (π.χ. οι έξοδοι δεν βραχυκυκλώνονται μεταξύ τους). Η δυνατότητα διαίρεσης μιας εργασίας σ' ένα σύνολο από καλώς ορισμένες μονάδες υποβοηθά επίσης τη σχεδίαση συστημάτων σε ψηφίδα (System-On-Chip, SoC), όπου απαιτείται η διασύνδεση ενός συνόλου προκαθορισμένων μονάδων (IP) για την ολοκλήρωση της σχεδίασης.

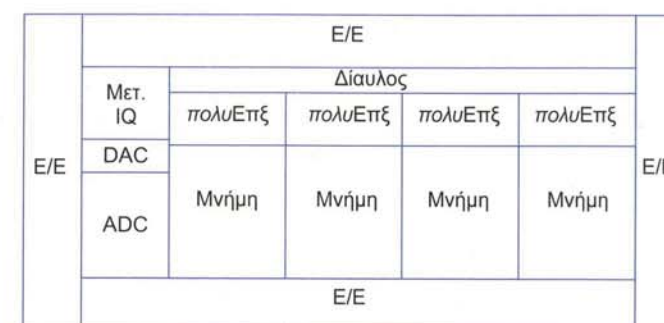
14.2.5 Τοπικότητα

Ορίζοντας «καλά χαρακτηρισμένες» διεπαφές για την επικοινωνία μεταξύ των μονάδων, ουσιαστικά δηλώνουμε ότι πέραν των καθοριζόμενων εξωτερικών διασυνδέσεων, οι εσωτερικές διεργασίες μιας μονάδας είναι άνευ σημασίας για τις άλλες μονάδες. Κατ' αυτό τον τρόπο επιτυγχάνουμε ένα είδος «απόκρυψης πληροφοριών», το οποίο μειώνει την πολυπλοκότητα αυτής της μονάδας. Στον κόσμο του λογισμικού και των γλωσσών HDL, αυτό είναι ανάλογο με την ελαχιστοποίηση του αριθμού των καθολικών μεταβλητών (ή, ακόμα καλύτερα, το μηδενισμό τους). Ολοένα και περισσότερο, η έννοια της τοπικότητας αναφέρεται στη χρονική τοπικότητα ή στην τήρηση των χρονισμών που επιβάλλονται από κάποιο ρολόι ή πρωτόκολλο χρονισμού. Αυτό εξετάζεται στο Κεφάλαιο 10, στο πλαίσιο των στρατηγικών χρονισμού. Ένα από τα καιρία ζητήματα της χρονικής τοπικότητας είναι ότι όλα τα σήματα πρέπει να αναφέρονται σ' ένα ρολόι. Συνεπώς, τα σήματα εισόδου καθορίζονται βάσει των χρόνων αποκατάστασης και συγκράτησης (setup/hold) σε σχέση με το ρολόι, ενώ τα σήματα εξόδου έχουν καθυστερήσεις που σχετίζονται με τις ακμές του ρολογιού.

Παράδειγμα 14.5

Στο παράδειγμα του πομποδέκτη λογισμικού, η αρχή της τοπικότητας είναι περισσότερο εμφανής στη διαδικασία χωροθέτησης του ολοκληρωμένου. Μια πιθανή χωροθέτηση παρουσιάζεται στο Σχήμα 14.12. Οι αναλογικές μονάδες (ADC και DAC) τοποθετούνται δίπλα στους ακροδέκτες εισόδου/εξόδου. Αυτό είναι ένα παράδειγμα τοπικότητας στο φυσικό πεδίο, επειδή τα αναλογικά κυκλώματα αντλούν σημαντικό DC ρεύμα και άρα οι δίαυλοι τροφοδοσίας πρέπει να είναι μικροί και να παρουσιάζουν χαμηλή αντίσταση. Επιπλέον, τα σήματα των αναλογικών εισόδων και εξόδων μπορούν να στέλνονται στους ακροδέκτες χωρίς παρεμβολές από τα ψηφιακά σήματα. Εάν κριθεί απαραίτητο, η αριστερή πλευρά του ολοκληρωμένου μπορεί να θωρακιστεί με δακτύλιο προστασίας και να τοποθετηθεί σ' ένα βαθύ n -πηγάδι, εάν είναι διαθέσιμη αυτή η διαδικασία κατασκευής. Η μονάδα της ψηφιακής IQ μετατροπής τοποθετείται κοντά στις μονάδες ADC και DAC και οι τέσσερις προγραμματιζόμενες μονάδες επεξεργαστή/μνήμης διευθετούνται κατά μήκος του ολοκληρωμένου.

Μια εναλλακτική χωροθέτηση παρουσιάζεται στο Σχήμα 14.13. Εδώ, οι αναλογικές βαθμίδες και η μονάδα ψηφιακής IQ μετατροπής τοποθετούνται στην επάνω πλευρά του ολοκληρωμένου. Οι τέσσερις μονάδες επεξεργαστή/μνήμης διευθετούνται κατά μήκος ενός κεντρικού διαύλου. Η επιφάνεια που καταλαμβάνουν οι δύο εναλλακτικές χωροθετήσεις είναι περίπου ίδια. Ωστόσο, η δεύτερη χωροθέτηση είναι καλύτερη, επειδή ο δίαυλος είναι μικρότερος και άρα ταχύτερος, ενώ πιθανώς καταναλώνει λιγότερη ισχύ. Αυτό είναι ένα παράδειγμα όπου η φυσική (χωρική) τοπικότητα χρησιμοποιείται για την επίτευξη καλύτερης χρονικής απόδοσης.



ΣΧΗΜΑ 14.12 Πιθανή χωροθέτηση για τον πομποδέκτη λογισμικού.

14.2.6 Σύνοψη

Υπάρχουν σημαντικές αναλογίες μεταξύ των μεθόδων σχεδίασης για συστήματα λογισμικού και hardware. Ο Πίνακας 14.1 συνοψίζει ορισμένες από αυτές, με βάση τις αρχές που περιγράψαμε παραπάνω.

ΠΙΝΑΚΑΣ 14.1 Δομημένη σχεδίαση λογισμικού και υλικού VLSI

Αρχή	Λογισμικό	Hardware
Ιεραρχία	Υπορουτίνες, βιβλιοθήκες	Μονάδες
Κανονικότητα	Επανάληψη, διαμοιρασμός κώδικα, αντικειμενοστραφείς ρουτίνες	Χειριστές δεδομένων, επαναχρησιμοποίηση μονάδων, συμμετρικές διατάξεις, διατάξεις πυλών, τυποποιημένα κύτταρα
Τμηματοποίηση	Καλώς ορισμένες υπορουτίνες διασύνδεσης	Καλώς ορισμένες διεπαφές, χρονισμός και φόρτωση δεδομένων για τις μονάδες, εισοδοί και έξοδοι σε καταχωρητές
Τοπικότητα	Τοπική εμπέλιση, μη-χρήση καθολικών μεταβλητών	Τοπικές συνδέσεις μέσω κατάλληλης χωροθέτησης

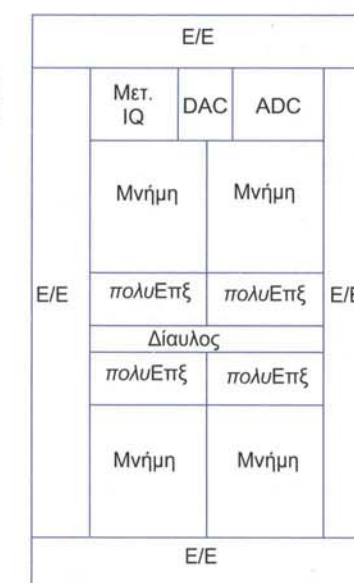
14.3 Μέθοδοι Σχεδίασης

Σ' αυτή την ενότητα θα εξετάσουμε μια γκάμα μεθόδων σχεδίασης, οι οποίες μπορούν να χρησιμοποιηθούν για την υλοποίηση CMOS συστημάτων. Συγκεκριμένα, θα επικεντρωθούμε στο στόχο της εκάστοτε σχεδιαστικής μεθόδου και όχι στη ροή σχεδίασης που χρησιμοποιείται για την κατασκευή ενός ολοκληρωμένου. Η ροή σχεδίασης, η οποία αναφέρεται στην εξέλιξη ενός σχεδίου μέσα από ένα σύνολο εργαλείων, θα εξεταστεί σε επόμενη ενότητα. Οι βασικές μέθοδοι σχεδίασης παρουσιάζονται με σειρά «αυξανόμενης επένδυσης», η οποία συνδέεται χαλαρά με το χρόνο και το κόστος που απαιτείται για τη σχεδίαση και την υλοποίηση του συστήματος. Είναι σημαντικό να κατανοήσετε το κόστος, τις δυνατότητες και τους περιορισμούς μιας δεδομένης τεχνολογίας υλοποίησης, ώστε να μπορείτε να λαμβάνετε σωστές αποφάσεις. Για παράδειγμα, είναι άωφο να σχεδιάσετε ένα εξειδικευμένο ολοκληρωμένο όταν υπάρχει ήδη μια έτοιμη λύση που ικανοποιεί τα κριτήρια του συστήματος, με ίδιο ή μικρότερο κόστος.

14.3.1 Μικροεπεξεργαστές/Επεξεργαστές DSP

Σε πολλές περιπτώσεις, η πλέον πρακτική μέθοδος επίλυσης ενός σχεδιαστικού προβλήματος είναι η χρήση ενός κλασικού μικροεπεξεργαστή ή ενός επεξεργαστή ψηφιακής επεξεργασίας σήματος (Digital Signal Processor, DSP). Στην αγορά υπάρχουν πολλά τέτοια ολοκληρωμένα συστήματα μικροεπεξεργαστών με ενσωματωμένη μνήμη RAM και EEPROM/EPROM. Για παράδειγμα, η οικογένεια επεξεργαστών PIC της Microchip προσφέρει ευρεία γκάμα επιλογών σε ταχύτητα ρολογιού, μέγεθος μνήμης και δυνατότητες αναλογικής E/E (ADC). Για πιο απαιτητικές εφαρμογές επεξεργασίας σήματος, μπορούν να χρησιμοποιούνται ειδικοί DSP από εταιρείες όπως οι Analog Devices και Texas Instruments. Οι μικροεπεξεργαστές παρέχουν μεγάλη ευε-

ΣΧΗΜΑ 14.13 Εναλλακτική χωροθέτηση για τον πομποδέκτη λογισμικού.



λιξία, επειδή επιτρέπουν την αναβάθμιση των συστημάτων στο χώρο λειτουργίας τους, μέσω διορθωτικών εκδόσεων (patches) λογισμικού. Ωστόσο, δεν πρέπει να υποτιμάται το κόστος για την ανάπτυξη λογισμικού σε συστήματα που βασίζονται σε μικροεπεξεργαστές.

Ακόμα κι όταν έχει ήδη ληφθεί η απόφαση το σύστημα να κατασκευαστεί μ' έναν εξωτερικό επεξεργαστή, υπάρχει πάντα η πιθανότητα τελικής ενοποίησης του. Για παράδειγμα, εάν το προϊόν αποδειχτεί ιδιαίτερα επιτυχημένο, είναι πιθανό να προτιμηθεί η ολοκλήρωση του σ' ένα σύστημα-σε-ψηφίδα (System-on-Chip, SoC) και όχι η κατασκευή του ως μια πλακέτα μ' έναν επεξεργαστή και διάφορα ολοκληρωμένα υποσυστήματα. Στην περίπτωση αυτή, ο επεξεργαστής μπορεί να είναι διαθέσιμος σε μια μορφή που θα μπορεί να ενσωματωθεί στην ψηφίδα, ώστε να διατηρηθεί το λογισμικό που έχει αναπτυχθεί. Οι σημαντικότεροι εμπορικοί πυρήνες επεξεργαστών με δυνατότητες ενσωμάτωσης είναι οι ARM, MIPS και ο PowerPC της IBM.

14.3.2 Προγραμματιζόμενη Λογική

Συχνά, το κόστος, η ταχύτητα, ή η κατανάλωση ισχύος ενός επεξεργαστή δεν ικανοποιούν τους στόχους σχεδίασης, οπότε απαιτείται μια εναλλακτική λύση. Σήμερα, είναι διαθέσιμα διάφορα προγραμματιζόμενα ολοκληρωμένα, τα οποία είναι πιο αποδοτικά απ' ό,τι οι κλασικοί επεξεργαστές και ταυτόχρονα προσφέρουν μικρότερους χρόνους ανάπτυξης απ' ό,τι τα ολοκληρωμένα αποκλειστικής λειτουργίας (dedicated chips):

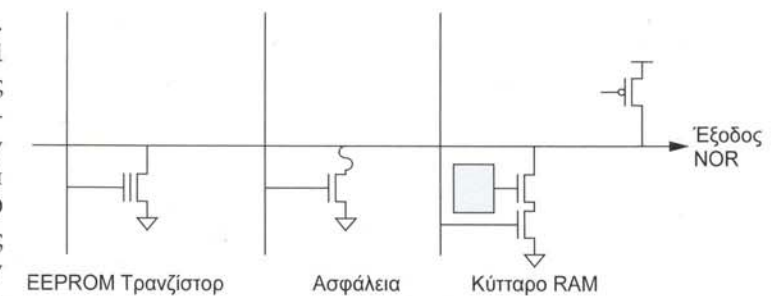
- Κυκλώματα με διατάξεις προγραμματιζόμενης λογικής (PLA)
- Κυκλώματα με προγραμματιζόμενη διασύνδεση
- Κυκλώματα με επαναπρογραμματιζόμενες διατάξεις λογικής και διασύνδεση
- Ένας σχεδιαστής συστημάτων οφείλει να γνωρίζει αυτές τις επιλογές για δύο λόγους:
- Κατ' αρχήν, διότι επιτρέπουν στο σχεδιαστή να συντάξει μια ολοκληρωμένη εκτίμηση των απαιτήσεων συστήματος για ένα IC και να προτείνει μια λύση λαμβάνοντας υπόψη την πολυπλοκότητα, την ταχύτητα λειτουργίας, το προδιαγραφόμενο κόστος, τους χρονικούς στόχους (έως τη διάθεση του προϊόντος στην αγορά), καθώς και οποιοδήποτε άλλο ζήτημα ανακύπτει σ' αυτό το υψηλό επίπεδο θεώρησης της σχεδίασης.
- Κατά δεύτερον, διότι εξοικειώνουν το σχεδιαστή συστημάτων με τις μεθόδους που καθιστούν οποιαδήποτε σχεδίαση ολοκληρωμένων επαναπρογραμματιζόμενων στο επίπεδο του hardware και, κατ' επέκταση, χρησιμότερη και με ευρύτερο πεδίο εφαρμογής.

14.3.2.1 Στοιχεία με Διατάξεις Προγραμματιζόμενης Λογικής Η ενότητα αυτή αναφέρεται σε στοιχεία προερχόμενα από διατάξεις προγραμματιζόμενης λογικής (Programmable Logic Arrays, PLA). Οι PLA (βλ. Ενότητα 11.7) είναι ολοκληρωμένα που υλοποιούν Boolean λογική δύο επιπέδων, σε μορφή αθροίσματος γινομένων (Sum-Of-Products, SOP). Διαφέρουν από τις διατάξεις προγραμματιζόμενων πυλών (Field Programmable Gate Arrays, FPGA) που περιγράφονται σε επόμενη ενότητα, στο ότι έχουν περιορισμένες δυνατότητες διασύνδεσης. Στο παρελθόν, οι πυκνότητες και διαδικασίες ολοκλήρωσης δεν επέτρεπαν ούτε μεγάλους αριθμούς τρανζίστορ, ούτε πολλούς πόρους διασύνδεσης, όπως συμβαίνει στις σύγχρονες FPGA. Τα στοιχεία προγραμματιζόμενης λογικής τύπου PLA επέτρεψαν τη γρήγορη υλοποίηση του προϊόντος στο φυσικό επίπεδο, καθώς και την ανάπτυξη καλά ορισμένων τεχνικών λογικής βελτιστοποίησης διατάξεων PLA με σχετικά απλά CAD εργαλεία. Σήμερα χρησιμοποιούνται περιστασιακά, κυρίως, επειδή η κανονικότητα της διασύνδεσής τους παρέχει πολύ προβλέψιμο χρονισμό.

Μία διάταξη PLA αποτελείται από ένα επίπεδο AND πυλών κι ένα επίπεδο OR πυλών για τον υπολογισμό κάθε λογικής συνάρτησης που εκφράζεται ως άθροισμα γινομένων. Κάθε τρανζίστορ στα επίπεδα AND και OR πρέπει να μπορεί να προγραμματίζεται για το εάν θα συμμετέχει ή όχι στον υπολογισμό της συνάρτησης. Αυτό μπορεί να επιτευχθεί τοποθετώντας μια πύλη NOR σε κάθε θέση της PLA. Κάθε κόμβος προγραμματίζεται μ' ένα τρανζίστορ αιωρούμενης πύλης (floating-gate transistor, βλ. Ενότητα 3.4.3), μια ελεγχόμενη μέσω ασφαλειών σύνδεση, ή ένα τρανζίστορ ελεγχόμενο από RAM, όπως απεικονίζεται στο Σχήμα 14.114. Οι δύο πρώτοι τρόποι προγραμματισμού χρησιμοποιούνταν όταν οι πυκνότητες ολοκλήρωσης ήταν μικρές. Τέτοιου είδους στοιχεία, όπως η οικογένεια PAL16 της Texas Instruments, γενικά χρησιμοποιούνται πλέον για εφαρμογές που έρχονται από το παρελθόν.

14.3.2.2 Διατάξεις Προγραμματιζόμενων στο Πεδίο Πυλών (Field Programmable Gate Arrays, FPGA) Οι διατάξεις FPGA χρησιμοποιούν τις σύγχρονες διαδικασίες υψηλής πυκνότητας για την κατασκευή ολοκληρωμένων που είναι πλήρως προγραμματιζόμενα, ακόμα και μετά από το τελικό στάδιο παραγωγής τους, ή αλλιώς,

προγραμματιζόμενα «στο πεδίο λειτουργίας τους». Υπάρχουν δύο βασικοί τύποι: ο πρώτος χρησιμοποιεί μια ειδική διαδικασία, όπως τα στοιχεία ασφαλείας ή αντιασφάλειας (fuse/antifuse), για το μόνιμο προγραμματισμό των συνδέσεων του κυκλώματος και την προσαρμογή της λογικής του σε ειδικές ανάγκες. Αυτά μπορούν να προγραμματίζονται μόνο μία φορά. Ο δεύτερος τύπος χρησιμοποιεί μικρά κύτταρα στατικής RAM για τη διαμόρφωση των διασυνδέσεων και των λογικών συναρτήσεων. Γενικότερα, ένα ολοκληρωμένο FPGA αποτελείται από μια διάταξη λογικών κυττάρων που περιβάλλονται από προγραμματιζόμενους πόρους διασύνδεσης.



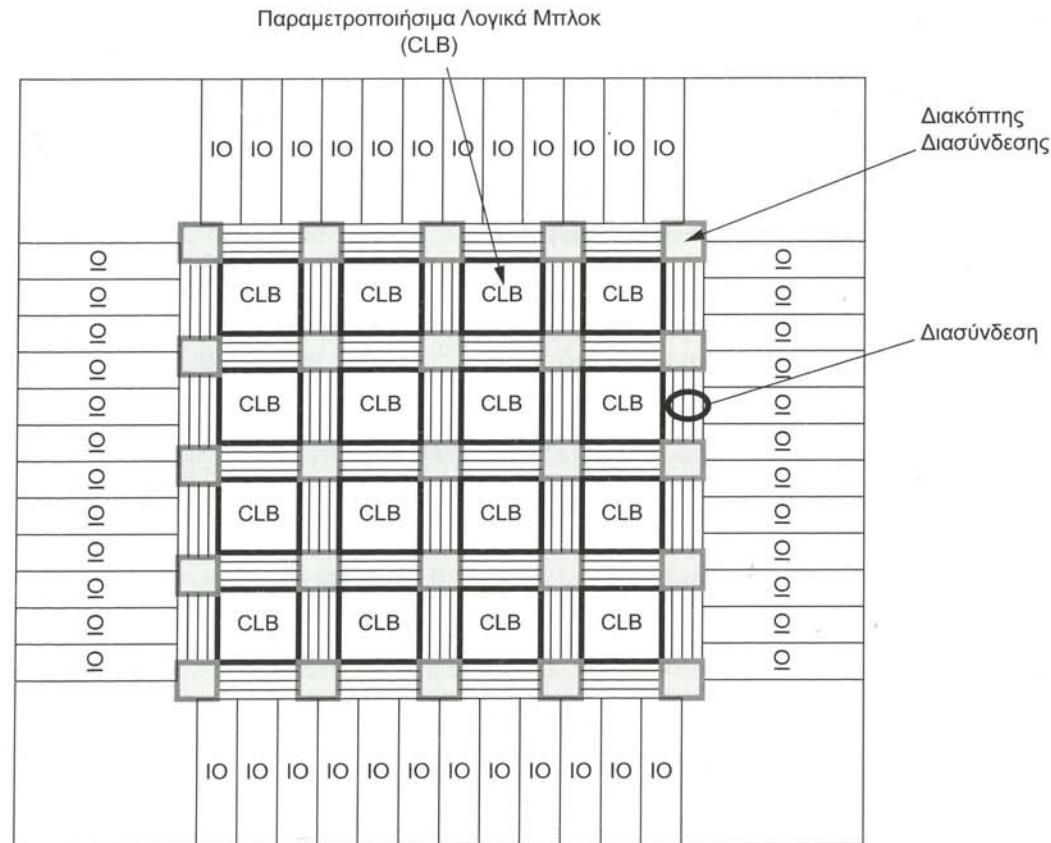
ΣΧΗΜΑ 14.14 Προγραμματιζόμενη δομή NOR (απεικονίζεται μόνο ένα επίπεδο).

Σαν παράδειγμα FPGA του πρώτου τύπου, τα στοιχεία που παράγει η Actel ενσωματώνουν μια διάταξη υπομονάδων λογικής, μέσα σε μια μήτρα διασυνδέσεων η οποία σχηματίζεται στις υψηλότερες στρώσεις μετάλλου. Διαδοχικά κανάλια αγωγών διασύνδεσης εκτείνονται κατακόρυφα ή οριζόντια. Στα σημεία τομής τοποθετούνται ειδικοί μιας-φοράς-προγραμματισμού σύνδεσμοι που αποκαλούνται αντιασφάλειες. Οι αντιασφάλειες παρουσιάζουν μεγάλη αντίσταση (δηλαδή δρουν ως ένα ανοικτό κύκλωμα). Με την εφαρμογή συγκεκριμένων τάσεων προγραμματισμού κατά μήκος των συνδέσεων, η αντίσταση αυτή πέφτει μόνιμα σε λίγα Ohm. Διακόπτες CMOS επιτρέπουν στις τάσεις προγραμματισμού να κατευθύνονται σε κάθε στοιχείο αντιασφάλειας στο ολοκληρωμένο. Το πλεονέκτημα αυτού του τύπου διασύνδεσης είναι ότι το μέγεθος των προγραμματιζόμενων συνδέσεων είναι πολύ μικρό - μόνο τα σημεία τομής των δύο στρώσεων μετάλλου. Επιπλέον, η αντίσταση αγωγής (on) που παρουσιάζουν οι αντιασφάλειες είναι χαμηλή, συγκριτικά μ' ένα διακόπτη CMOS, με αποτέλεσμα η ταχύτητα του κυκλώματος να μην επηρεάζεται αρνητικά. Το μειονέκτημα είναι ότι η διασύνδεση δεν είναι επαναπρογραμματιζόμενη, επομένως το ολοκληρωμένο, αφού προγραμματιστεί μία φορά, η λειτουργία του παραμένει σταθερή, στο βαθμό που έχει εξατομικευτεί το σχήμα διασύνδεσης.

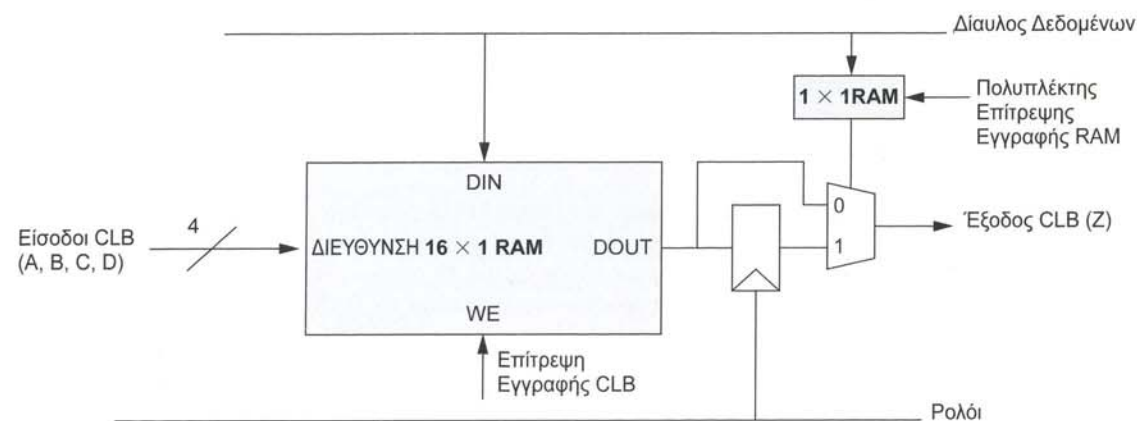
Το Σχήμα 14.15 παρουσιάζει τη χωροθέτηση ενός απλουστευμένου FPGA. Το ολοκληρωμένο αποτελείται από μια διάταξη διαμορφωμένων λογικών μπλοκ (Configurable Logic Block, CLB). Οι αγωγοί διασύνδεσης διατρέχουν οριζόντια και κατακόρυφα το ολοκληρωμένο, ανάμεσα στη διάταξη των CLB. Οι διασυνδέσεις τερματίζουν στα γκρι μπλοκ, τα οποία ουσιαστικά είναι διακόπτες διασύνδεσης που μπορούν να υλοποιηθούν χρησιμοποιώντας CMOS πύλες μετάδοσης ή τρισταθείς απομονωτές. Οι πόροι διασύνδεσης συνδέονται στις εισόδους και στις εξόδους των γειτονικών CLB. Τα CLB χρησιμοποιούν πίνακες αναζήτησης (lookup tables) για να υπολογίσουν οποιαδήποτε λογική συνάρτηση πολλαπλών μεταβλητών. Διαμορφώσιμα κύτταρα E/E, τα οποία μπορούν να χρησιμοποιηθούν ως εισοδοί, έξοδοι ή διπλής κατεύθυνσης ακροδέκτες, περιβάλλουν τον πυρήνα των CLB.

Το Σχήμα 14.16 παρουσιάζει τη δομή ενός λογικού κυττάρου FPGA βασισμένου σε SRAM. Αποτελείται από μια 16x1 στατική RAM, ως στοιχείο λογικής. Με τον τρόπο αυτό υποστηρίζεται οποιαδήποτε λογική συνάρτηση των τεσσάρων μεταβλητών φορτώνοντας απλώς τη στατική RAM με τα κατάλληλα περιεχόμενα. Ο Πίνακας 14.2 υποδεικνύει πώς πρέπει φορτώνεται ο πίνακας της RAM, ώστε να εκτελούνται διάφορες συναρτήσεις. Ένας πλήρης αθροιστής μπορεί να υλοποιηθεί με δύο CLB (ένα για την παραγωγή του αθροίσματος κι ένα για την παραγωγή του κρατούμενου). Το CLB που περιγράφεται παρέχει προαιρετικά έναν καταχωρητή εξόδου. Αν και δείχνει αναποτελεσματικό (σε απόδοση και σε ταχύτητα) το να χρησιμοποιείται μια RAM για να υλοποιούνται λογικές συναρτήσεις, οι ειδικές σχεδίασης μνήμης RAM (μιας λέξης δεδομένων) είναι μικρές και γρήγορες στις σύγχρονες τεχνολογίες, με τους πόρους διασύνδεσης να κυριαρχούν στις σύγχρονες σχεδιάσεις, όσον αφορά την πυκνότητα και την ταχύτητα.

Οι FPGA έχουν ωριμάσει σε βαθμό που να διαθέτουν εκατομμύρια ισοδύναμα λογικών πυλών, υποστηριζόμενα από megabits μνήμης RAM. Οι μονάδες E/E μπορούν να λειτουργούν σε συχνότητες που ξεπερνούν τα 10 GHz. Συχνά, τα FPGA ενσωματώνουν πυρήνες μικροεπεξεργαστών και ειδικό hardware για επιτάχυνση των DSP. Το χαμηλό αρχικό τους κόστος και η ευκολία που παρέχουν αναφορικά με τη διόρθωση τυχόν σχεδιαστικών σφαλμάτων είναι δύο παράγοντες που τα καθιστούν βέλτιστη επιλογή για πολλές εξειδικευμένες εφαρμογές λογικής με μικρό έως μεσαίο όγκο παραγωγής.



ΣΧΗΜΑ 14.15 Απλοποιημένη χωροθέτηση FPGA



ΣΧΗΜΑ 14.16 Απλό λογικό κύτταρο FPGA.

Σημειώστε ότι (αφού διευθετηθούν τα ζητήματα που αφορούν τα δικαιώματα πνευματικής ιδιοκτησίας σε συνεννόηση με τους κατόχους των ευρεσιτεχνιών) είναι εφικτή η υλοποίηση διατάξεων πολλών FPGA σε οποιοδήποτε ολοκληρωμένο CMOS, ώστε να παρέχεται δυνατότητα προγραμματισμού σε επίπεδο πυλών.

ΠΙΝΑΚΑΣ 8.2 Λογικές Συναρτήσεις των CLB RAM

Διεύθυνση	ABCD	$A \cdot B \cdot C \cdot D$	$\sim A$	SUM(A,B,C)
0	0000	0	1	0
1	1000	0	0	1
2	0100	0	1	1
3	1100	0	0	0
4	0010	0	1	1
5	1010	0	0	0
6	0110	0	1	0
7	1110	0	0	1
8	0001	0	1	0
9	1001	0	0	1
10	0101	0	1	1
11	1101	0	0	0
12	0011	0	1	1
13	1011	0	0	0
14	0111	0	1	0
15	1111	1	0	1

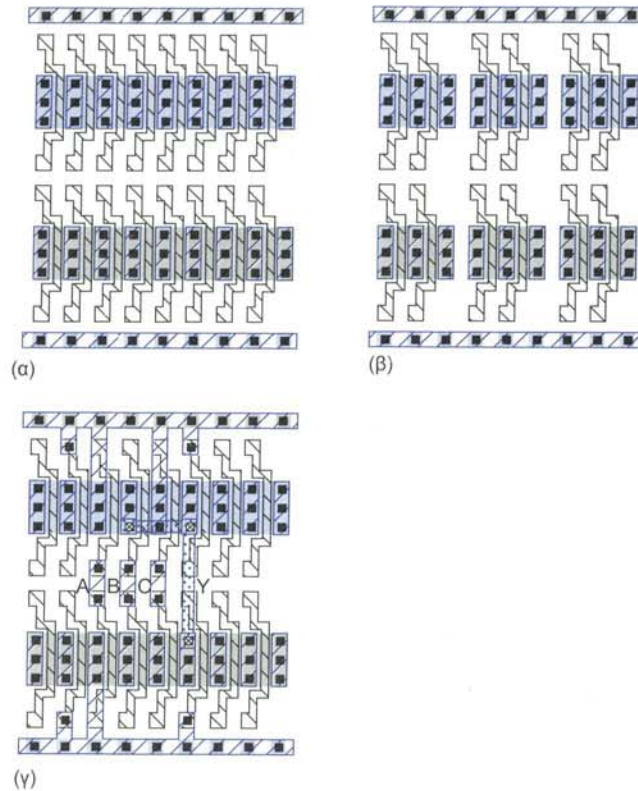
14.3.3 Διατάξεις Πυλών και Σχεδίαση Θάλασσας Πυλών

Τα ολοκληρωμένα που περιγράψαμε έως τώρα δεν απαιτούν έναν ξεχωριστό «γύρο» παραγωγής (fabrication run) κάθε φορά που προγραμματίζονται. Κατά κανόνα, οι σχεδιαστές προσπαθούν να κρατήσουν κατά το δυνατόν χαμηλότερες τις εφάπαξ δαπάνες σχεδίασης (βλ. Ενότητα 14.5). Ένας τρόπος για να επιτευχθεί αυτό είναι η κατασκευή μιας κοινής διάταξης από τρανζίστορ, της οποίας η λειτουργία θα εξειδικευτεί ανάλογα με την περίπτωση, με την κατάλληλη αλλαγή της επιμετάλλωσης (μάσκες μετάλλου και περασμάτων) που εναποτίθεται πάνω στα τρανζίστορ. Ένα ολοκληρωμένο αυτού του είδους αποκαλείται *διάταξη πυλών* (Gate Array, GA). Μια συγκεκριμένη υποκατηγορία των GA είναι τα αποκαλούμενα ολοκληρωμένα *θάλασσας πυλών* (Sea Of Gates, SOG). Στο παρελθόν, οι διατάξεις πυλών υπήρξαν δημοφιλείς ως μέθοδοι σχεδίασης ημι-εξειδικευμένων ολοκληρωμένων ASIC.

Το Σχήμα 14.17(α) παρουσιάζει μια δομή SOG, η οποία περιλαμβάνει συνεχείς σειρές από τρανζίστορ. Η γείωση της πύλης του nMOS τρανζίστορ, ή η σύνδεση της πύλης του pMOS στην τροφοδοσία V_{DD} παρέχει την απαιτούμενη απομόνωση μεταξύ των πυλών. Το Σχήμα 14.17(β) παρουσιάζει μια δομή GA, η οποία χρησιμοποιεί ομάδες από τρία ζεύγη τρανζίστορ.

Το Σχήμα 14.17(γ) απεικονίζει ένα τμήμα μιας δομής SOG προγραμματισμένης ώστε να υλοποιεί μια πύλη NAND 3-εισόδων. Τα nMOS και pMOS τρανζίστορ σε κάθε άκρο απομονώνουν την πύλη, όπως περιγράψαμε παραπάνω. Η εξατομικευση αυτής της δομής SOG ξεκινά από τις μάσκες του πρώτου στρώματος μετάλλου και μπορεί να συνεχιστεί σε όλες τις στρώσεις μετάλλου που είναι διαθέσιμα στη διαδικασία παραγωγής.

Τα εργαλεία CAD έχουν εξελιχθεί σε βαθμό που ο επαναπρογραμματισμός μιας δομής SOG να είναι οριακά και μόνο ευκολότερος από την εκ νέου παραγωγή ενός νέου φυσικού σχεδίου από κύτταρα. Ωστόσο, ένας μικρός τομέας SOG παραμένει χρήσιμος για τη διόρθωση απλών λογικών σφαλμάτων μέσω διορθώσεων στις στρώσεις μετάλλου, κατά τη διάρκεια της αποσφαλμάτωσης, ή ακόμη και στα τελευταία στάδια της σχεδίασης [Stolt08]. Επιπλέον, οι διακυμάνσεις που εισάγει η διαδικασία κατασκευής ωθεί τους σχεδιαστές προς περιοριστικούς κανόνες σχεδίασης με συμμετρικές δομές που αρχίζουν να επιδεικνύουν σημαντική ομοιότητα με τις δομές SOG.



ΣΧΗΜΑ 14.17 Φυσική σχεδίαση κυττάρων SOG.

14.3.4 Σχεδίαση με Τυποποιημένα Κύτταρα

Η σχεδίαση με τυποποιημένα κύτταρα βασίζεται σε μια βιβλιοθήκη τυποποιημένων κυττάρων, τα οποία χρησιμοποιούνται ως βασικά δομικά συστατικά ενός ολοκληρωμένου. Τα κύτταρα τοποθετούνται σε κατάλληλες θέσεις και γίνεται η διασύνδεσή τους. Η σχεδίαση με τυποποιημένα κύτταρα παράγει μικρότερα, γρηγορότερα και χαμηλότερης κατανάλωσης ισχύος ολοκληρωμένα, σε σχέση με τις διατάξεις πολών ή προγραμματιζόμενης λογικής, αλλά με αυξημένες εφάπαξ δαπάνες. Συνεπώς, η σχεδίαση αυτή είναι οικονομικά συμφέρουσα μόνο στην περίπτωση προϊόντων με υψηλούς όγκους παραγωγής, ή σε περιπτώσεις όπου οι επιδόσεις του προϊόντος επιτρέπουν επικερδή τιμή πώλησης. Σε σύγκριση με τη σχεδίαση σε επίπεδο τρανζιστορ, η σχεδίαση με τυποποιημένα κύτταρα προσφέρει αρκετά μεγαλύτερη παραγωγικότητα, λόγω του ότι χρησιμοποιεί προσχεδιασμένα κύτταρα σε επίπεδο φυσικού σχεδίου. Διάφορες εταιρείες και προμηθευτές βιβλιοθηκών παρέχουν κύτταρα με μεγάλη γκάμα λειτουργιών, δυνατοτήτων και χαρακτηριστικών:

- Λογική σε μικρή κλίμακα ολοκλήρωσης (NAND, NOR, XOR, AOI, OAI, αντιστροφείς, απομονωτές, καταχωρητές)
- Μνήμες (RAM, ROM, CAM, αρχεία καταχωρητών)
- Μονάδες επιπέδου συστήματος, όπως επεξεργαστές, επεξεργαστές πρωτοκόλλων σειριακές διεπαφές και διεπαφές διαύλων

- Δυνατότητα χρήσης μονάδων «μικτού σήματος» και RF

Αν και στο παρελθόν στοιχεία MSI (Middle Scale Integration, μεσαίας κλίμακας ολοκλήρωσης) όπως αθροιστές, πολλαπλασιαστές και μονάδες ελέγχου ισοτιμίας συνήθιζαν να παρέχονται ως ειδικά κύτταρα, οι μηχανές σύνθεσης στα σύγχρονα σχεδιαστικά συστήματα κατασκευάζουν αυτές τις μονάδες από πύλες SSI (μικρής κλίμακας ολοκλήρωσης).

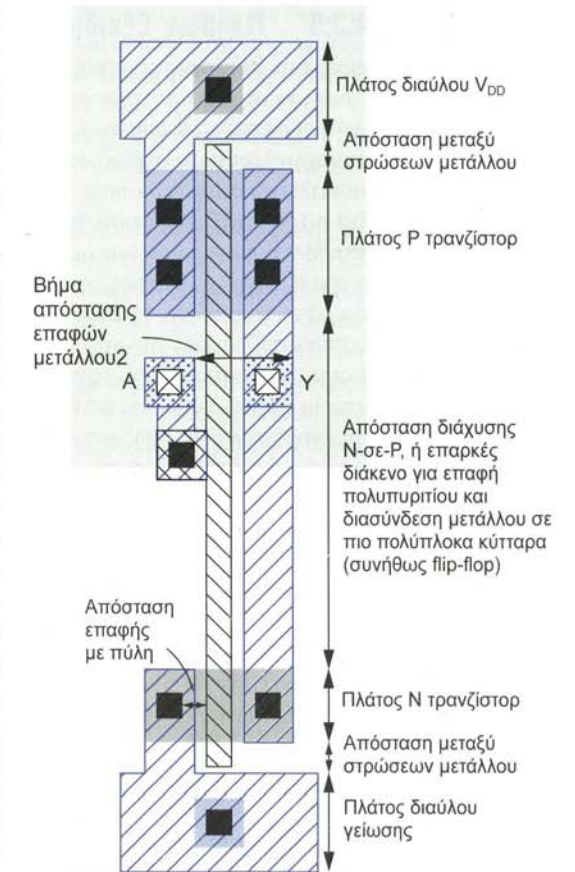
Μια τυπική βιβλιοθήκη τυποποιημένων κυττάρων παρουσιάζεται στον Πίνακα 14.3. Ένα 1X κύτταρο (κανονικής κατανάλωσης ισχύος) ορίζεται συνήθως ώστε να χρησιμοποιεί τα πλατύτερα τρανζιστορ που χωρούν στο κατακόρυφο βήμα απόστασης (pitch) του τυποποιημένου κυττάρου. Τα κύτταρα 2X, 3X, κ.λπ. (υψηλής κατανάλωσης ισχύος) χρησιμοποιούν τρανζιστορ ακόμα μεγαλύτερου πλάτους, τα οποία παραδίδουν περισσότερο ρεύμα. Τα τρανζιστορ πρέπει να διπλώνονται, ώστε να χωρούν στις διαστάσεις του κυττάρου, με συνέπεια το αυξημένο πλάτος κυττάρου. Οι πύλες είναι επίσης διαθέσιμες σε εκδόσεις κυττάρων χαμηλής κατανάλωσης ισχύος. Τα κύτταρα αυτά χρησιμοποιούν τρανζιστορ ελάχιστου πλάτους, ώστε να μειωθεί η χωρητικότητα. Τα κύτταρα χαμηλής κατανάλωσης ισχύος τείνουν να είναι αργά, λόγω της χωρητικότητας αγωγών που πρέπει να οδηγούν. Αν και δεν εξοικονομούν επιφάνεια στο ολοκληρωμένο, μειώνουν την κατανάλωση ισχύος στα μη-κρίσιμα μονοπάτια του κυκλώματος.

Προηγμένες βιβλιοθήκες μπορούν να παράγουν μνήμες διαφόρων μεγεθών, απευθείας από ένα βασικό σε γραφικό περιβάλλον εργαλείο σχεδίασης. Ουσιαστικά, λειτουργούν ως γεννήτριες μνημών και παρέχουν όχι μόνο το φυσικό σχέδιο, αλλά κι ένα πλήρες φύλλο δεδομένων με τους χρόνους προσπέλασης, την περίοδο του ρολογιού και την κατανάλωση ισχύος.

Στην περίπτωση όπου δεν είναι διαθέσιμη μια βιβλιοθήκη τυποποιημένων κυττάρων για μια τεχνολογία κατασκευής, αξίζει να διερευνήσει κανείς ορισμένες από τις προσεγγίσεις σχεδίασης που βασίζονται σε τυποποιημένα κύτταρα. Τα τυποποιημένα κύτταρα έχουν συνήθως σταθερό ύψος, με την τροφοδοσία και τη γείωση να συνδέονται στην επάνω και κάτω πλευρά του κυττάρου, αντίστοιχα. Κατ' αυτό τον

τρόπο επιτυγχάνεται η στήριξη των κυττάρων "από άκρο σε άκρο" και η σύνδεσή τους με τις γραμμές τροφοδοσίας. Κατά κανόνα, χρησιμοποιείται μια σειρά από nMOS τρανζιστορ στην πλευρά της γείωσης (GND) και μια σειρά από pMOS τρανζιστορ στην πλευρά της τροφοδοσίας V_{DD} . Η πύλη πολυπυριτίου συνδέεται από το nMOS προς το pMOS τρανζιστορ και, στην περίπτωση πολυπλεκτών ή καταχωρητών, η σύνδεση πολυπυριτίου θα πρέπει να διασταυρώνεται ανάμεσα στα nMOS και pMOS τρανζιστορ που συμπίπτουν στην κάθετη διεύθυνση.

Στο σημείο αυτό θα πρέπει να ληφθούν αποφάσεις σχετικά με το μέγεθος των τρανζιστορ. Με δεδομένες αυτές τις αποφάσεις, ο ορισμός των κυττάρων υπαγορεύεται σχεδόν ολοκληρωτικά από τους κανόνες σχεδίασης της συγκεκριμένης τεχνολογίας κατασκευής (δείτε το Σχήμα 14.18). Το ύψος του κάθε κυττάρου καθορίζεται από το άθροισμα των πλάτων των pMOS και nMOS τρανζιστορ, το διαχωρισμό σε p και n περιοχές, την απόσταση μεταξύ των διαύλων V_{DD} και GND και το πλάτος των διαύλων αυτών. Το οριζόντιο βήμα απόστασης (horizontal pitch) του κυττάρου καθορίζεται από το βήμα απόστασης των επαφών των δύο μετάλλων (poly-to-metal2 pitch), όπως υποδεικνύει το σχήμα. Είναι σχετικά εύκολο να γραφεί μια εφαρμογή λογισμικού που θα παράγει αυτοματοποιημένα κύτταρα παρόμοια με τα αυτά του Σχήματος 14.18. Η καθυστέρηση των κυττάρων χαρακτηρίζεται μέσω προσομοίωσης σε καλό επίπεδο συμφωνίας με την τελική υλοποίηση στο πυρίτιο. Σπανίως είναι αναγκαία η κατασκευή τέτοιων κυττάρων για να επαληθευτεί η απόδοσή τους. Επιπλέον επιλογές για τα τυποποιημένα κύτταρα είναι η διασύνδεση του ρολογιού με τους διαύλους τροφοδοσίας και γείωσης και η διασύνδεση πολλαπλών τάσεων τροφοδοσίας σε κάθε κύτταρο. Η δεύτερη τεχνική χρησιμοποιείται για τη μείωση της κατανάλωσης ισχύος, συνδέοντας τις πύλες που δεν ανήκουν στο κρίσιμο μονοπάτι του κυκλώματος με τροφοδοσία χαμηλότερη της κανονικής. Όπως γνωρίζετε, η ισχύς μειώνεται με το τετράγωνο της τάσης τροφοδοσίας.



ΣΧΗΜΑ 14.18 Ενδεικτικό φυσικό σχέδιο τυποποιημένου κυττάρου με κάποιους περιορισμούς.

ΠΙΝΑΚΑΣ 8.3 Τυπική Βιβλιοθήκη Τυποποιημένων Κυττάρων

Τύπος Πύλης	Παραλλαγές	Επιλογές
Αντιστροφείς / Απομονωτές / Τρισταθείς Απομονωτές		Ευρεία γκάμα επιλογών ισχύος, 1X, 2X, 4X, 8X, 16X, 32X, 64X, αντιστροφείς ελάχιστου μεγέθους
NAND/AND	2-8 εισόδων	Υψηλής, Κανονικής, Χαμηλής κατανάλωσης ισχύος
NOR/OR	2-8 εισόδων	Υψηλής, Κανονικής, Χαμηλής κατανάλωσης ισχύος
XOR/XNOR		Υψηλής, Κανονικής, Χαμηλής κατανάλωσης ισχύος
AOI/OAI	21,22	Υψηλής, Κανονικής, Χαμηλής κατανάλωσης ισχύος
Πολυπλέκτες	Αναστρέφοντες/ Μη Αναστρέφοντες	Υψηλής, Κανονικής, Χαμηλής κατανάλωσης ισχύος
Αθροιστές/ Ημι-Αθροιστές		Υψηλής, Κανονικής, Χαμηλής κατανάλωσης ισχύος
Μανδαλωτές		Υψηλής, Κανονικής, Χαμηλής κατανάλωσης ισχύος
Flip-Flop	D, με και χωρίς σύγχρονο/ ασύγχρονο set & reset, scan	Υψηλής, Κανονικής, Χαμηλής κατανάλωσης ισχύος
Ακροδέκτες E/E με ενισχυτές/ υποβαθμιστές	Εισόδου, εξόδου, τρισταθείς, διπλής κατεύθυνσης, σάρωσης ορίων, περιορισμένου ρυθμού ανόδου, κρυσταλλικού ταλαντωτή	Διάφορες στάθμες ρευμάτων (1-16 mA) και λογικές στάθμες

14.3.5 Πλήρως Εξειδικευμένη Σχεδίαση (σε Επίπεδο Τρανζίστορ)

Υπάρχουν διάφορες τεχνικές που μπορούν να χρησιμοποιηθούν για τη σχεδίαση τυποποιημένων κυττάρων, ή ακόμα και μεγαλύτερων κυκλωμάτων, σε επίπεδο μασκών. Η παλαιότερη εξ αυτών αποκαλείται *φυσική σχεδίαση μασκών* (*custom mask layout*): ο σχεδιαστής, χρησιμοποιώντας ένα διαδραστικό εργαλείο σχεδίασης, «συναρμολογεί» τα σχέδια στο επίπεδο της γεωμετρίας, ορθογώνιο προς ορθογώνιο (συχνά, η εργασία αυτή αποκαλείται *polygon pushing*, που σε ελεύθερη απόδοση θα μπορούσε να σημαίνει "στρίμωγμα, πολυγώνων"). Μια παραλλαγή της φυσικής σχεδίασης μασκών είναι το *συμβολικό φυσικό σχέδιο* (*symbolic layout*). Σ' αυτή, αντί των ορθογώνιων και πολυγώνων σε διάφορες μάσκες, τα πρωταρχικά βασικά δομικά στοιχεία είναι τα τρανζίστορ, οι επαφές, οι αγωγοί και οι θύρες (σημεία σύνδεσης). Ο χειρισμός αυτών των πρωταρχικών στοιχείων μπορεί να γίνεται μέσω μιας εφαρμογής γραφικών. Ορισμένα συστήματα επιτρέπουν την τοποθέτηση συμβολικών οντοτήτων χωρίς να απαιτούν την ικανοποίηση οποιωνδήποτε κανόνων σχεδίασης. Η πραγματική τοποθέτηση λαμβάνει χώρα μετά από τη διαδικασία καθορισμού των αποστάσεων (διάκενων), η οποία φέρνει κάθε δομικό στοιχείο όσο το δυνατόν πιο κοντά στα γειτονικά του, σύμφωνα με τους συγκεκριμένους κανόνες σχεδίασης της χρησιμοποιούμενης τεχνολογίας. Η χρήση ενός συστήματος συμβολικής φυσικής σχεδίασης καθιστά εφικτή τη μεταφορά μιας τοπολογίας φυσικού σχεδίου από μια τεχνολογία σε μια άλλη, χωρίς να απαιτεί υπερβολική προσπάθεια από την πλευρά των σχεδιαστών.

Όντας πλέον στην εποχή της σχεδίασης με τυποποιημένα κύτταρα, τα ψηφιακά ολοκληρωμένα CMOS χρησιμοποιούν σχεδίαση σε επίπεδο τρανζίστορ μόνο για τα πλέον κρίσιμα τμήματα ενός συστήματος, όπως οι χειριστές δεδομένων (*datapaths*) των μικροεπεξεργαστών. Ωστόσο, τα αναλογικά και RF κυκλώματα, οι βιβλιοθήκες κυττάρων, οι μνήμες και τα κύτταρα E/E σχεδιάζονται συχνά σε επίπεδο τρανζίστορ. Η Ενότητα 14.8 περιλαμβάνει ορισμένες επισημάνσεις σχετικά με τη σχεδίαση σε επίπεδο τρανζίστορ. Η σχεδίαση σ' αυτό το επίπεδο είναι επίσης χρήσιμη από παιδαγωγικής σκοπιάς, καθώς ολοκληρώνει τη μετάβαση από το επίπεδο των τρανζίστορ στο επίπεδο του συστήματος.

Σε διάφορα σημεία του βιβλίου έχουμε αναφέρει τη χρήση γεννητριών λογισμικού ως μια μέθοδο για την παραγωγή σχεδίων στο φυσικό επίπεδο. Αυτό το σκεπτικό υφίσταται εδώ και αρκετά χρόνια, και συχνά αναφέρεται ως *σύνταξη* (*συναρμογή*) σε επίπεδο πυριτίου (*silicon compilation*). Ενδεικτικό είναι το γεγονός ότι με τον τρόπο αυτό έχουν υλοποιηθεί ολόκληροι μικροεπεξεργαστές. Μια μέθοδος «σωστό από κατασκευής» χρησιμοποιείται για την κατασκευή των φυσικών σχεδίων ιεραρχικά. Με άλλα λόγια, παράγονται μόνο οι περιγραφές των μασκών, πιθανώς μ' έναν προσομοιωτή σε επίπεδο εντολών υψηλού επιπέδου να χρησιμοποιείται ως μοντέλο συμπεριφοράς. Σήμερα, οι γεννήτριες είναι η πλέον διαδεδομένη μέθοδος παραγωγής βιβλιοθηκών.

Στις σύγχρονες ροές σχεδίασης, απαιτούνται διάφορες «απόψεις» (μοντέλα) ενός σχεδιαζόμενου κυκλώματος για την ομαλή ενοποίησή του με τη συνολική ροή του συστήματος σχεδίασης. Για παράδειγμα, εκτός από το μοντέλο συμπεριφοράς του κυκλώματος, θα απαιτούνταν ένα μοντέλο χρονισμού για την επαλήθευση των χρονισμών, ένα μοντέλο επιπέδου λογικής για την προσομοίωση, καθώς κι ένα κυκλωματικό μοντέλο για τη σύγκριση του φυσικού σχεδίου με τα σχηματικά και με την περιγραφή σε επίπεδο πυλών (*netlist*). Υπάρχουν γεννήτριες λογισμικού, οι οποίες παρέχουν όλα αυτά τα μοντέλα αυτοματοποιημένα.

Μπορούν να κατασκευαστούν σύγχρονες εκδόσεις του δοκιμασμένου στο χρόνο «συντάκτη πυριτίου» (*silicon compiler*) με δομημένο και ιεραρχικό τρόπο, για την παραγωγή μνημών, αρχείων καταχωρητών και άλλων ειδικών δομών που ωφελούνται από τη σχεδίαση σε επίπεδο τρανζίστορ. Μια από τις απλούστερες προσεγγίσεις είναι η συγγραφή ρουτινών για την τοποθέτηση στο φυσικό σχέδιο, οι οποίες στην πραγματικότητα λειτουργούν περίπου σαν να «τοποθετούν με το χέρι» συγκεκριμένα τυποποιημένα κύτταρα μέσα στη συνολική δομή μιας σχεδίασης με τυποποιημένα κύτταρα. Για παράδειγμα, μπορεί να προτιμάτε ένα συγκεκριμένο είδος αθροιστή και να υπάρχει το φυσικό σχέδιο για το χειριστή δεδομένων του. Σ' αυτή την περίπτωση, μπορεί να υλοποιηθεί ένας αλγόριθμος, ο οποίος θα τοποθετεί κύτταρα στο πλέγμα των τυποποιημένων κυττάρων. Επιπρόσθετα, μπορεί να γραφεί ένας διασυνδεδεμένος με τον παραπάνω αλγόριθμος, ο οποίος θα παράγει ένα αρχείο περιγραφής (*netlist*) των πυλών σε HDL. Κατ' αυτό τον τρόπο δημιουργείται το σχέδιο, τόσο σε φυσικό επίπεδο όσο και σε επίπεδο δομής. Η συμπεριφορά μπορεί να αναπαρασταθεί με κλήσεις συναρτήσεων ή ρουτινών HDL. Μια τέτοια εξειδικευμένη τοποθέτηση καθιστά εφικτή τη μείωση του μήκους των αγωγών και, κατ' επέκταση, τη βελτίωση της ταχύτητας και της κατανάλωσης ισχύος του κυκλώματος.

Οι μικροεπεξεργαστές εξειδικευμένης σχεδίασης ξεπερνούν τα 2 GHz στις νανομετρικές τεχνολογίες κατασκευής, ενώ για τα παραγόμενα με σύνθεση ASIC η τυπική συχνότητα λειτουργίας είναι πιο κοντά στα 200–350 MHz. Ο [Chinnery02] παρουσίασε μια εκπληκτική μελέτη με θέμα τις διαφορές μεταξύ των

μεθόδων σχεδίασης που είναι υπεύθυνες γι' αυτό το μεγάλο χάσμα. Εντόπισε τις σημαντικότερες διαφορές στη μικροαρχιτεκτονική, την επιβάρυνση που εισάγει η ακολουθιακή λογική, τις οικογένειες κυκλωμάτων, τη σχεδίαση της λογικής, τη σχεδίαση των κυττάρων και το φυσικό σχέδιο. Από την παρουσίαση αυτής της μελέτης και μετά, τα εργαλεία CAD έχουν βελτιωθεί, κυρίως στον τομέα της ενοποίησης της σύνθεσης και της τοποθέτησης. Οι εξειδικευμένες σχεδιάσεις έχουν γίνει πιο συντηρητικές και χρησιμοποιούν πλέον στατικά κυκλώματα CMOS και βιβλιοθήκες κυττάρων παρόμοιες με τις αντίστοιχες ASIC σχεδιάσεις. Ωστόσο, συνεχίζει να υπάρχει μεγάλο χάσμα.

Σε μια επόμενη μελέτη, ο [Chinnery07] εξετάζει το χάσμα μεταξύ της ASIC και της εξειδικευμένης σχεδίασης από τη σκοπιά της κατανάλωσης ισχύος. Σημαντικοί παράγοντες για τους οποίους οι σχεδιάσεις ASIC καταναλώνουν περισσότερη ισχύ από τις εξειδικευμένες σχεδιάσεις είναι η μικροαρχιτεκτονική, η διανομή του ρολογιού, το στίλ λογικής, η σχεδίαση της λογικής, τα μεγέθη των κυττάρων και των αγωγών διασύνδεσης, η κλιμάκωση της τάσης, η χωροθέτηση, η τεχνολογία κατασκευής και οι διακυμάνσεις που εισάγει η κατασκευαστική διαδικασία. Το συμπέρασμα της μελέτης είναι ότι οι παραγόμενες με σύνθεση σχεδιάσεις καταναλώνουν κατά κανόνα 3- έως 7-πλάσια φορές περισσότερη ισχύ από τις εξειδικευμένες σχεδιάσεις, αλλά τα καλύτερα διαθέσιμα εργαλεία και βιβλιοθήκες μπορούν να μειώσουν αυτή τη διαφορά στο 2.6-πλάσιο.

14.3.6 Σχεδίαση βάσει Πλατφόρμας - Σύστημα σε Ψηφίδα

Καθώς τα συστήματα γίνονται ολοένα και πιο πολύπλοκα, η χρησιμοποίηση προκατασκευασμένων μονάδων «πνευματικής ιδιοκτησίας» (IP blocks) έχει γίνει συνήθης πρακτική. Οι σχεδιαστικές λύσεις συχνά χρησιμοποιούν έναν αριθμό κοινών λειτουργικών μονάδων, όπως οι επεξεργαστές RISC, οι μνήμες και οι διαυλοί για λειτουργίες E/E. Μια «πλατφόρμα» μπορεί να χρησιμοποιηθεί για την υλοποίηση ενός σχεδίου, χρησιμοποιώντας κοινές δομές (διαύλους κ.λπ.) και κοινές γλώσσες υψηλού επιπέδου (όπως η C) για τον προγραμματισμό των επεξεργαστών. Στις περισσότερες περιπτώσεις, οι RISC επεξεργαστές και οι μνήμες μπορούν να εναλλάσσονται, και επιπλέον ο αριθμός και ο τύπος των περιφερειακών μπορούν να αλλάζουν, διατηρώντας, ωστόσο, ικανοποιητικούς χρόνους σχεδίασης και επαλήθευσης, επειδή οι μονάδες έχουν προσχεδιαστεί και ο κώδικας (*scripts*) για τον έλεγχο και την επαλήθευσή τους παρέχεται μαζί με τις μονάδες IP. Η σχεδίαση έγκειται στη "συναρμολόγηση" όλων αυτών των μονάδων, στη σχεδίαση τυχόν μονάδες ειδικού σκοπού και στη χωροθέτηση και διασύνδεση όλων αυτών, με τρόπο ώστε να παραχθεί ένα λειτουργικό ολοκληρωμένο. Σημειώστε ότι το τελευταίο βήμα, ακόμα κι αν είναι αυτοματοποιημένο, χρειάζεται αρκετή προσοχή και προσπάθεια εκ μέρους του μηχανικού.

Δεδομένου ότι πολλά ολοκληρωμένα σήμερα ενσωματώνουν έναν ή περισσότερους επεξεργαστές, η εργασία της συγγραφής λογισμικού προστίθεται στην εργασία της σχεδίασης. Επιπλέον, η σχεδίαση βάσει πλατφόρμας θέτει το πρόβλημα του διαχωρισμού της λύσης σε hardware (HDL, πύλες) και λογισμικό (προγράμματα επεξεργαστών). Ο διαχωρισμός αυτός παραμένει, σε μεγάλο βαθμό, μια "χειροκίνητη" εργασία, αλλά με διαρκώς αυξανόμενο ρυθμό αυτοματοποιείται από τα εργαλεία CAD.

Τα βασιζόμενα σε πλατφόρμα συστήματα αποτελούνται συνήθως από έναν επεξεργαστή RISC, ο οποίος μπορεί να επεκταθεί με πολλαπλασιαστές, μονάδες κινητής υποδιαστολής, ή ειδικές μονάδες DSP. Επιπρόσθετα (π.χ. το σύστημα Xtensa της Tensilica), χρησιμοποιώντας ειδικές τεχνικές προεπεξεργασίας του εκτελέσιμου κώδικα, μπορεί να προστίθεται hardware ειδικού σκοπού στον επεξεργαστή, το οποίο θα υποβοηθή την εκτέλεση συγκεκριμένων εντολών που εισάγονται στο ρεπερτόριο εντολών του επεξεργαστή. Θεωρητικά, το επιπλέον hardware ή οι επεξεργαστές μπορούν να υποστηρίξουν μεγαλύτερη γκάμα υπολογιστικών εφαρμογών.

Οι μη-αυτοματοποιημένες τεχνικές συνδυασμένης σχεδίασης hardware-λογισμικού μιμούνται αυτή την προσέγγιση. Η σχεδίαση ξεκινά με προσομοίωση του λογισμικού (στην ιδανική περίπτωση, στον ενσωματωμένο επεξεργαστή). Συγκεντρώνονται οι εκτιμήσεις των χρόνων εκτέλεσης και οι σχεδιαστές λαμβάνουν τις αποφάσεις σχετικά με το ποιες λειτουργίες θα υλοποιηθούν σε hardware. Έχουν αναπτυχθεί ειδικοί προσομοιωτές, με δυνατότητα να προσομοιώνουν επεξεργαστές και λογικά κυκλώματα.

Με τη βασιζόμενη σε πλατφόρμα σχεδίαση, επανερχόμαστε ουσιαστικά στην πρώτη σχεδιαστική μέθοδο που αναφέραμε: τον προγραμματισμό ενός μικροεπεξεργαστή. Αυτός είναι ο λόγος για τον οποίο είναι ιδιαίτερα σημαντικό το να επιλέγεται ο επεξεργαστής στο ξεκίνημα της σχεδίασης ενός προϊόντος που πρόκειται να παραχθεί σε μορφή ολοκληρωμένου. Δεδομένου ότι συχνά η προσπάθεια ανάπτυξης λογισμικού είναι μεγαλύτερη από την προσπάθεια ανάπτυξης hardware, οι σχεδιαστές δεν επιθυμούν να την επαναλαμβάνουν.

14.3.7 Σύνοψη

Σ' αυτή την ενότητα παρουσιάσαμε διάφορες επιλογές για τη σχεδίαση συστημάτων CMOS – από τη βασισμένη σε λογισμικό σχεδίαση ενός επεξεργαστή, έως την εξειδικευμένη σχεδίαση, σε επίπεδο τρανζιστορ. Ο Πίνακας 14.4 συνοψίζει αυτές τις επιλογές, βάσει συγκεκριμένων κριτηρίων. Η κάθε σχεδιαστική επιλογή αξιολογείται ως προς κάθε κατηγορία κριτηρίων με βάση μια κλίμακα από χαμηλό έως πολύ υψηλό βαθμό.

ΠΙΝΑΚΑΣ 14.4 Σύγκριση επιλογών σχεδίασης CMOS

Μέθοδος Σχεδίασης	NRE	Κόστος Μονάδας	Κατανάλωση Ισχύος	Πολυπλοκότητα Υλοποίησης	Χρόνος έως την Αγορά	Απόδοση	Ευελιξία
Μικροεπεξεργαστής/DSP	Χαμηλό	Μεσαίο	Υψηλό	Χαμηλό	Χαμηλό	Χαμηλό	Υψηλό
PLA	Χαμηλό	Μεσαίο	Μεσαίο	Χαμηλό	Χαμηλό	Μεσαίο	Χαμηλό
FPGA	Χαμηλό	Μεσαίο	Μεσαίο	Μεσαίο	Χαμηλό	Υψηλό	Υψηλό
Με τυποποιημένα κύτταρα	Υψηλό	Χαμηλό	Χαμηλό	Υψηλό	Υψηλό	Υψηλό	Χαμηλό
Σε επίπεδο τρανζιστορ	Υψηλό	Χαμηλό	Χαμηλό	Υψηλό	Υψηλό	Πολύ Υψηλό	Χαμηλό
Βάσει Πλατφόρμας	Υψηλό	Χαμηλό	Χαμηλό	Υψηλό	Υψηλό	Υψηλό	Μεσαίο

Κατά τη σχεδίαση hardware (ή και λογισμικού), θα πρέπει να ακολουθείται η πλέον αποτελεσματική, από οικονομικής σκοπιάς, προσέγγιση, με δεδομένα την ταχύτητα, την κατανάλωση ισχύος και το κόστος του τελικού συστήματος (αν και σε ορισμένες περιπτώσεις συνυπολογίζεται επίσης το μέγεθός του). Στις περιπτώσεις όπου καλύπτονται οι περιορισμοί/απαιτήσεις του συστήματος θα πρέπει πάντα να επιλέγεται μια «ετοιμοπαράδοτη» λύση, επειδή κατ' αυτό τον τρόπο τα εφάπαξ κόστη αποσβένονται λόγω της χρήσης πολλών έτοιμων μονάδων. Επόμενη στη σειρά ελκυστικότητας είναι η σχεδίαση με βάση κάποιο FPGA, ειδικά για εφαρμογές μειωμένου όγκου (της τάξης των 100.000 κομματιών). Η κατανάλωση ισχύος και το κόστος είναι οι βασικοί καθοριστικοί παράγοντες στις εφαρμογές μεσαίου ή/και μεγάλου όγκου παραγωγής, και σ' αυτές τις περιπτώσεις προτιμάται η σχεδίαση με βάση τυποποιημένα κύτταρα. Οι εφαρμογές μικτού σήματος, RF, ή υψηλής ταχύτητας απαιτούν σχεδίαση με βάση τυποποιημένα κύτταρα, ή εξειδικευμένη σχεδίαση σε επίπεδο τρανζιστορ.

Το εφάπαξ (NRE) κόστος σχεδίασης, μεγάλο μέρος του οποίου απαιτούν οι μάσκες, έχει φτάσει σε τόσο υψηλά επίπεδα που ακόμα και τα πρωτότυπα των βιομηχανιών πρέπει να υλοποιούνται σε ολοκληρωμένα πολλαπλών χρήσεων, έτσι ώστε το κόστος των μασκών να επιμερίζεται σε πολλαπλές σχεδιάσεις. Οι τελικές σχεδιάσεις θα πρέπει να είναι κατά το δυνατόν περισσότερο επαναπρογραμματιζόμενες ή εύκολα προσαρμόζόμενες.

Για το 2006, εκτιμήσεις δείχνουν ότι απασχολούνταν παγκοσμίως 3000 έως 5000 σχεδιαστές συστημάτων σε επίπεδο τρανζιστορ και 50.000 έως 100.000 σχεδιαστές ASIC [Chinnery07]. Ο αριθμός των σχεδιαστών FPGA είναι μεγαλύτερος, ενώ αυτός των σχεδιαστών που χρησιμοποιούν μικροελεγκτές είναι ακόμα μεγαλύτερος. Οι κατασκευαστές εργαλείων CAD στρέφονται στις πλέον προσοδοφόρες αγορές και γι' αυτό τα περισσότερα εργαλεία σχεδίασης VLSI προσανατολίζονται κυρίως σε ASIC.

Οι Synopsys, Cadence, Mentor Graphics και Magma είναι οι μεγαλύτερες εταιρείες αυτού του χώρου, αν και υπάρχουν μικρότερες οι οποίες προσφέρουν πιο εξειδικευμένα εργαλεία. Στην επόμενη ενότητα θα εξετάσουμε ροές σχεδίασης που χρησιμοποιούν τέτοια εργαλεία.

14.4 Ροές Σχεδίασης

Μια ροή σχεδίασης (design flow) είναι ένα σύνολο διαδικασιών που επιτρέπουν στους σχεδιαστές να προχωρούν από την αρχική περιγραφή ενός ολοκληρωμένου συστήματος στην τελική του υλοποίηση, με τρόπο που να διασφαλίζει ότι δεν γίνονται σφάλματα. Στην προηγούμενη ενότητα περιγράψαμε βασικές μεθόδους σχεδίασης CMOS, χωρίς να αναφερθούμε στον τρόπο σχεδίασης ενός FPGA, μιας διάταξης πυλών ή ενός συστήματος βασισμένου σε τυποποιημένα κύτταρα. Σ' αυτή την ενότητα θα συνοψίσουμε τις κυριότερες ροές σχεδίασης που χρησιμοποιούνται σήμερα. Μια γενικευμένη ροή σχεδίασης απεικονίζεται στο Σχ. 14.314. Η σχεδίαση ξεκινά από το επίπεδο συμπεριφοράς και προχωρά στο επίπεδο δομής (πύλες και καταχωρητές). Το βήμα αυτό αποκαλείται σύνθεση συμπε-

ριφοράς ή σύνθεση σε επίπεδο καταχωρητών (Register Transfer Level, RTL), επειδή οι σχεδιάσεις περιγράφονται στο επίπεδο καταχωρητών (στοιχεία μνήμης και λογικές πύλες) με μια γλώσσα HDL. Οι RTL περιγραφές μετασχηματίζονται σε ισοδύναμες περιγραφές στο φυσικό επίπεδο, κατάλληλες για την υλοποίηση του ολοκληρωμένου. Συνήθως, τα βήματα σύνθεσης είναι αυτοματοποιημένα, αλλά καθοδηγούμενα από την κρίση του σχεδιαστή.

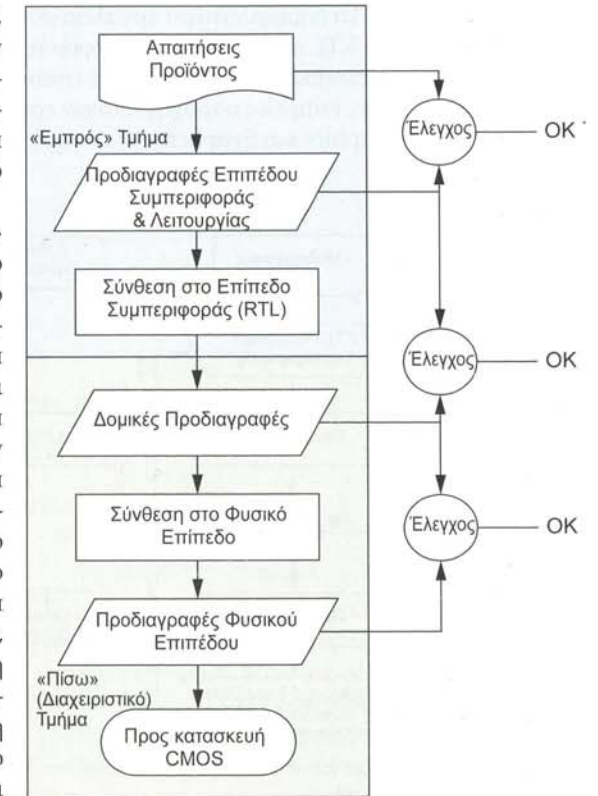
Στο Σχήμα 14.19, η διαδικασία σχεδίασης χωρίζεται στο «εμπρός» (front end) τμήμα σχεδίασης, για το επίπεδο συμπεριφοράς, και στο «πίσω» (back end) τμήμα σχεδίασης, για το επίπεδο δομής και το φυσικό επίπεδο. Ο διαχωρισμός αυτός χρησιμοποιείται στην κατασκευή ολοκληρωμένων ειδικού σκοπού (ASIC). Σ' ένα ASIC, η σχεδίαση μπορεί να αναπτυχθεί στο επίπεδο μιας HDL γλώσσας και στη συνέχεια να περάσει σε άλλη εταιρεία, η οποία θα αναλάβει τη μετατροπή του σχεδίου σ' ένα πραγματικό ολοκληρωμένο. Με τον τρόπο αυτό, η αρχική εταιρεία δεν χρειάζεται να επενδύσει σε προσωπικό ή εργαλεία που απαιτούνται για τη μετάφραση της HDL περιγραφής στο φυσικό επίπεδο ενός ολοκληρωμένου κυκλώματος. Θεωρητικά, σε μια ροή σχεδίασης ASIC, το μόνο που χρειάζεται είναι να σχεδιαστεί και να προσομοιωθεί το μοντέλο συμπεριφοράς σε μια HDL. Όλες οι επόμενες διαδικασίες μπορούν να ολοκληρωθούν από κάποιον εξωτερικό "πάροχο" υπηρεσιών σχεδίασης, με την προϋπόθεση ότι οι τελικοί χρονοίμοι θα επαληθευτούν από τη φυσική σχεδίαση (back-end τμήμα). Αν και η προσέγγιση αυτή λειτουργεί για σχεδιάσεις μέτριου βαθμού πολυπλοκότητας, η αλληλεπίδραση μεταξύ λογικής και φυσικής σχεδίασης είναι τόσο σημαντική σε πιο απαιτητικές σχεδιάσεις, που η συγκεκριμένη ροή σχεδίασης καθίσταται αρκετά ριψοκίνδυνη όσον αφορά στην τήρηση του χρονοδιαγράμματος. Αυτό οφείλεται κυρίως στο γεγονός ότι ο χρόνος που απαιτείται

για μια επαναληπτική διαδικασία μεταξύ λογικής σχεδίασης και φυσικής τοποθέτησης αυξάνεται κατά πολύ, όταν αυτή πραγματοποιείται με τη συνεργασία δύο οργανισμών. Απαιτούνται πολλοί "γύροι" αυτής της επαναληπτικής διαδικασίας, επειδή οι εκτιμήσεις χρονοίμοι στο επίπεδο πριν από το φυσικό σχέδιο (prelayout) που είναι διαθέσιμες στο σχεδιαστή HDL, έχουν μικρή σχέση με τους αντίστοιχους πραγματικούς χρονοίμους που προκύπτουν μετά τη φυσική σχεδίαση (postlayout), επειδή τα μήκη των αγωγών διασύνδεσης δεν μπορούν να προβλεφτούν πριν ολοκληρωθεί το φυσικό σχέδιο. Θεωρείστε την περίπτωση κατά την οποία ο κύκλος σχεδίασης από το επίπεδο λογικής στο επίπεδο τρανζιστορ χρειάζεται δυο ώρες, όταν ολοκληρώνεται ως μια ενιαία εργασία, αλλά αυξάνεται σε μία εβδομάδα, όταν διαχωρίζεται σε εργασίες «εμπρός» και «πίσω» τμήματος σχεδίασης, όπως υποδεικνύει το σχήμα. Εάν απαιτούνται 100 επαναλήψεις για την ολοκλήρωση της σχεδίασης, η ενιαία προσέγγιση θα χρειαστεί περίπου 25 εργάσιμες μέρες, ή αλλιώς 5 βδομάδες, ενώ η δεύτερη προσέγγιση θα χρειαστεί 2 χρόνια (χωρίς διακοπές!). Παρά ταύτα, οι εταιρείες προσπαθούν να κάνουν τη δεύτερη προσέγγιση να λειτουργήσει. Στην περίπτωση που χρειάζονται μόνο 10 επαναλήψεις, οι χρόνοι κυμαίνονται σε πιο λογικά επίπεδα.

Στις δύο ενότητες που ακολουθούν θα παρουσιάσουμε εν τάχει τα εργαλεία επαλήθευσης που απαιτούνται για την αυτοματοποίηση των μετασχηματισμών. Θα εξετάσουμε επίσης τα εργαλεία επαλήθευσης που απαιτούνται για τη διασφάλιση της ορθότητας των μετασχηματισμών, ενώ γίνεται αναφορά και σε ορισμένες ειδικές ροές σχεδίασης. Στη συνέχεια θα περιγράψουμε μια «χειροκίνητη» ροή σχεδίασης, τυπική για εφαρμογές μικτού σήματος ή RF. Τέλος, θα περιγράψουμε συνοπτικά μια μέθοδο για τον απευθείας μετασχηματισμό μιας περιγραφής σχεδίασης από το επίπεδο συμπεριφοράς στο φυσικό επίπεδο.

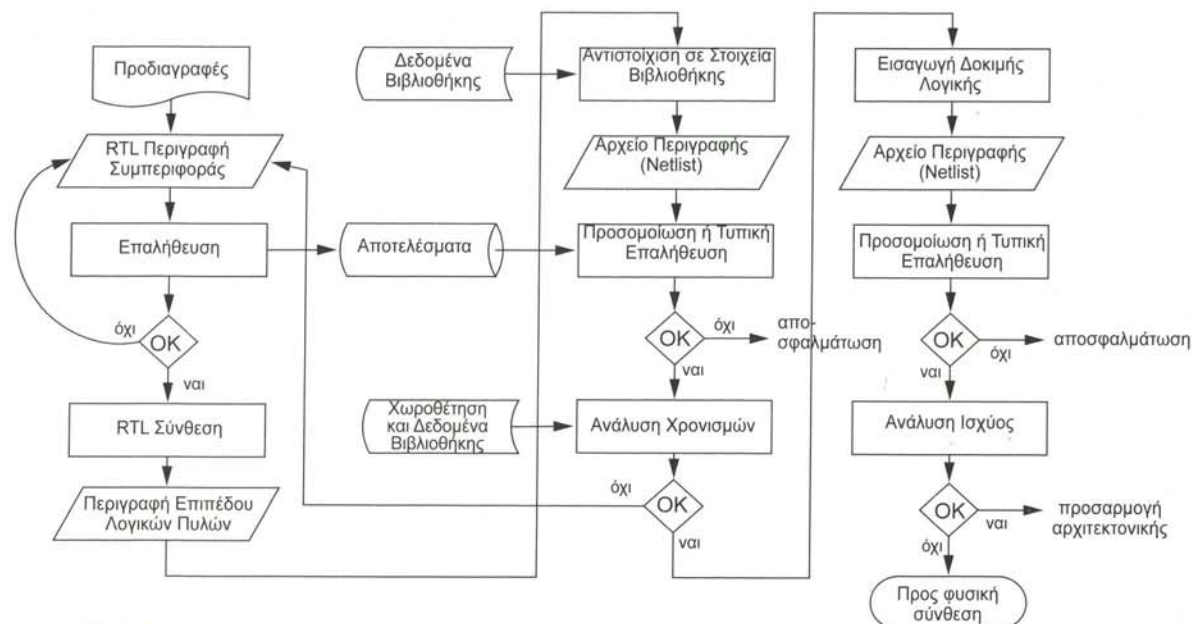
14.4.1 Ροή Σχεδίασης με Σύνθεση Συμπεριφοράς (Ροή Σχεδίασης ASIC)

Στο επίπεδο συμπεριφοράς, η λειτουργία του συστήματος περιγράφεται χωρίς να χρειάζεται να καθορισθεί η υλοποίηση. Το επίπεδο αυτό παρέχει τη μεγαλύτερη ανεξαρτησία από τις λεπτομέρειες της υλοποίησης και ταυτόχρονα τη μεγαλύτερη εξάρτηση από τα εργαλεία, ώστε να προκύψει μια καλή σχεδίαση.



ΣΧΗΜΑ 14.19 Γενικευμένη ροή σχεδίασης.

Τα δημοφιλέστερα εργαλεία σύνθεσης σε επίπεδο συμπεριφοράς είναι αυτά που μετασχηματίζουν άμεσα μια RTL περιγραφή συμπεριφοράς σε μια δομημένη διάταξη λογικών πυλών. Το Σχήμα 14.20 παρουσιάζει μια τυπική ροή σχεδίασης σε επίπεδο συμπεριφοράς για κυκλώματα ASIC. Ορισμένες από τις σημαντικότερες εταιρείες παροχής τέτοιων εργαλείων σχεδίασης είναι οι Synopsys, Cadence, Design Systems, Mentor Graphics και Synplicity.



ΣΧΗΜΑ 14.20 Σύνθεση σε επίπεδο RTL.

14.4.1.1 Σχεδίαση Λογικής και Επαλήθευση Η σχεδίαση ξεκινά με μια προδιαγραφή, η οποία μπορεί να είναι μια περιγραφή διατυπωμένη σε μορφή κειμένου ή σε μια γλώσσα προδιαγραφής συστημάτων. Ο σχεδιαστής μετατρέπει αυτή την περιγραφή σε μια RTL περιγραφή συμπεριφοράς, χρησιμοποιώντας μια γλώσσα HDL, όπως οι Verilog και VHDL. Κατασκευάζεται ένα σύνολο σεναρίων δοκιμών (test bench) και το HDL μοντέλο προσομοιώνεται βάσει αυτών, ώστε να πιστοποιηθεί η ορθή συμπεριφορά του, όπως υπαγορεύεται από τις αρχικές προδιαγραφές και τις απαιτήσεις που πρέπει να πληροί το τελικό προϊόν. Τυπικά διαδραστικά περιβάλλοντα σχεδίασης και προσομοίωσης είναι τα NC-Verilog/SystemC/VHDL και Desktop Verilog/VHDL της Cadence Design Systems, VCS της Synopsys, ModelSim της Mentor Graphics και ActiveHDL της Aldec. Σημειώστε ότι η επαλήθευση λειτουργικότητας μέσω προσομοίωσης γίνεται συνήθως με ιεραρχικό τρόπο. Αυτό σημαίνει ότι, αφού καθοριστεί συνολικά η αρχιτεκτονική του συστήματος, η δημιουργία των υπομονάδων γίνεται ακολουθώντας μια διαδοχική, «από κάτω προς τα πάνω» (bottom up) προσέγγιση, με επαλήθευση στο κάθε βήμα. Η σχεδίαση υφίσταται επαναληπτικούς ελέγχους και προσαρμογές σ' αυτό το επίπεδο, έως ότου προκύψει η σωστή συμπεριφορά. Οι έλεγχοι επαλήθευσης στο πεδίο δοκιμών περιγράφονται λεπτομερώς στην Ενότητα 15.3.

Στη συνέχεια παρουσιάζεται ένα Verilog μοντέλο συμπεριφοράς για μια 8-bit υλοποίηση του NCO κυκλώματος που παρουσιάσαμε παραπάνω:

```
module nco #(parameter size = 8,
             counter_size = 16,
             table_size = 64)
    (input          fclock, reset,
     input  [counter_size-1:0] initial_phase, phase_increment,
     output [size-1:0] q);

    reg [counter_size-1:0] phase;
```

```
wire [size-3:0]    phase_part, inverted_adr, ROM_adr;
wire [size-2:0]   ROM_data;
wire [size-1:0]   wave_out;

// αριθμητικά ελεγχόμενος ταλαντωτής
// ορισμένες σταθερές είναι ενσωματωμένες στον ακόλουθο κώδικα

// μετρητής φάσης
always @(posedge fclock)
    if (reset) phase <= initial_phase;
    else phase <= phase + phase_increment;

// πρόσθεση μετατόπισης (offset) & καθορισμός διεύθυνσης ROM
assign phase_part = phase[counter_size-3:counter_size-8];
assign inverted_adr = 7'3f - phase_part;
assign ROM_adr = phase[counter_size-2] ? inverted_adr : phase_part;

// αναζήτηση δεδομένων στη ROM και αντιστροφή, εάν απαιτείται
quarter_wave sine_table(ROM_adr, ROM_data);
assign wave_out = phase[counter_size-1] ? ~ROM_data : ROM_data;
assign q = wave_out + 8'h80 + phase[counter_size-1];
endmodule
```

14.4.1.2 Σύνθεση σε Επίπεδο Καταχωρητών Το επόμενο βήμα είναι η *σύνθεση* μιας περιγραφής της συμπεριφοράς του κυκλώματος. Συνίσταται στη μετατροπή του RTL σε γενικευμένες πύλες και καταχωρητές, τη βελτιστοποίηση της λογικής με στόχο τη βελτίωση της ταχύτητας και της επιφάνειας του κυκλώματος και την αντιστοίχιση των γενικευμένων πυλών σε μια βιβλιοθήκη τυποποιημένων κυττάρων. Άλλα βήματα που εμπλέκονται σ' αυτό το στάδιο είναι η ανάλυση σε μηχανές κατάστασης, η βελτιστοποίηση των χειριστών δεδομένων και η βελτιστοποίηση της κατανάλωσης ισχύος. Ενδεικτικά εργαλεία που χρησιμοποιούνται σ' αυτό το στάδιο είναι τα Design Compiler της Synopsys, RTL Compiler της Cadence και Synplify Pro της Synplicity. Η ακόλουθη περιγραφή είναι ένα απόσπασμα από τις γενικευμένες δηλώσεις Verilog για το NCO που παρουσιάσαμε παραπάνω.

```
module nco_struct_mapped(input          fclock, reset,
                        input  [15:0] initial_phase, phase_increment,
                        output [7:0] q);

    .
    .
    BUFX4 i_506(.A(n_355), .Y(q[7]));
    .
    MX2X1 i_00(.S0(reset), .B(initial_phase[15]), .A(nbus_1[15]),
              .Y(phase_0[15]));
    NAND2BX1 i_8(.AN(n_102), .B(n_101), .Y(n_104));
    XOR2X1 i_6(.A(phase[15]), .B(ROM_Table[6]), .Y(n_103));
    .
    .
    DFFHQX1 phase_reg_0(.D(phase_0[15]), .CK(fclock), .Q(phase[15]));
    .
    .
endmodule
```

14.4.1.3 Επαλήθευση Λειτουργικότητας και Τυπική Επαλήθευση Στο σημείο αυτό, θα πρέπει να αποδείξουμε ότι η δομική περιγραφή (netlist) εκτελεί την ίδια λειτουργία με την αρχική, HDL περιγραφή συμπεριφοράς. Στην ιδανική περίπτωση, η δομική περιγραφή θα είναι ορθή από κατασκευαστικής σκοπιάς, αλλά είναι πιθανό να υπάρχουν ασάφειες στην HDL περιγραφή συμπεριφοράς, οι οποίες οδηγούν το πρόγραμμα σύνθεσης στην παραγωγή εσφαλμένων αρχείων netlist λόγω κακογραμμένου κώδικα συμπεριφοράς. Μια στρατηγική επαλήθευσης είναι η εκ νέου εκτέλεση όλων των σεναρίων ελέγχου λογικής ώστε να διαπιστωθεί εάν παράγεται η ίδια ακριβώς έξοδος για τις περιγραφές επιπέδου συμπεριφοράς και δομής.

Μια άλλη στρατηγική είναι η χρήση ενός προγράμματος *τυπικής επαλήθευσης* (formal verification), το οποίο θα συγκρίνει τη λογική ισοδυναμία των δύο περιγραφών. Τα εργαλεία τυπικής επαλήθευσης βρίσκονται ακόμα στο στάδιο ωρίμανσης, αλλά παρέχουν το πλεονέκτημα ότι αποδεικνύουν με μαθηματικό τρόπο ότι οι δύο περιγραφές έχουν ακριβώς τις ίδιες Boolean συναρτήσεις [Anastasakis02]. Εν αντιθέσει, η αποτελεσματικότητα της προσομοίωσης εξαρτάται μόνο από την επιλογή των διανυσμάτων δοκιμής. Το Formality της Synopsys και το Incitive Conformal της Cadence είναι χαρακτηριστικά παραδείγματα προγραμμάτων τυπικής επαλήθευσης.

Άλλα είδη επαλήθευσης που μπορούν να εφαρμοστούν στην HDL περιγραφή είναι οι σημασιολογικοί και δομικοί έλεγχοι. Ένα παράδειγμα σημασιολογικού ελέγχου θα μπορούσε να διασφαλίζει ότι όλες οι αναθέσεις σε διαύλους ταιριάζουν με το εύρος του, ενώ ένα παράδειγμα δομικού ελέγχου θα μπορούσε να επαληθεύει ότι όλες οι έξοδοι είναι συνδεδεμένες.

14.4.1.4 Στατική Ανάλυση Χρονισμού (Static Timing Analysis) Στο σημείο αυτό, έχει επιβεβαιωθεί η λειτουργική ισοδυναμία μεταξύ της περιγραφής σε επίπεδο πυλών και της αρχικής περιγραφής συμπεριφοράς. Αυτό που απομένει είναι να ελεγχθούν οι χρονικές απαιτήσεις της σχεδίασης. Για παράδειγμα, ένας αθροιστής μπορεί να προσθέτει σωστά, προσθέτει όμως αρκετά γρήγορα; Στο επίπεδο συμπεριφοράς, ο χρόνος του κύκλου ρολογιού είναι μια αφηρημένη έννοια· ωστόσο, στο επίπεδο δομής, θα πρέπει να ικανοποιείται ένας συγκεκριμένος χρόνος για τον κύκλο ρολογιού από ένα συγκεκριμένο σύνολο πυλών. Για την επαλήθευση των χρονισμών, χρησιμοποιείται ένας *αναλυτής χρονισμού* (timing analyzer).

Ο αναλυτής χρονισμού είναι ένα σημαντικό εργαλείο ανάλυσης που έχει στη διάθεσή του ένας σχεδιαστής ψηφιακών συστημάτων CMOS. Οι χρονισμοί μπορούν να επαληθευθούν εκ του προχείρου με χρήση προσομοιωτών χρονισμού – δηλαδή, μ' έναν προσομοιωτή ο οποίος χρησιμοποιεί τους πραγματικούς χρονισμούς των πυλών και δεν βασίζεται σε κύκλους ή σε μοναδιαία καθυστέρηση. Παρότι χρήσιμη, η προσέγγιση αυτή συνήθως δεν είναι ούτε ενδελεχής ούτε ακριβής, ενώ μπορεί να απαιτήσει υπερβολικό χρόνο για να εκτελεστεί.

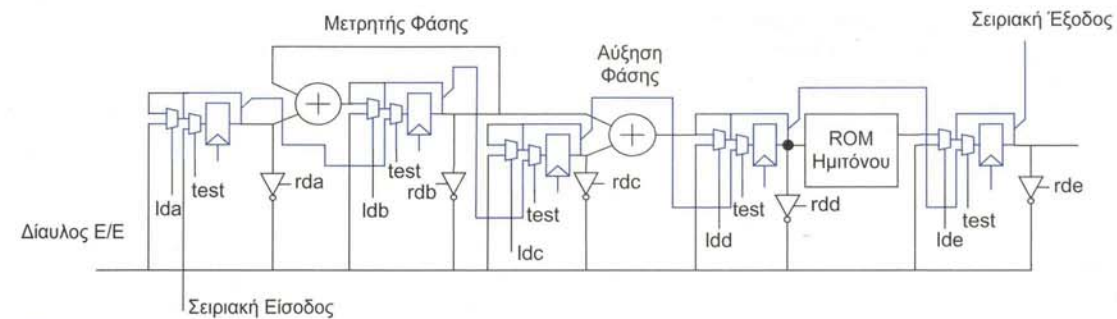
Εν αντιθέσει, η στατική ανάλυση χρονισμού εκτελείται γρήγορα και ελέγχει διεξοδικά τους χρονισμούς όλων των μονοπατιών. Οι εισοδοί του αναλυτή χρονισμού σ' αυτή τη φάση σχεδίασης προέρχονται από τους βασικούς χρονισμούς των πυλών της βιβλιοθήκης, οι οποίοι με τη σειρά τους προκύπτουν από τις εγγενείς καθυστερήσεις των πυλών και τα φορτία διασύνδεσης, τα οποία μπορούν είτε να υπολογιστούν στατιστικά, είτε να εξαχθούν από τα δεδομένα χωροθέτησης (βλ. Ενότητα 14.4.2.2). Οι αναλυτές χρονισμού ελέγχουν τόσο τη *μέγιστη-καθυστερήση* (ικανοποιούν όλα τα flip-flop το χρόνο αποκατάστασης [setup-time] στην απαιτούμενη περίοδο ρολογιού) όσο και την *ελάχιστη-καθυστερήση* (υπάρχει κάποιο flip-flop που παραβιάζει το χρόνο συγκράτησης [hold-time]).

Η στατική ανάλυση χρονισμού υποφέρει από τα αποκαλούμενα προβλήματα «*λανθασμένων μονοπατιών*» (false paths). Χαρακτηριστικό παράδειγμα αυτού του προβλήματος αποτελεί η γραμμή επαναφοράς (reset) του συστήματος, η οποία απαιτεί αρκετούς κύκλους. Είναι πιθανό ο αναλυτής χρονισμού να αναφέρει ότι η λειτουργία αυτή δεν μπορεί να εκτελεστεί σ' ένα κύκλο. Ο σχεδιαστής πρέπει να επισημάνει χειροκίνητα εκείνα τα μονοπάτια που απαιτούν πολλαπλούς κύκλους στον αναλυτή.

Τυπικά εργαλεία ανάλυσης χρονισμού είναι το ETS της Cadence και το PrimeTime της Synopsys. Η αναφορά που παράγει η ανάλυση χρονισμού υποδεικνύει ένα μονοπάτι διαδρομής από την έξοδο ενός καταχωρητή έως την είσοδο ενός άλλου. Για κάθε στάδιο λογικής, αναφέρεται η καθυστέρηση αυτού του σταδίου και ο χρόνος άφιξης εξόδου. Τα μονοπάτια ταξινομούνται με βάση τις χρονικές υστερήσεις· οι αρνητικές υστερήσεις υποδεικνύουν κρίσιμα μονοπάτια τα οποία πρέπει να διορθωθούν.

14.4.1.5 Εισαγωγή Δοκιμών/Ελέγχων Το επόμενο βήμα είναι η εισαγωγή/τροποποίηση λογικής και καταχωρητών που θα υποβοηθήσουν τους ελέγχους παραγωγής (βλ. Ενότητα 15.6). Δύο είναι οι βασικές τεχνικές που χρησιμοποιούνται γι' αυτό. Η πρώτη συνίσταται στην εισαγωγή καταχωρητών με δυνατότητα σάρωσης, έτσι ώστε να μπορεί να τίθεται και να καταγράφεται η κατάσταση του κυκλώματος. Συνοδευτική αυτής της πρακτικής είναι μια τεχνική που αποκαλείται *Αυτοματοποιημένη Παραγωγή Διανυσμάτων Δοκιμής* (Automatic Test Pattern Generation, ATPG), η οποία χρησιμοποιείται για την παραγωγή δοκιμών σε μια σχεδίαση με δυνατότητα σάρωσης. Η δεύτερη τεχνική, που αποκαλείται *Ενοσωματωμένος Αυτο-Έλεγχος* (Built-In Self Test), τροποποιεί καταχωρητές ώστε να επιτρέψει τη διεξαγωγή «επί τόπου» ελέγχων μέσα στο ολοκληρωμένο. Το Σχήμα 14.21 απεικονίζει το κύκλωμα του NCO, μετά από την εφαρμογή ενός προγράμματος εισαγωγής δοκιμών/ελέγχων.

Τυπικές, εμπορικά διαθέσιμες εφαρμογές δοκιμών/ελέγχων είναι οι DFT Max της Synopsys (για ελέγχους σάρωσης) και Tetramax (για ελέγχους ATPG). Η εταιρεία LogicVision διαθέτει τις εφαρμογές ETLogic και ETMemory για ενσωματωμένο αυτο-έλεγχο.



ΣΧΗΜΑ 14.21 Εισαγωγή καταχωρητών σάρωσης για δοκιμές.

14.4.1.6 Ανάλυση Ισχύος Στη συνέχεια, εκτιμάται η κατανάλωση ισχύος του κυκλώματος. Η κατανάλωση ισχύος εξαρτάται από τους συντελεστές δραστηριότητας των λογικών πυλών, οι οποίοι με τη σειρά τους εξαρτώνται από τις εισόδους που λαμβάνει το ολοκληρωμένο. Η ανάλυση ισχύος μπορεί να εφαρμοστεί για ένα συγκεκριμένο σύνολο διανυσμάτων δοκιμής, μέσω ενός προσομοιωτή, υπολογίζοντας τη συνολική χωρητικότητα που φορτίζεται ή εκφορτίζεται σε κάθε μετάβαση του ρολογιού και σε κάθε κόμβο. Σ' αυτό το στάδιο, εάν διαπιστωθεί πολύ υψηλή κατανάλωση ισχύος, η σχεδίαση πρέπει να επιστρέψει στο επίπεδο της αρχιτεκτονικής για επανεξέταση της λύσης. Εμπορικά διαθέσιμα εργαλεία για την ανάλυση της κατανάλωσης ισχύος είναι τα PrimePower και PowerMill της Synopsys.

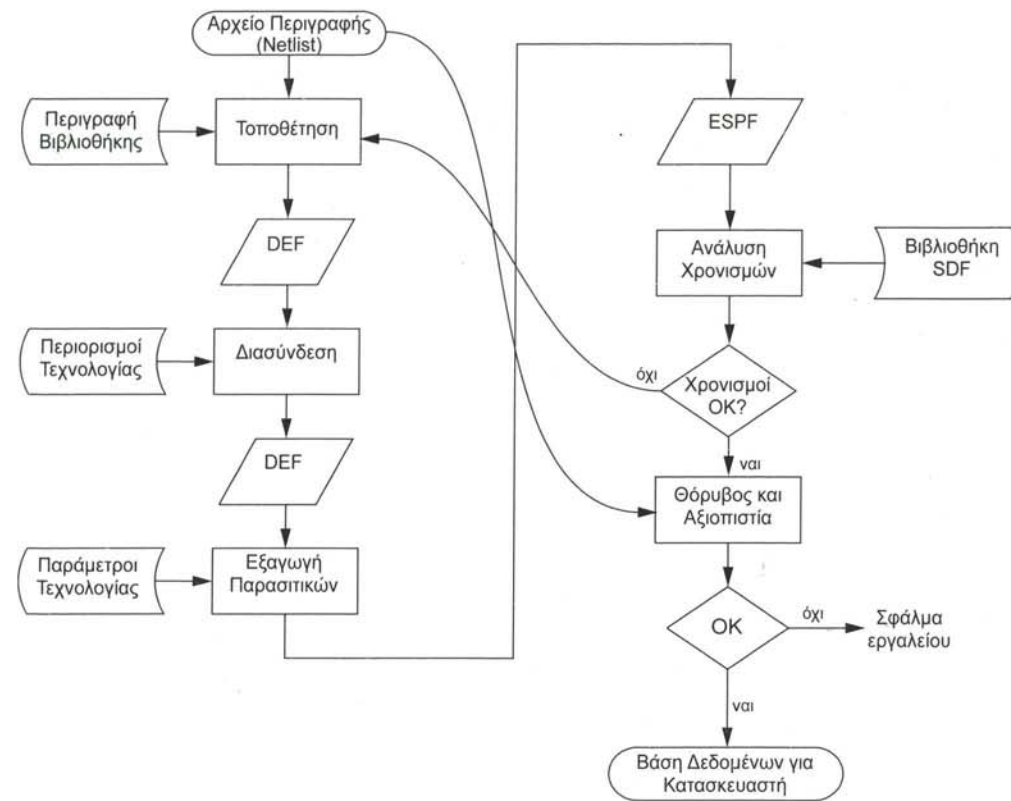
14.4.1.7 Σύνοψη Πέραν του ότι αυξάνουν την παραγωγικότητα κατά τη διαδικασία σχεδίασης, τα εργαλεία λογικής σύνθεσης χρησιμεύουν επίσης για τη μετατροπή μιας λύσης μεταξύ διαφορετικών τεχνολογιών. Για παράδειγμα, μια HDL περιγραφή επιπέδου συμπεριφοράς θα μπορούσε να συντεθεί σε πολλαπλά FPGA και να κατασκευαστεί μια πρότυπη υλοποίηση, η οποία θα χρησιμοποιηθεί για την επαλήθευση της λειτουργίας του κυκλώματος υπό πραγματικές συνθήκες. Στη συνέχεια, μπορεί να δημιουργηθεί από την ίδια HDL μια έκδοση «ενός ολοκληρωμένου», με χρήση μιας βιβλιοθήκης διάταξης πυλών.

14.4.2 Αυτοματοποιημένη Παραγωγή Φυσικού Σχεδίου

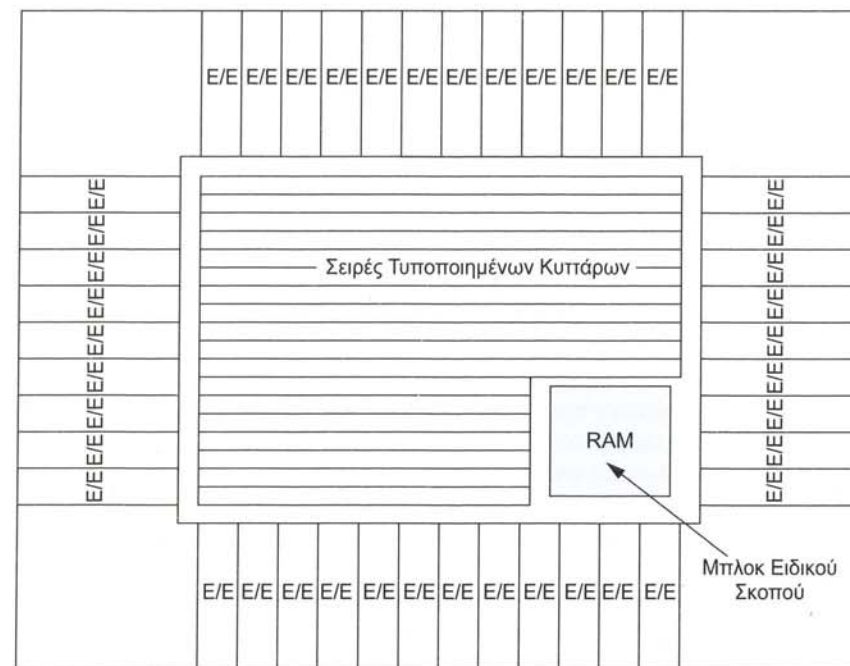
Η παραγωγή του φυσικού σχεδίου (layout) είναι το τελευταίο βήμα στη διαδικασία μετατροπής ενός σχεδίου σε μια βάση δεδομένων κατάλληλη για την τελική παραγωγή. Ουσιαστικά, μετασχηματίζει ένα σχέδιο από το πεδίο δομής στο φυσικό πεδίο. Το βήμα αυτό αποκαλείται σε ορισμένες περιπτώσεις *φυσική σύνθεση* (physical synthesis), όταν η δομική περιγραφή (netlist) προσαρμόζεται καθώς παράγεται το φυσικό σχέδιο.

Το Σχήμα 14.22 απεικονίζει μια πρότυπη ροή φυσικής σχεδίασης, βάσει διαδικασιών τοποθέτησης και διασύνδεσης. Η ροή ξεκινά με τη δομική περιγραφή (netlist), η οποία περιγράφει τις πύλες, τα flip-flop και τις μεταξύ τους διασυνδέσεις. Η περιγραφή αυτή μπορεί να παρέχεται σε μορφή DEF (Design Exchange Format), ή σε μορφή Verilog, όπως αυτή που παρουσιάστηκε στην Ενότητα 14.4.1.2. Το εργαλείο τοποθέτησης δέχεται επίσης έναν ορισμό βιβλιοθήκης τυποποιημένων κυττάρων που περιγράφει τις διαστάσεις και τη θέση των θυρών, συνήθως σε μορφή LEF (Library Exchange Format).

14.4.2.1 Τοποθέτηση (Placement) Στο Σχήμα 14.22, το πρώτο βήμα είναι η τοποθέτηση των τυποποιημένων κυττάρων. Το κλειδί για την αυτοματοποίηση της φυσικής σχεδίασης με τυποποιημένα κύτταρα είναι η χρήση τυποποιημένων κυττάρων σταθερού ύψους και μεταβλητού πλάτους, τα οποία διευθετούνται σε σειρές κατά μήκος του ολοκληρωμένου, όπως απεικονίζεται στο Σχήμα 14.23. Ανόμοια με τα ολοκληρωμένα SoG και διατάξεις πυλών, στα ολοκληρωμένα που κατασκευάζονται με τυποποιημένα κύτταρα είναι δυνατό να προστεθούν εξειδικευμένες για την εκάστοτε εφαρμογή μονάδες, όπως π.χ. μνήμες και αναλογικές υπομονάδες, φροντίζοντας ώστε οι σειρές τυποποιημένων κυττάρων να σχηματίζονται «ρέοντας» γύρω από τις σταθερού μεγέθους εξειδικευμένες μονάδες. Στο σχήμα δεν απεικονίζονται κενά ανάμεσα στις σειρές τυποποιημένων κυττάρων επειδή η διασύνδεση υλοποιείται πάνω από τα κύτταρα, με χρήση πολλαπλών στρωμάτων μετάλλου. Σε παλαιότερες τεχνολογίες που χρησιμοποιούσαν δύο ή τρεις στρώσεις μετάλλου, ήταν αναγκαίο να υπάρχει διάκενο μεταξύ των κυττάρων, για τη διασύνδεση. Η περιγραφή LEF συνοψίζει τις σημαντικότερες φυσικές λεπτομέρειες των κυττάρων.



ΣΧΗΜΑ 14.22 Ροή σχεδίασης με τυποποιημένα κύτταρα.



ΣΧΗΜΑ 14.23 Φυσική σχεδίαση με τυποποιημένα κύτταρα.

Ο στόχος ενός απλού αλγορίθμου τοποθέτησης είναι η ελαχιστοποίηση του μήκους των αγωγών διασύνδεσης. Στην περίπτωση που η τοποθέτηση οδηγείται βάσει χρονισμού, το κόστος των αγωγών διασύνδεσης σταθμίζεται, ώστε να ικανοποιούνται οι απαιτήσεις χρονισμού. Στο τέλος της φάσης τοποθέτησης, τα κύτταρα βρίσκονται πλέον σε οριστικοποιημένες θέσεις μέσα στη συνολική διάταξη. Το προκύπτον σχέδιο αποθηκεύεται σε μια πρότυπη μορφή (π.χ. DEF), κατάλληλη για την επόμενη φάση της διασύνδεσης.

14.4.2.2 Χωροθέτηση (Floorplanning) Κατά τη διαδικασία τοποθέτησης, γίνεται ολοένα και πιο αναγκαίο ένα «χειροκίνητο» βήμα χωροθέτησης. Αντί για «επίπεδη» τοποθέτηση –δηλαδή, με όλα τα κύτταρα στο ίδιο επίπεδο ιεραρχίας–, οι υπομονάδες ομαδοποιούνται σε περιοχές, οι οποίες υπαγορεύονται από τις ανάγκες επικοινωνίας της εκάστοτε υπομονάδας με τις υπόλοιπες. Στο Παράδειγμα 14.5 παρουσιάστηκαν ορισμένες πιθανές χωροθετήσεις για την εφαρμογή του πομποδέκτη λογισμικού. Αυτό το στιλ χωροθέτησης μπορεί να ολοκληρωθεί πριν από τη διαδικασία αυτοματοποιημένης τοποθέτησης.

14.4.2.3 Διασύνδεση (Routing) Μετά από την τοποθέτηση των κυττάρων, πρέπει να γίνει η διασύνδεση των δικτύων σημάτων του κυκλώματος. Κατά κανόνα, η διασύνδεση χωρίζεται σε δύο βήματα: καθολική (global) και λεπτομερής (detailed).

Ένα εργαλείο καθολικής διασύνδεσης ανάγει το πρόβλημα της διασύνδεσης σε αφαιρετικό επίπεδο – ένα εξιδανικευμένο σύνολο γειτονικών καναλιών που καλύπτουν την επιφάνεια του ολοκληρωμένου, μέσω των οποίων διασυνδέονται οι αγωγοί. Οι συνδέσεις προστίθενται στα κανάλια με βάση μια συνάρτηση κόστους. Οι αγωγοί μπορούν να εναλλάσσονται από κανάλι σε κανάλι, εάν η πυκνότητα των αγωγών σ' ένα συγκεκριμένο κανάλι αυξηθεί υπερβολικά. Το εργαλείο λεπτομερούς διασύνδεσης υλοποιεί τη γεωμετρία που απαιτείται για να ολοκληρωθούν οι συνδέσεις των σημάτων. Με την πάροδο του χρόνου, αναπτύχθηκαν εργαλεία λεπτομερούς διασύνδεσης τα οποία παρέχουν δυνατότητα αυτοματοποιημένης διασύνδεσης των σημάτων. Τα παλαιότερα εργαλεία περιορίζαν τα σήματα σ' ένα πλέγμα διαδρομών. Εν αντιθέσει, τα νεότερα, άνευ πλέγματος εργαλεία είναι πιο ευέλικτα, υποστηρίζοντας αγωγούς μεταβλητού πλάτους. Επιπλέον, επιτρέπουν την εύκολη επικοινωνία με «ξένα» κύτταρα, τα οποία μπορεί να έχουν τους ακροδέκτες E/E σε θέσεις που δεν βρίσκονται σε κανένα πλέγμα διασύνδεσης. Τα εργαλεία διασύνδεσης μπορούν να υλοποιούν τις διασυνδέσεις και πάνω από τα κύτταρα. Οι ορισμοί LEF χρησιμοποιούνται για να υποδείξουν πιθανά εμπόδια στις διάφορες στρώσεις, στους ορισμούς των κυττάρων. Τα προηγμένα εργαλεία διασύνδεσης συνυπολογίζουν επίσης κατασκευαστικές ανάγκες όπως η προσθήκη πλεονασματικών περασμάτων (vias) όταν υπάρχει διαθέσιμος χώρος και τα προσαρμόσιμα κενά (για το διαχωρισμό των αγωγών και τη μείωση φαινομένων ζεύξης όταν υπάρχει διαθέσιμος χώρος).

Στο παράδειγμα του Σχήματος 14.22, το εργαλείο διασύνδεσης χρησιμοποιεί το αρχείο περιγραφής της τεχνολογίας κατασκευής για να καθορίσει τις στρώσεις διασύνδεσης και τις διαστάσεις, για το στάδιο της καθαυτού κατασκευής. Τα αποτελέσματά του αποθηκεύονται σ' ένα αρχείο μορφής DEF.

14.4.2.4 Εξαγωγή Παρασιτικών Χωρητικότητων Μετά από την τοποθέτηση και διασύνδεση, το προκύπτον κύκλωμα είναι έτοιμο για την εξαγωγή των παρασιτικών χωρητικότητων. Στο παράδειγμα του Σχήματος 14.22, το φυσικό σχέδιο, έχοντας περάσει από τις φάσεις τοποθέτησης και διασύνδεσης, εισάγεται ως αρχείο μορφής DEF στο εργαλείο εξαγωγής, το οποίο παράγει ένα αρχείο μορφής ESPF (Extended Standard Parasitic Format), ή RSPF (Reduced Standard Parasitic Format), ή SPF (Standard Parasitic Format). Το αρχείο αυτό περιγράφει τις αντιστάσεις και χωρητικότητες όλων των δικτύων του φυσικού σχεδίου. Το εργαλείο εξαγωγής χρησιμοποιεί ένα άλλο αρχείο περιγραφής τεχνολογίας, το οποίο ορίζει τις διαστρωματικές χωρητικότητες και τις αντιστάσεις των στρωμάτων μετάλλου.

Το εργαλείο εξαγωγής χωρητικότητας μπορεί να λειτουργεί στις 2, 2.5, ή 3 διαστάσεις. Τα εργαλεία 2 Διαστάσεων (2D extractors) εξετάζουν μια τομή του σχεδίου, υποθέτοντας ότι οι αγωγοί εκτείνονται ομοιόμορφα έξω από κάθε τμήμα. Ένα εργαλείο 2.5 Διαστάσεων χρησιμοποιεί πίνακες αναζήτησης για τον ακριβέστερο υπολογισμό των χωρητικότητας στις περιοχές όπου δεν υπάρχει ομοιομορφία. Ένα εργαλείο εξαγωγής 3 Διαστάσεων λύνει τις εξισώσεις Maxwell στις τρεις διαστάσεις για τον υπολογισμό των χωρητικότητας σε πολύπλοκες γεωμετρίες με απόλυτη ακρίβεια. Συνήθως, η εξαγωγή παρασιτικών χωρητικότητας με εργαλεία 3 Διαστάσεων είναι απαγορευτικά χρονοβόρα, αν και έχουν παρουσιαστεί νέοι στατιστικοί αλγόριθμοι, όπως αυτοί που χρησιμοποιεί το QuickCap της Magma Design, οι οποίοι παρέχουν καλή ακρίβεια με γρηγορότερους χρόνους εκτέλεσης.

14.4.2.5 Ανάλυση Χρονισμού Στο σημείο αυτό, εκτελείται εκ νέου στατική ανάλυση χρονισμού, με τα πραγματικά φορτία τοποθετημένα στις πόδες. Αυτό είναι το στάδιο που συνήθως προκαλεί τη μεγαλύτερη «συμφόρηση» στη ροή σχεδίασης, δεδομένου ότι το φυσικό σχέδιο αποτυπώνει πλέον την πλήρη πραγματικότητα της φυσικής υλοποίησης. Κατά κανόνα, απαιτείται η επαναληπτική εκτέλεση των διαδικασιών σύνθεσης και τοποθέτησης-και-διασύνδεσης σε αλληπάλαια βήματα για να επιτευχθεί σύγκλιση με τις απαιτήσεις χρονισμού.

Επιπρόσθετα, εάν υπάρχει δυνατότητα (κυρίως όταν χρησιμοποιούνται δυναμικά κυκλώματα), θα πρέπει να εκτελείται προσομοίωση χρονισμού σε επίπεδο τρανζίστορ. Αν και συνήθως αυτό δεν μπορεί να επιτευχθεί με κάποιον βασισμένο στο SPICE προσομοιωτή, υπάρχουν διάφορα εργαλεία προσομοίωσης με «ακρίβεια σχεδόν στο επίπεδο του SPICE», τα οποία χρησιμοποιούνται από τα τέλη της δεκαετίας του '70. Συνήθως έχουν τη δυνατότητα να εκτελούν συνολική προσομοίωση του ολοκληρωμένου σε επίπεδο τρανζίστορ, αλλά χρησιμοποιώντας σχετικά μειωμένης ακρίβειας μοντελοποίηση των τρανζίστορ. Τα εργαλεία Nanosim της Synopsys και UltraSim της Cadence είναι παραδείγματα προσομοιωτών τέτοιου τύπου.

14.4.2.6 Ανάλυση Θορύβου, Πτώσης Τάσης Τροφοδοσίας και Ηλεκτρομετανάστευσης Στο σημείο αυτό εκτελούνται οι κατάλληλες αναλύσεις για τον έλεγχο του θορύβου, της πτώσης τάσης στις γραμμές τροφοδοσίας και των ορίων ηλεκτρομετανάστευσης (electromigration). Η ανάλυση θορύβου εκτελείται για τον υπολογισμό των παρεμβολών (crosstalk) που οφείλονται στις διαστρωματικές χωρητικότητες των διασυνδέσεων. Παραδείγματα τέτοιων εργαλείων είναι τα SignalStorm, ElectronStorm και VoltageStorm της Cadence.

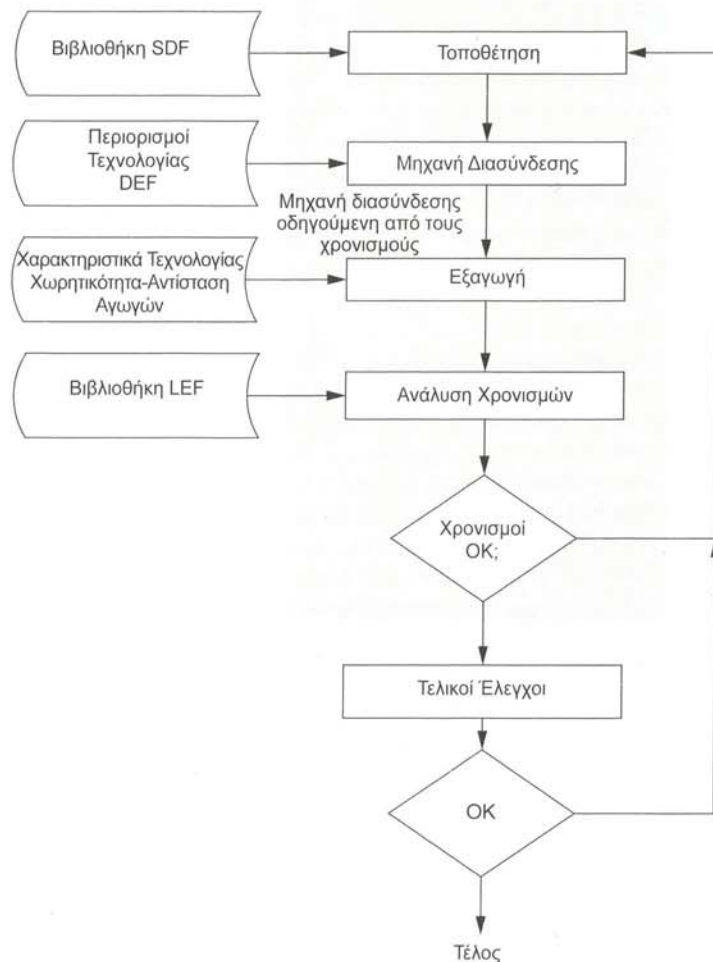
14.4.2.7 Τοποθέτηση Οδηγούμενη από το Χρονισμό Το πρόβλημα που ανακύπτει με τη στρατηγική της τοποθέτησης & διασύνδεσης είναι ότι μετά από την ολοκλήρωση του φυσικού σχεδίου, εξάγονται οι παρασιτικές χωρητικότητες των αγωγών και οι χρονισμοί εκτιμώνται ξανά, μέσω ανάλυσης χρονισμού. Ωστόσο, ο χρονισμός δεν είναι γνωστός έως ότου ολοκληρωθεί η φυσική σχεδίαση. Εάν παρουσιαστούν προβλήματα στο χρονισμό, ο κύκλος σχεδίασης θα πρέπει να επαναληφθεί, με την εφαρμογή κάποιων περιορισμών στα «προβληματικά» μονοπάτια. Στις σχεδιάσεις υψηλής πολυπλοκότητας, είναι πολύ εύκολο να χαθεί ο έλεγχος σε σημεία όπου μια αλλαγή που γίνεται σε μια επανάληψη

αναφέρει κάτι το οποίο διορθώθηκε σε μια προηγούμενη επανάληψη. Υπάρχουν σχεδιάσεις που δεν ολοκληρώθηκαν ποτέ λόγω αυτού του προβλήματος.

Η λύση συνίσταται στη χρήση μιας τεχνικής που αποκαλείται *Τοποθέτηση Οδηγούμενη από το Χρονισμό* (Timing-driven Placement), η οποία συνυπολογίζει το χρονισμό (ταχύτητα) του κυκλώματος καθώς τοποθετούνται τα κύτταρα. Δίνεται προτεραιότητα στα κύτταρα που ανήκουν σε κρίσιμα μονοπάτια, με στόχο την ελαχιστοποίηση των καθυστερήσεων των αγωγών. Η προσέγγιση αυτή, όπως παρουσιάζεται στο Σχήμα 14.24, έχει αποδειχθεί επιτυχημένη και συχνά οδηγεί στο επιδιωκόμενο αποτέλεσμα μ' έναν και μόνο γύρο.

14.4.2.8 Διασύνδεση Δένδρου Ρολογιού Κεντρικό ρόλο στις σύγχρονες σχεδιάσεις υψηλής ταχύτητας παίζει η στρατηγική διανομής του ρολογιού. Στην Ενότητα 13.4.4, περιγράφονται διάφορες προσεγγίσεις. Για την ελαχιστοποίηση της χρονικής απόκλισης του ρολογιού (clock skew), συχνά η βέλτιστη πρακτική συνίσταται στην εκ των προτέρων εισαγωγή και διασύνδεση του ρολογιού και των απομονωτών του, πριν ολοκληρωθεί η τοποθέτηση και η διασύνδεση της λογικής. Η εργασία αυτή εκτελείται από ένα εργαλείο *διασύνδεσης/δρομολόγησης του δένδρου ρολογιού (clock tree router)*.

14.4.2.9 Ανάλυση Κατανάλωσης Ισχύος Στο σημείο αυτό, μπορεί να επαναληφθεί η διαδικασία υπολογισμού της κατανάλωσης ισχύος, δεδομένου ότι τώρα είναι διαθέσιμες οι πραγματικές χωρητικότητες των αγωγών. Χρησιμοποιούνται τεχνικές παρόμοιες μ' αυτές που εφαρμόζονται κατά τη σύνθεση RTL.



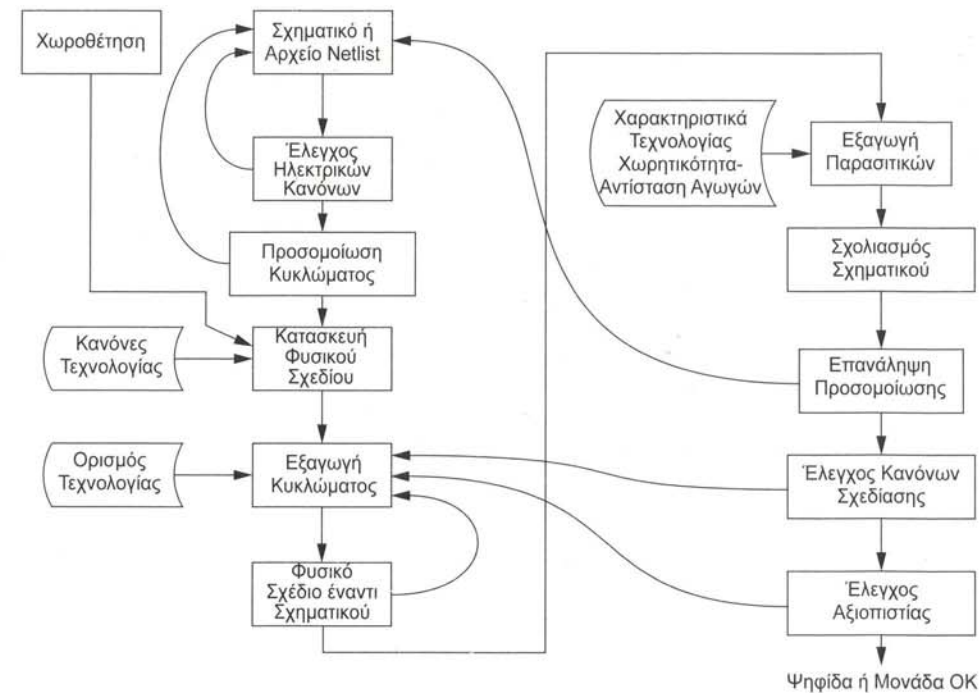
14.4.3 Ροή Σχεδίασης για Εφαρμογές Μεικτού Σήματος ή Εξειδικευμένες Εφαρμογές

Στην προηγούμενη ενότητα περιγράψαμε μια ροή σχεδίασης κατάλληλη για ένα πλήρως ψηφιακό ολοκληρωμένο, στην οποία η διαδικασία μετατροπής από μια HDL περιγραφή στο επίπεδο του φυσικού σχεδίου είναι, σε μεγάλο βαθμό, αυτοματοποιημένη. Μια τέτοια ροή παρέχει υψηλή παραγωγικότητα για τα περισσότερα ψηφιακά ολοκληρωμένα με μέτριες προδιαγραφές απόδοσης. Τι γίνεται όμως με τα μικρότερα αναλογικά, RF και υψηλής ταχύτητας ψηφιακά τμήματα ενός ολοκληρωμένου; Γι' αυτά τα τμήματα χρησιμοποιούμε μια ροή σχεδίασης μασκών σε επίπεδο τρανζίστορ (custom-design flow), η οποία απεικονίζεται στο Σχήμα 14.25.

Ο σχεδιαστής ξεκινά σχεδιάζοντας ένα σχηματικό (ή πιθανώς γράφοντας ένα αρχείο netlist). Ένα εργαλείο ERC (Electrical Rule Checker, ελεγκτής ηλεκτρικών κανόνων) επαληθεύει τη σύνδεση των θυρών και ελέγχει για ασυνδέτες εισόδους και εξόδους – το είδος των απλών λαθών σύνδεσης που μπορεί να συμβούν εύκολα όταν σχεδιάζεται χειροκίνητα ένα σχηματικό. Όταν το σχηματικό θεωρηθεί ορθό, λαμβάνει χώρα η προσομοίωση του κυκλώματος χρησιμοποιώντας έναν προσομοιωτή τύπου SPICE, ώστε να επαληθευτούν οι παράμετροι DC & AC λειτουργίας, οι παράμετροι μεταβατικής (transient) λειτουργίας, τα περιθώρια θορύβου και/ή η επίδοσή του σε RF.

Αφού επαληθευτεί η ορθή συμπεριφορά του κυκλώματος, μπορεί να ξεκινήσει η φυσική σχεδίαση, με πρώτο βήμα τη διαδικασία χωροθέτησης. Η χωροθέτηση μπορεί να είναι μια επαναληπτική διαδικασία, η οποία γίνεται σταδιακά ολοένα και πιο ακριβής, καθώς γίνονται γνωστά τα πραγματικά μεγέθη των υπομονάδων και τα κρίσιμα μονοπάτια. Η σχεδίαση μασκών σε επίπεδο τρανζίστορ είναι μια χρονοβόρα εργασία. Για παράδειγμα, ένας μεγάλος επεξεργαστής μπορεί να κρατά απασχολημένους εκατό σχεδιαστές μασκών για δύο χρόνια. Η αυτοματοποίηση των μη κρίσιμων μερών ενός φυσικού σχεδίου είναι προαπαιτούμενο για την παραγωγικότητα. Αφού ολοκληρωθεί η φυσική σχεδίαση της υπομονάδας, χρησιμοποιείται ένας εξαγωγέας κυκλώματος για τον καθορισμό της συνδεσιμότητας των πρωτογενών πόρων του φυσικού σχεδίου (MOS και διπολικά τρανζίστορ, δίοδοι, αντιστάσεις πυκνωτές και επαγωγές), χρησιμοποιώντας κανόνες παρόμοιους μ' αυτούς που περιγράφονται στην Ενότητα 3.5.2.

Στη συνέχεια, η εξαγόμενη διάταξη συγκρίνεται με το σχηματικό χρησιμοποιώντας ένα πρόγραμμα ισομορφισμού γράφων, ώστε να καθοριστεί εάν οι δύο διατάξεις είναι πανομοιότυπες σε επίπεδο συνδεσιμότητας. Αυτό γίνεται ως εξής: οι πρωτογενείς πόροι αντιστοιχίζονται στις κορυφές ενός γράφου και οι συνδέσεις στα τόξα του γράφου. Τεχνικές χρωματισμού γράφων, βασισμένες στη συνδεσιμότητα και στις παραμέτρους του κυκλώματος (π.χ., τύπος, πλάτος και μήκος τρανζίστορ), καθορίζουν το βαθμό ομοιότητας των συνδέσεων.



ΣΧΗΜΑ 14.25 Ροή σχεδίασης για εφαρμογές μεικτού σήματος / ειδικού σκοπού.

Αφού διαπιστωθεί η ισοδυναμία των διασυνδέσεων, εκτελείται έλεγχος ισοδυναμίας για κάθε χαρακτηριστικό των πρωτογενών πόρων (π.χ. τιμή αντίστασης ή χωρητικότητας, μήκος και πλάτος τρανζίστορ). Οι ασυμφωνίες κοινοποιούνται στο χρήστη και μπορεί επίσης να παρέχεται ανατροφοδότηση μέσω του γραφικού περιβάλλοντος, η οποία βοηθά το σχεδιαστή να εντοπίσει την πηγή οποιασδήποτε ασυμφωνίας. Το βήμα αυτό αποκαλείται συνήθως «φυσικό σχέδιο έναντι σχηματικού» (Layout Versus Schematic, LVS).

Αφού εδραιωθεί η ισοδυναμία μεταξύ των περιγραφών στο δομικό και στο φυσικό επίπεδο, ολοκληρώνεται η εξαγωγή των παρασιτικών χωρητικότητων. Οι παρασιτικές χωρητικότητες και οι αντιστάσεις των διασυνδέσεων προστίθενται στα αρχικά πρωτογενή στοιχεία. Γενικά, οι αυτεπαγωγές δεν εξάγονται αλλά ο χειρισμός τους γίνεται αφαιρώντας την κάθε αυτεπαγωγή από το φυσικό σχέδιο και αντικαθιστώντας τη με ένα εκ των προτέρων έτοιμο φυσικό μοντέλο. Σε ορισμένες περιπτώσεις αυτό αποκαλείται *μακρο-αντικατάσταση* (macro-substitution). Οι παρασιτικές χωρητικότητες και οι αντιστάσεις μπορούν να επαναπροσδιοριστούν στο σχηματικό και το συνολικό κύκλωμα προσομοιώνεται ξανά. Το βήμα αυτό είναι ιδιαίτερα σημαντικό. Το ταίριασμα της προσομοιούμενης συμπεριφοράς με τη συμπεριφορά της πραγματικής συσκευής είναι κρίσιμης σημασίας, ώστε να είναι δυνατή η ακριβής πρόβλεψη της απόδοσης του συστήματος. Όταν το κύκλωμα κατασκευαστεί, είναι πλέον πολύ αργά για διορθώσεις!

Στο σημείο αυτό μπορεί να ελεγχθεί φυσικό σχέδιο της κάθε μονάδας βάσει των κανόνων σχεδίασης (DRC). Εναλλακτικά, το βήμα αυτό μπορεί να εκτελεστεί όταν ολοκληρωθεί η συνολική διάταξη στο φυσικό επίπεδο. Κατά κανόνα, η AC απόδοση είναι πιο σημαντική από τη διόρθωση του παραμικρού σφάλματος που αναφέρει ο ελεγκτής DRC, δεδομένου ότι ο DRC έλεγχος ενός κυκλώματος που δεν παρέχει την επιθυμητή απόδοση είναι απλώς και μόνο σπάταλη χρονο.

Στη συνέχεια θα πρέπει να εκτελεστούν ορισμένα βήματα επαλήθευσης σχετικά με την «κατασκευασιμότητα» του συστήματος. Αυτά μπορούν να γίνουν είτε χειροκίνητα είτε αυτοματοποιημένα. Στη ροή σχεδίασης με τυποποιημένα κύτταρα πρέπει να ελεγχθούν τα πλάτη των διαύλων τροφοδοσίας, ώστε να διασφαλιστεί ότι συμμορφώνονται με τους περιορισμούς ηλεκτρομετανάστευσης και πτώσης τάσης. Η κατανόλη ισχύος μπορεί να υπολογιστεί μέσω προσομοίωσης του κυκλώματος. Σε μια πυκνή CMOS σχεδίαση, πρέπει να υπάρχει επαρκής αριθμός επαφών υποστρώματος και πηγαδιού και όλες οι εξωτερικές μονάδες E/E θα πρέπει να θωρακίζονται με δακτυλίους προστασίας (guard rings). Στο στάδιο αυτό, μπορεί επίσης να διεξαχθεί έλεγχος για τυχόν εισαγωγή θορύβου, μέσω του υποστρώματος, από τα ψηφιακά στα αναλογικά κυκλώματα. Το εργαλείο SubstrateStorm της Cadence εκτελεί αυτή την εργασία.

Η διαδικασία αυτή μπορεί να λαμβάνει χώρα με ιεραρχικό τρόπο, για την κατασκευή μεγαλύτερων μονάδων. Συνήθως, ο τελικός περιορισμός προκύπτει από την προσπάθεια ακριβούς προσομοίωσης τεράστιου πλήθους τρανζίστορ με το SPICE. Για την αντιμετώπιση αυτού του προβλήματος έχουν αναπτυχθεί πολλοί γρήγοροι προσομοιωτές επιπέδου τρανζίστορ, αν και υπάρχει πάντα ένα άνω όριο όσον αφορά το τι μπορεί να προσομοιωθεί με την επιθυμητή ακρίβεια.

14.5 Οικονομική Θεώρηση της Σχεδίασης

Για τους σχεδιαστές ολοκληρωμένων, είναι σημαντικό να μπορούν να προβλέψουν το οικονομικό και χρονικό κόστος σχεδίασης ενός συγκεκριμένου ολοκληρωμένου, ή ομάδων ολοκληρωμένων. Η πρόβλεψη αυτή μπορεί να καθοδηγήσει την επιλογή της πλέον πρόσφορης στρατηγικής υλοποίησης. Σ' αυτή την ενότητα θα παρουσιάσουμε εν τάχει μια απλουστευτική προσέγγιση για τον υπολογισμό αυτών των παραμέτρων.

Συγκεκριμένα, θα εστιάσουμε τη μελέτη μας στον υπολογισμό του κόστους ενός μεμονωμένου IC, αν και καλό θα είναι να εξετάζετε το σχεδιαζόμενο σύστημα ως σύνολο όταν λαμβάνετε τέτοιες αποφάσεις. Παράμετροι που καθορίζονται σε επίπεδο συστήματος, όπως η συσκευασία και η κατανάλωση ισχύος, μπορούν να επηρεάσουν το κόστος ενός ολοκληρωμένου.

Η τιμή πώλησης $S_{\text{συνολικό}}$ ενός ολοκληρωμένου δίνεται από τον τύπο:

$$S_{\text{συνολικό}} = C_{\text{συνολικό}} / (1-m) \quad (14.2)$$

όπου

- $C_{\text{συνολικό}}$ είναι το κόστος κατασκευής ενός μεμονωμένου chip για τον κατασκευαστή
- m είναι το επιθυμητό περιθώριο κέρδους

Το περιθώριο πρέπει να επιλεγεί ώστε να εξασφαλίζει κέρδος για τον κατασκευαστή αφού συνυπολογιστούν τα πάγια έξοδα και το κόστος πωλήσεων (δαπάνες για την προώθηση και την πώληση).

Γενικά, το κόστος παραγωγής ενός ολοκληρωμένου επιμερίζεται στα ακόλουθα:

- Εφάπαξ δαπάνες (non-recurring costs, NER)
- Επαναλαμβανόμενες δαπάνες (recurring costs)
- Πάγια έξοδα

14.5.1 Εφάπαξ Κόστος Σχεδίασης

Το εφάπαξ κόστος είναι οι δαπάνες που γίνονται μόνο μία φορά κατά τη διάρκεια της σχεδίασης ενός ολοκληρωμένου κυκλώματος. Σ' αυτές περιλαμβάνονται τα ακόλουθα:

- Κόστος σχεδίασης, $E_{\text{συνολικό}}$
- Κόστος κατασκευής πρωτοτύπου, $P_{\text{συνολικό}}$

Τα παραπάνω αποσβένονται από το συνολικό αριθμό των ολοκληρωμένων που πωλούνται. Το συνολικό εφάπαξ κόστος, $F_{\text{συνολικό}}$, υπολογίζεται ως εξής:

$$F_{\text{συνολικό}} = E_{\text{συνολικό}} + P_{\text{συνολικό}} \quad (14.3)$$

Η απόσβεση του εφάπαξ κόστους μπορεί να επιμεριστεί σε όλη τη διάρκεια ζωής του προϊόντος. Εναλλακτικά, το εφάπαξ κόστος μπορεί να αντιμετωπιστεί ως μια επένδυση από την οποία υπάρχει ένα προσδοκώμενο ποσοστό κέρδους. Για παράδειγμα, εάν επενδυθούν 10 εκατομμύρια δολάρια σε NRE για ένα ολοκληρωμένο, αυτό θα πρέπει να αποφέρει έσοδα 100 εκατομμυρίων δολαρίων για να επιτευχθεί ποσοστό κέρδους 10%.

14.5.1.1 Κόστος Σχεδίασης Ευελπίστως, το κόστος σχεδίασης του ολοκληρωμένου ($E_{\text{συνολικό}}$) θα απαιτηθεί μόνο μία φορά, κατά τη διαδικασία σχεδίασης ενός ολοκληρωμένου. Αυτό το κόστος περιλαμβάνει τα ακόλουθα:

- Δαπάνες προσωπικού
- Δαπάνες υποστήριξης

Στις δαπάνες προσωπικού μπορεί να περιλαμβάνονται τα ακόλουθα:

- Σχεδίαση της αρχιτεκτονικής
- Σύλληψη/διατύπωση της λογικής
- Προσομοίωση λειτουργικότητας
- Ανάπτυξη του φυσικού σχεδίου των μονάδων και του ολοκληρωμένου
- Επαλήθευση του χρονισμού
- Διαδικασίες ελέγχου κανόνων σχεδίασης (DRC) και παραγωγής μασκών
- Παραγωγή δοκιμών/ελέγχων

Στις δαπάνες υποστήριξης, οι οποίες αποσβένονται κατά τη διάρκεια ζωής του εξοπλισμού και το χρόνο μελέτης/ανάπτυξης του έργου, περιλαμβάνονται τα ακόλουθα:

- Δαπάνες σχετιζόμενες με τη χρήση υπολογιστών
- Δαπάνες σχετιζόμενες με τη χρήση λογισμικού CAD
- Δαπάνες για εκπαίδευση και/ή επανεκπαίδευση

Στρατηγικές για τη δραστική μείωση των παραπάνω δαπανών είναι η επαναχρησιμοποίηση μονάδων και η προμήθεια έτοιμων, ολοκληρωμένων μονάδων από κατάλληλους κατασκευαστές. Μια ενδεικτική ανάλυση των ετήσιων δαπανών είναι η ακόλουθη:

Αμοιβές προσωπικού	50-100 χιλιάδες
Επιβαρύνσεις	10-30 χιλιάδες
Υπολογιστές	10 χιλιάδες
Εργαλεία CAD (ψηφιακά συστήματα, "εμπρός" τομέας)	10 χιλιάδες
Εργαλεία CAD (αναλογικά συστήματα)	100 χιλιάδες
Εργαλεία CAD (ψηφιακά συστήματα - "πίσω" τομέας)	1 εκατομμύριο

(Τα παραπάνω στοιχεία είναι σε δολάρια Η.Π.Α.). Το κόστος των εργαλείων του "πίσω" (διαχειριστικού) τομέα πρέπει να κατανέμεται σε όλο το τμήμα που ασχολείται με τη σχεδίαση ολοκληρωμένων.

14.5.12 Δαπάνες Κατασκευής Πρωτοτύπου Είναι το σύνολο των πάγιων δαπανών ($P_{\text{συνολικό}}$) που καταβάλλονται έως την παραλαβή των πρώτων ολοκληρωμένων από τον κατασκευαστή:

- Κόστος των μασκών
- Δαπάνες για εξοπλισμό δοκιμών/ελέγχων
- Δαπάνες για εξοπλισμό συσκευασίας

Το κόστος παραγωγής των μασκών που χρησιμοποιούνται στη φωτολιθογραφική διαδικασία εξαρτάται από τον αριθμό των βημάτων της διαδικασίας και την απαιτούμενη ακρίβεια για κάθε βήμα. Οι μάσκες για τις στρώσεις επιμετάλλωσης μπορεί να είναι λιγότερο ακριβές απ' ό,τι για τις κατώτερες στρώσεις, επειδή οι διαστάσεις είναι μεγαλύτερες. Το γράφημα του Σχήματος 14.26 απεικονίζει την εκθετική αύξηση του κόστους κατασκευής των μασκών [Donovan02, LaPedus07]. Το κόστος για ένα πλήρες σετ μασκών σε μια τεχνολογία κατασκευής 45 nm είναι περίπου 5 εκατομμύρια δολάρια.

Ο εξοπλισμός δοκιμών/ελέγχου αποτελείται από μια τυπωμένη πλακέτα συλλογής ακροδεκτών, για την εξέταση κάθε ψηφίδας στο επίπεδο του δισκίου, και το προσαρμοστικό για τη σύνδεση με το δοκιμαστή. Το κόστος κυμαίνεται από 1.000 έως 50.000 δολάρια, αναλόγως της πολυπλοκότητας των ηλεκτρονικών οργάνων προσαρμογής/διασύνδεσης.

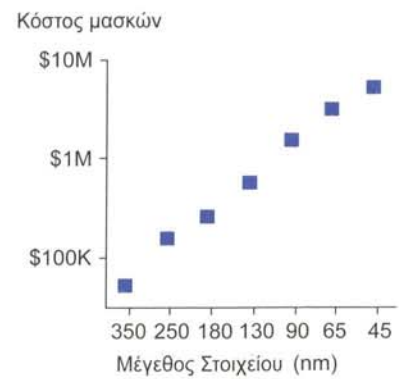
Σε εφαρμογές που απαιτούν εξειδικευμένη συσκευασία, αυτή θα πρέπει να σχεδιαστεί και να κατασκευαστεί. Ο χρόνος και τα έξοδα κατασκευής εξαρτώνται από τα χαρακτηριστικά της - το πόσο πολύπλοκη ή προηγμένη είναι συσκευασία. Οποτεδήποτε είναι δυνατόν, θα πρέπει να χρησιμοποιούνται τυποποιημένες συσκευασίες.

Για πιο οικονομική κατασκευή πρωτοτύπων ολοκληρωμένων, μπορεί να χρησιμοποιηθεί ένα πλέγμα το οποίο συνδυάζει σχεδιάσεις από πολλαπλά έργα στο ίδιο σετ μασκών. Δηλαδή, εάν υπάρχουν 200 διαθέσιμες θέσεις σε μια μάσκα και 20 έργα προς υλοποίηση, το κάθε έργο θα καταλάβει 10 ψηφίδες ανά δισκίο και το κόστος παραγωγής των μασκών ανά έργο μειώνεται στο 1/20 του κόστους που απαιτείται για ένα πλήρες σετ μασκών. Τέτοιου είδους υπηρεσίες παρέχονται από πολλούς προμηθευτές πυριτίου και επίσης από το MOSIS. Για τεχνολογίες μέτριων απαιτήσεων, η λύση αυτή μπορεί να είναι αρκετά φθηνή (περίπου 1000 δολ. ανά mm² για τεχνολογίες 0.6 μm). Υπάρχουν βέβαια, ορισμένοι προβληματισμοί αναφορικά με την προστασία της πνευματικής ιδιοκτησίας στις περιπτώσεις που υιοθετείται μια λύση διαμοιρασμού του κόστους των μασκών σε πολλαπλά έργα.

Παράδειγμα 14.6

Έχετε μόλις στήσει μια εταιρεία για να αξιοποιήσετε εμπορικά μια εξαιρετική ερευνητική σας ιδέα. Εκτιμήστε το κόστος πρωτοτυποποίησης ενός ολοκληρωμένου μικτού σήματος σε τεχνολογία 45 nm. Υποθέστε ότι απασχολείτε επτά σχεδιαστές ψηφιακών κυκλωμάτων, τρεις σχεδιαστές αναλογικών κυκλωμάτων και πέντε υπαλλήλους ως υποστηρικτικό προσωπικό. Υποθέστε επίσης ότι για την κατασκευή του πρωτοτύπου θα απαιτηθούν δύο χρόνια και η διαδικασία κατασκευής θα χρειαστεί δύο «γύρους» (δηλ., θα πρέπει να εκτελεστεί δυο φορές).

ΛΥΣΗ Οι δαπάνες για την αμοιβή των επτά σχεδιαστών ψηφιακών κυκλωμάτων ανέρχονται σε 7 x (70.000 + 30.000 + 10.000) = 840.000. Οι δαπάνες για την αμοιβή των τριών σχεδιαστών ανα-



ΣΧΗΜΑ 14.26 Κόστος παραγωγής συνόλου μασκών

λογικών κυκλωμάτων ανέρχονται σε 3 x (100.000 + 30.000 + 10.000 + 100.000) = 720.000. Το προσωπικό υποστήριξης θα κοστίζει 5 x (40.000 + 20.000 + 10.000) = 350.000. Ένας γύρος της διαδικασίας παραγωγής μαζί με τα εργαλεία του «διαχειριστικού» τμήματος σχεδίασης θα κοστίζει 6 εκατομμύρια. Άρα, το συνολικό κόστος ανά έτος είναι 7.91 εκατομμύρια, για ένα γύρο κατασκευής. Κατ' επέκταση, το συνολικό προβλεπόμενο κόστος είναι της τάξης των 16 εκατομμυρίων. Οι επενδυτές που βάζουν κεφάλαια σ' αυτό το εγχείρημα θα θέλουν μια καλή απόδοση για το επιχειρηματικό ρίσκο που αναλαμβάνουν, πράγμα το οποίο σημαίνει ότι η ιδέα σας θα πρέπει να αποφέρει περί τα 100 εκατομμύρια όταν βγει στην αγορά. Για την κατασκευή ενός τυπικού ολοκληρωμένου στον κόμβο των 45 nm απαιτείται μεγαλύτερη ομάδα σχεδιαστών και το κόστος σχεδιασμού μπορεί να φτάσει έως τα 50 εκατομμύρια, πράγμα το οποίο σημαίνει πολύ μεγαλύτερο όγκο πωλήσεων.

Υπάρχουν τρόποι για να βελτιωθεί η κατάσταση. Προφανώς, μπορείτε να μειώσετε τον αριθμό των ατόμων και το εργαστηριακό κόστος. Είναι επίσης δυνατόν να μειώσετε τις δαπάνες για εργαλεία CAD και το κόστος παραγωγής, υιοθετώντας τη λύση πολλών έργων στο ίδιο δισκίο. Εντούτοις, η δεύτερη επιλογή δεν θα σας οδηγήσει σε μια «έτοιμη για παραγωγή» έκδοση, δεδομένου ότι δεν θα μπορούν να ελεγχθούν πλήρως ούτε η απόδοση, ούτε η συμπεριφορά του ολοκληρωμένου σε σχέση με τις κατασκευαστικές διακυμάνσεις. Το καλύτερο που έχετε να κάνετε είναι να βρείτε μια κάθετη αγορά προϊόντων της οποίας οι ανάγκες μπορούν να καλυφθούν χρησιμοποιώντας μια πιο «ώριμη» και λιγότερο ακριβή τεχνολογία κατασκευής.

14.5.2 Επαναλαμβανόμενες Δαπάνες

Αφού υπολογιστεί το κόστος ανάπτυξης ενός ολοκληρωμένου, ο κατασκευαστής του θα καταλήξει σε μια τιμή πώλησης γι' αυτό. Ελάχιστες εταιρείες παγκόσμιας εμβέλειας, όπως οι Intel, Toshiba και IBM, διαθέτουν τμήματα κατασκευής ολοκληρωμένων. Κατά κανόνα, οι ετήσιες πωλήσεις πρέπει να ξεπερνούν τα 10 δις δολάρια για να είναι αιτιολογημένες οι επενδύσεις που χρειάζεται να κάνει μια εταιρεία για να αποκτήσει δικό της τμήμα κατασκευής ολοκληρωμένων από τον κόμβο των 45 nm και μετά, ενώ αυτό το νούμερο αυξάνεται καθώς εξελίσσονται οι τεχνολογίες κατασκευής. Πολλές άλλες εταιρείες αναθέτουν την παραγωγή των chip τους σε προμηθευτές πυριτίου, όπως οι TSMC, UMC και IBM. Σε κάθε περίπτωση, η παραγωγή είναι ένα επαναλαμβανόμενο κόστος - δηλαδή, ανακύπτει κάθε φορά που πωλείται ένα ολοκληρωμένο. Μια άλλη συνιστώσα των επαναλαμβανόμενων δαπανών είναι τα συνεχή έξοδα για την τεχνική υποστήριξη του προϊόντος. Τέλος, υπάρχει και το αποκαλούμενο «κόστος πωλήσεων», το οποίο περιλαμβάνει τις δαπάνες προώθησης και πώλησης, καθώς και τα διαχειριστικά κόστη που σχετίζονται με την πώληση κάθε ολοκληρωμένου.

Ο κατασκευαστής ορίζει μια τιμή μονάδας για ένα ολοκληρωμένο, υπολογιζόμενη με βάση το κόστος παραγωγής του κι ένα περιθώριο κέρδους. Αυτό το περιθώριο μπορεί να μειωθεί καθώς αυξάνεται ο όγκος παραγωγής του ολοκληρωμένου. Η έκφραση για τον υπολογισμό του κόστους παραγωγής ενός ολοκληρωμένου είναι

$$R_{\text{συνολικό}} = R_{\text{τχ-κατασκευής}} + R_{\text{συσκευασίας}} + R_{\text{δοκιμής}} \quad (14.4)$$

όπου

$R_{\text{συσκευασίας}}$ είναι το κόστος συσκευασίας

$R_{\text{δοκιμής}}$ είναι το κόστος δοκιμών και ελέγχου (συνήθως, ανάλογο του αριθμού των διανυσμάτων δοκιμής και του χρόνου δοκιμής)

$$R_{\text{τχ-κατασκευής}} = W / (N \times Y_w \times Y_{pa}) \quad (14.5)$$

όπου

W = κόστος του δισκίου (500 έως 5000 δολάρια, αναλόγως τεχνολογίας και μεγέθους δισκίου)

N = σύνολο ψηφίδων (κατά προσέγγιση) ανά δισκίο

Y_w = απόδοση παραγωγής ψηφίδων ανά δισκίο (πρέπει να κυμαίνεται μεταξύ 70% - 90% για μέτριο μεγέθους ψηφίδες, σε μια «ώριμη» τεχνολογία κατασκευής)

Y_{pa} = απόδοση συσκευασίας (πρέπει να κυμαίνεται μεταξύ 95% - 99%)

Εάν μια ψηφίδα καταλαμβάνει A χώρο και κατασκευάζεται σε δισκίο ακτίνας r , το σύνολο των ψηφίδων ανά δισκίο είναι:

$$N = \pi \left[\frac{r^2}{A} - \frac{2r}{\sqrt{2A}} \right] \quad (14.6)$$

όπου ο δεύτερος όρος συνοπολογίζει την επιφάνεια που χάνεται περιμετρικά, στα άκρα του κυκλικού δισκίου.

Παράδειγμα 14.7

Υποθέστε ότι ξεκινάτε μια επένδυση ύψους 16 εκατομμυρίων δολαρίων, από την οποία επιδιώκετε απόδοση της τάξης του 5. Το κόστος των δισκίων είναι 2.000 δολάρια, με σύνολο ψηφίδων ανά δισκίο 400 και απόδοση ψηφίδας 70%. Εάν οι δαπάνες συσκευασίας, δοκιμής και τα πάγια έξοδα είναι αμελητέα, ποια πρέπει να είναι η τιμή πώλησης του ολοκληρωμένου ώστε να έχετε περιθώριο κέρδους 60%; Πόσα ολοκληρωμένα θα πρέπει να πουλήσετε για να έχετε απόδοση της τάξης του 5 από την επένδυσή σας;

ΛΥΣΗ $R_{\text{συνολικό}} = R_{\text{τχ-κατασκευής}} = 2000 / (400 \times 7) = 7.14$ δολάρια. Για περιθώριο κέρδους 60%, τα ολοκληρωμένα πρέπει να πωλούνται με τιμή $7.14 / (1-0.6) = 17.86$ δολάρια, με κέρδος \$10.72 ανά μονάδα. Η επιθυμητή απόδοση της επένδυσης συνεπάγεται κέρδος της τάξης των \$16 εκατ. $\times 5 = 80$ εκατομμυρίων δολαρίων. Αυτό σημαίνει ότι πρέπει να πουλήσετε \$80 εκατ. / \$10.72 = 7.4 εκατομμύρια ολοκληρωμένα.

Η απόδοση συσκευασίας (packaging yield) είναι ο αριθμός των ψηφίδων που περνούν τις διαδικασίες ελέγχου μετά από την συσκευασία. Η απόδοση παραγωγής ψηφίδας (die yield) ανά δισκίο επηρεάζεται από ατέλειες, τυχαία κατανομημένες στο δισκίο. Η πιθανότητα που έχει μια τυχαία ατέλεια να προκαλέσει την αποτυχία μιας συγκεκριμένης ψηφίδας εξαρτάται από το μέγεθος της ψηφίδας A και το μέσο αριθμό ατελειών ανά μονάδα επιφάνειας D . Εάν οι ατέλειες επιδεικνύουν ομοιόμορφη κατανομή, τότε, σύμφωνα με την Εξ. (7.23), η απόδοση Y_w ακολουθεί κατανομή Poisson [Seeds67] και δίνεται από τη σχέση

$$Y_w = e^{-AD} \quad (14.7)$$

Για μικρές ψηφίδες ($AD \ll 1$) το Y_w είναι κοντά στο 1 και το $R_{\text{τχ-κατασκευής}}$ αυξάνεται γραμμικά ως προς A . Για ψηφίδες μεγάλου μεγέθους ($AD \gg 1$) το Y_w μειώνεται γρήγορα, διότι τα περισσότερα ολοκληρωμένα θα έχουν ατέλειες, ενώ το $R_{\text{τχ-κατασκευής}}$ αυξάνεται εκθετικά με το A .

Η πυκνότητα των ατελειών στο δισκίο είναι συνήθως ένα επιταφράγιστο μυστικό για τις εταιρείες, επειδή δίνει στον ανταγωνισμό σημαντικές πληροφορίες σχετικά με το κόστος κατασκευής ενός ολοκληρωμένου. Το Σχήμα 14.27 παρουσιάζει ιστορικά δεδομένα, τα οποία καταδεικνύουν ότι οι βελτιώσεις στη διαδικασία κατασκευής έχουν επιφέρει αντίστοιχες βελτιώσεις στην πυκνότητα των ατελειών. Έτσι, οι κατασκευαστές έχουν πλέον καλύτερες αποδόσεις σε μεγαλύτερα ολοκληρωμένα συγκριτικά με το παρελθόν, γεγονός το οποίο συμβάλλει στην εκπληκτική ανάπτυξη της αγοράς ημιαγωγών.

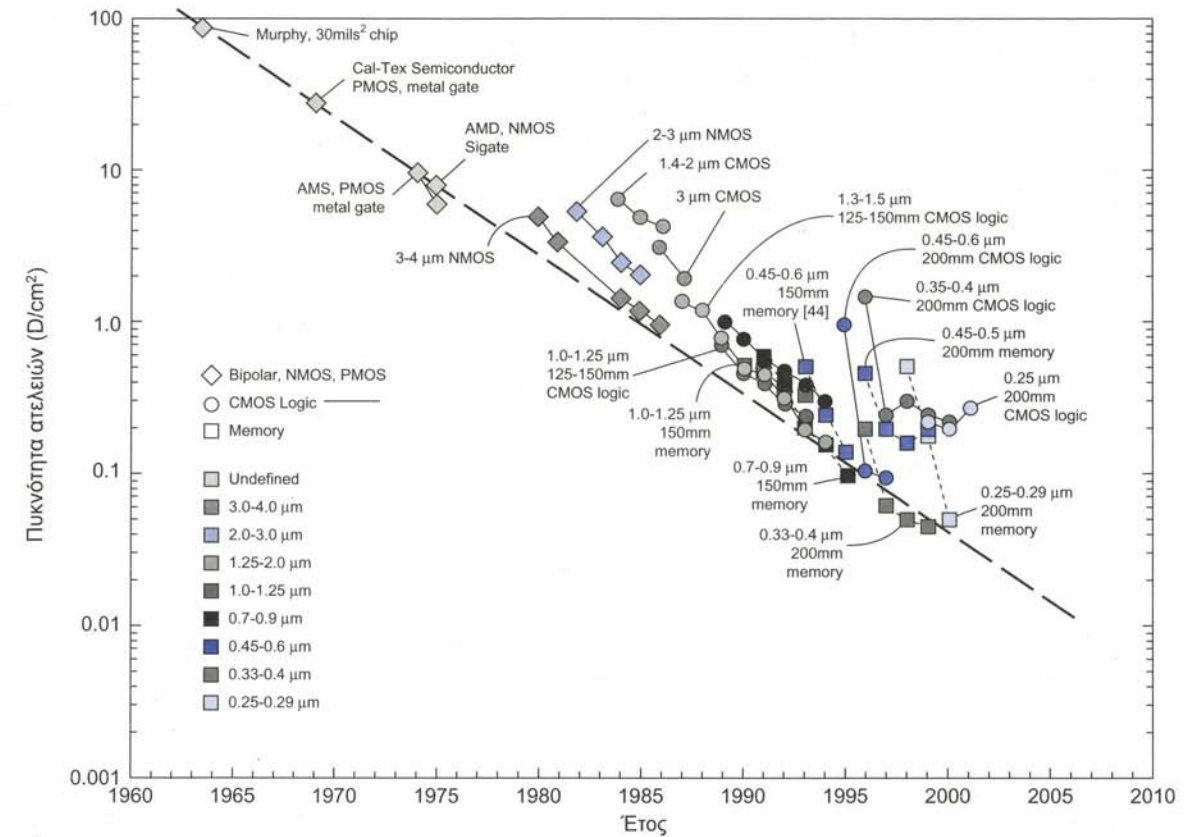
Παράδειγμα 14.8

Εάν η πυκνότητα ατελειών είναι 0.4 ατέλειες/εκ.², πόση είναι η απόδοση για ψηφίδα 1 cm²; Πόσο μεγάλη μπορεί να γίνει η ψηφίδα εάν απαιτείται απόδοση 10% για ένα νέο, μεγάλο ολοκληρωμένο, το οποίο προορίζεται για servers;

ΛΥΣΗ: Σύμφωνα με την Εξ. (14.7), η απόδοση για ψηφίδα 1 cm² είναι 67%. Ένα ολοκληρωμένο με επιφάνεια 5.75 εκ.² επιτυγχάνει απόδοση 10%.

14.5.3 Πάγια Έξοδα

Αφού ολοκληρωθεί η σχεδίαση ενός ολοκληρωμένου και μπει στη φάση της παραγωγής, το κόστος για την υποστήριξη του μπορεί να προκύψει από διάφορες πηγές. Κατ' αρχήν θα πρέπει να γραφούν τα Φύλλα Δεδομένων (Data Sheets), τα οποία περιγράφουν τα χαρακτηριστικά του ολοκληρωμένου, ακόμα κι αν πρόκειται για ολοκληρωμένα ειδικού σκοπού τα οποία δεν πωλούνται εκτός της εταιρείας που τα ανέ-



ΣΧΗΜΑ 14.27 Πυκνότητα ατελειών σε διάφορες τεχνολογίες. Δεν χρησιμοποιείται το μοντέλο κατανομής Poisson: $Y = \left(\frac{1 - e^{-AD}}{AD} \right)^2$ αλλά το μοντέλο Murphy, το οποίο παρέχει καλύτερες προβλέψεις στις υψηλές πυκνότητες. (© 2002 IC Knowledge LLC, www.icknowledge.com, αναπαράγεται κατόπιν αδείας).

πτυξε. Από καιρού εις καιρόν, ενδεχομένως να χρειαστούν Φύλλα Εφαρμογών (Application Notes), τα οποία περιγράφουν τη χρήση του ολοκληρωμένου. Επιπρόσθετα, μπορεί να χρειαστεί η παροχή υποστήριξης σε συγκεκριμένους χρήστες, για συγκεκριμένες εφαρμογές. Αυτό ισχύει ιδιαίτερα για τα ASIC, όπου ο ίδιος ο σχεδιαστής μεταμορφώνεται συνήθως σε κινούμενο και ομιλούν φύλλο δεδομένων και εφαρμογών. Μια άλλη εργασία που μπορεί να απαιτηθεί ανά πάσα στιγμή είναι η ανάλυση αποτυχιών ή η ανάλυση απόδοσης, εάν το ολοκληρωμένο είναι μαζικής παραγωγής και το ζητούμενο είναι η αύξηση της απόδοσης.

Κάθε ολοκληρωμένο (ή ολοκληρωμένο δοκιμής) πρέπει να συνοδεύεται από το κατάλληλο υλικό τεκμηρίωσης, το οποίο θα εξηγήσει τι είναι και πώς χρησιμοποιείται. Αυτό ισχύει ακόμα και για ολοκληρωμένα που σχεδιάζονται σε ακαδημαϊκό περιβάλλον, επειδή ο χρόνος μεταξύ της υποβολής του σχεδίου και τελικής παραγωγής μπορεί να είναι αρκούντως μεγάλος, θέτοντας σε δοκιμασία ακόμα και την καλύτερη μνήμη.

14.5.4 Χρονοδιάγραμμα

Κατά την έναρξη του έργου σχεδίασης ενός συστήματος, το οποίο περιλαμβάνει ολοκληρωμένα νέας σχεδίασης, είναι σημαντικό να μπορεί να εκτιμηθεί το κόστος και ο χρόνος σχεδίασης γι' αυτό το σύστημα. Η εκτίμηση του κόστους μπορεί να βοηθήσει το σχεδιαστή στην επιλογή της μεθόδου σχεδιασμού. Η εκτίμηση του χρόνου είναι ουσιαστική για την επιλογή της στρατηγικής διά της οποίας τα ολοκληρωμένα θα είναι διαθέσιμα τη σωστή στιγμή και στη σωστή τιμή. Η εκτίμηση του χρόνου είναι συνήθως η εργασία που ορίζεται λιγότερο καλά και απαιτεί αρκετή εμπειρία για να καταλήξει σ' ένα ρεαλιστικό χρονοδιάγραμμα.

Εάν υποθέσουμε ότι τα πάγια έξοδα κρατούνται σε λογικά επίπεδα και ότι για ένα δεδομένο μέγεθος ολοκληρωμένου το $R_{\text{ΤΧ-κατασκευής}}$ είναι σταθερό, οι μεταβλητές που απομένουν για να υπολογιστεί η απόδοση της επένδυσης που γίνεται για ένα ολοκληρωμένο είναι το $E_{\text{συνολικό}}$ κόστος σχεδίασης και το $P_{\text{συνολικό}}$ κόστος κατασκευής πρωτοτύπου. Το $P_{\text{συνολικό}}$ εξαρτάται από τον τρόπο υλοποίησης του ολοκληρωμένου. Εξετάσαμε διάφορες στρατηγικές σχεδίασης για CMOS συστήματα παραπάνω σ' αυτό το κεφάλαιο. Τα πάγια έξοδα για την κατασκευή πρωτοτύπου ($P_{\text{συνολικό}}$) είναι σχετικά σταθερά, με δεδομένη την τεχνολογία υλοποίησης. Το κόστος σχεδίασης εξαρτάται από την πολυπλοκότητα του ολοκληρωμένου, τη στρατηγική σχεδίασης και το βαθμό κατά τον οποίο θα πρέπει να γίνουν προσαρμογές στη σχεδίαση. Κατά κανόνα, οι κυρίαρχες συνιστώσες εδώ είναι οι δαπάνες σχεδίασης και επαλήθευσης. Για το λόγο αυτό, είναι σημαντικό να μπορεί να συνταχθεί ένα ρεαλιστικό χρονοδιάγραμμα για τη σχεδίαση ενός ολοκληρωμένου, έτσι ώστε με τη σωστή διαχείριση των διαθέσιμων πόρων το έργο να ολοκληρωθεί με επιτυχία.

Η αύξηση της επένδυσης σε σχεδιαστική προσπάθεια μπορεί να μειώσει το μέγεθος της ψηφίδας, πράγμα το οποίο μειώνει και το $R_{\text{ΤΧ-κατασκευής}}$. Ως εκ τούτου, είναι σημαντικό να γίνεται ο σωστός συμβιβασμός μεταξύ μείωσης κόστους ψηφίδας και σχεδιαστικής προσπάθειας. Υπάρχουν ποικίλες απόψεις γι' αυτό, αλλά συνήθως είναι καλύτερο να παρουσιαστεί στην αγορά το προϊόν και στη συνέχεια να μειωθεί το μέγεθος ψηφίδας, όταν το προϊόν αποδείξει την επιτυχία του στην αγορά. Οι απόπειρες βελτιστοποίησης που δεν συνοπολογίζουν την πληροφόρηση που προσφέρει η αγορά καταλήγουν συνήθως στην απώλεια του μεριδίου αγοράς του προϊόντος, ή ακόμα και στην πλήρη αποτυχία του, σε οποιαδήποτε αγορά.

Ο [Paraskevopoulos87] προτείνει διάφορες μεθόδους για την αύξηση της παραγωγικότητας και, κατ' επέκταση, τη βελτίωση των χρονοδιαγραμμάτων.

- Χρήση μιας σχεδιαστικής μεθόδου υψηλής παραγωγικότητας
- Βελτίωση της παραγωγικότητας μιας δεδομένης τεχνικής.
- Μείωση της πολυπλοκότητας της σχεδιαστικής εργασίας με καταμερισμό.

Μια τελική σημείωση προσοχής: Η επαύξηση του ανθρώπινου δυναμικού που αφιερώνεται σ' ένα ήδη καθυστερημένο έργο, τείνει, κατά κανόνα, να το καθυστερεί ακόμα περισσότερο.

Παράδειγμα 14.9

Αν και είναι δύσκολο να προβλέψει κανείς τους χρόνους σχεδίασης και ελέγχου για ένα ολοκληρωμένο, μπορεί, κατ' ελάχιστον, να προσδιορίσει τις κύριες εργασίες και τα αντίστοιχα ανελαστικά χρονικά διαστήματα σ' ένα έργο σχεδίασης. Το στο Σχήμα 14.28 παρουσιάζει ένα ενδεικτικό διάγραμμα Gantt για ένα σχεδιαστικό έργο διάρκειας ενός έτους. Ο χρόνος σχεδίασης της λογικής ορίζεται σε 12 εβδομάδες – χρόνος κατάλληλος για τη σχεδίαση πολύ απλών ολοκληρωμένων. Το διπλάσιο αυτού του χρόνου είναι αντιπροσωπευτικό για σχεδιάσεις μέτριας πολυπλοκότητας. Στους ανελαστικούς χρόνους περιλαμβάνεται ο χρόνος παραγωγής και ο χρόνος συσκευασίας, οι οποίοι είναι 10 εβδομάδες στο παράδειγμά μας. Οι χρόνοι σχεδίασης, αποσφαλμάτωσης και ελέγχου αυξομειώνονται ανάλογα με την πολυπλοκότητα του ολοκληρωμένου. Εφόσον είστε ιδιαίτερα προσεκτικοί και τυχεροί, μπορεί να μη χρειαστεί να επαναλάβετε τα βήματα περισσότερες από μία φορές.

Α/Α	Όνομα Εργασίας	Έναρξη	Λήξη	Διάρκεια	TP1 10		TP2 10		TP2 10		Q4 10	
					Jan	Feb	Mar	Apr	May	Jun	Jul	Aug
1	Προδιαγραφές	1/1/2010	1/28/2010	4 εβδ.	■							
2	Ψηφιακή Σχεδίαση	1/29/2010	4/21/2010	12 εβδ.	■	■	■	■	■	■	■	■
3	Τοποθέτηση και Διασύνδεση	4/22/2010	6/16/2010	8 εβδ.			■	■	■	■	■	■
4	Κατασκευή	6/17/2010	8/11/2010	8 εβδ.					■	■	■	■
5	Συσκευασία	8/12/2010	8/25/2010	2 εβδ.							■	■
6	Εργαστηριακή Δοκιμή	8/26/2010	10/20/2010	8 εβδ.						■	■	■
7	Επανάληψη Διαδικασίας	10/21/2010	11/17/2010	4 εβδ.							■	■
8	Εργαστηριακή Δοκιμή	11/18/2010	12/29/2010	6 εβδ.								■

ΣΧΗΜΑ 14.28 Διάγραμμα Gantt για το έργο σχεδίασης ενός απλού ολοκληρωμένου.

14.5.5 Ανθρώπινο δυναμικό

Για να υπολογιστεί μια εκτίμηση του χρονοδιαγράμματος, κάποιος θα πρέπει να έχει συγκροτημένη άποψη σχετικά με τον όγκο της προσπάθειας που απαιτείται για την ολοκλήρωση της σχεδίασης. Όπως έχουμε δει, ένα τυπικό έργο ανάπτυξης ενός ολοκληρωμένου περιλαμβάνει τις ακόλουθες εργασίες:

- Σχεδίαση της αρχιτεκτονικής
- Σύλληψη και καταγραφή της λογικής (HDL)
- Επαλήθευση λειτουργικής ορθότητας
- Τοποθέτηση και διασύνδεση
- Επαλήθευση χρονισμών, ακεραιότητας σήματος και αξιοπιστίας
- Διαδικασίες DRC και παραγωγής масκών (ERC, LVS)
- Δημιουργία δοκιμών

Αν και ορισμένοι ερευνητές επιχειρήσαν να παράγουν αναλυτικούς τύπους υπολογισμού της παραγωγικότητας, η καλύτερη πρόβλεψη για το χρονοδιάγραμμα σχεδίασης μιας ομάδας είναι η πρότερη επίδοσή της. Ο χρόνος σχεδίασης, δεδομένης της σχεδιαστικής ομάδας, μπορεί να βελτιωθεί με επαναχρησιμοποίηση της σχεδίασης, ή, εναλλακτικά, με σχεδίαση βασισμένη σε έτοιμες μονάδες. Θα μπορούσαμε να πούμε ότι ο χρόνος σχεδίασης είναι ανάλογος του αριθμού των έτοιμων μονάδων που θα χρησιμοποιηθούν, υψωμένου σε κάποια δύναμη. Δηλαδή, μια σχεδίαση με τέσσερις μονάδες είναι περισσότερο από τέσσερις φορές πολυπλοκότερη από μια σχεδίαση με μια μονάδα. Υπ' αυτή την έννοια, ο όρος «έτοιμη μονάδα» αναφέρεται σ' ένα σημαντικό τμήμα του ολοκληρωμένου - π.χ. ένα μικροεπεξεργαστή, μια διεπαφή σειριακής επικοινωνίας, ή μονάδες ειδικής λειτουργίας.

Κατά κανόνα, τα έργα καθοδηγούνται βάσει χρονοδιαγράμματος. Σ' αυτή την περίπτωση, είναι σημαντικό να αξιοποιηθούν στο μέγιστο τα διάφορα βοηθήματα σχεδίασης, ώστε να μην υπάρξει υπέρβαση του χρονοδιαγράμματος. Ιδιαίτερα σημαντική είναι η διάρκεια του κύκλου που απαιτείται για την επαναληπτική διαδικασία «τροποποίηση-σύνθεση-αποσφαλμάτωση» – δηλαδή, ο χρόνος που απαιτείται για να γίνει μια αλλαγή στο HDL μοντέλο και στη συνέχεια να συντεθεί, να τοποθετηθεί, να διασυνδεθεί και να επαληθευτεί ξανά. Ο χρόνος αυτός μπορεί να εξαρτάται σε μεγάλο βαθμό από την αποτελεσματικότητα των χρησιμοποιούμενων εργαλείων σχεδίασης: εάν υπερβεί τη μια μέρα, τότε η σχεδίαση έχει χαμηλή απόδοση παραγωγικότητας. Στην ιδανική περίπτωση, ένας τέτοιος κύκλος θα πρέπει να διαρκεί μόνο μερικές ώρες, έτσι ώστε να μπορούν να διορθώνονται πολλαπλά σφάλματα εντός μιας ημέρας.

Σε γενικές γραμμές, ένα χρονοδιάγραμμα της τάξης των 18 έως 24 μηνών για τη σχεδίαση ενός εντελώς νέου ολοκληρωμένου δείχνει να είναι κατάλληλο για ολοκληρωμένα μεσαίου βαθμού πολυπλοκότητας, με χρήση των πλέον προηγμένων σχεδιαστικών εργαλείων. Η επανάληψη της διαδικασίας για ελαφρώς διαφοροποιημένα προϊόντα μπορεί να μειώσει τον απαιτούμενο χρόνο στους 6 μήνες ή και λιγότερο, αλλά υπάρχουν κάποιοι ανελαστικοί χρόνοι, όπως αυτοί της διαδικασίας παραγωγής του ολοκληρωμένου και της συσκευασίας του, που θέτουν αντίστοιχα ανελαστικά όρια στο συνολικό χρόνο σχεδίασης. Φυσικά, για τεχνολογίες όπως τα FPGA, οι κύκλοι επανασχεδίασης μπορεί να είναι της τάξης των μερικών λεπτών (γι' αυτό το λόγο η επαλήθευση σε FPGA είναι τόσο σημαντική για σχεδιάσεις επιπέδου ASIC ή επιπέδου τρανζίστορ). Απ' ό,τι φαίνεται, οι νέοι μικροεπεξεργαστές χρειάζονται τρία έως πέντε χρόνια και η εμπειρία δείχνει ότι κατά κανόνα συμβαίνουν ένα ή περισσότερα ολισθήματα στο χρονοδιάγραμμα.

14.5.6 Διαχείριση του Έργου

Η διαχείριση αφορά τη συνολική επίβλεψη του έργου σχεδίασης. Οι εργασίες που περιλαμβάνει είναι η διάθεση επαρκών πόρων και, την κατάλληλη στιγμή, η διασφάλιση της επικοινωνίας μεταξύ των διαφόρων ομάδων στις οποίες έχει ανατεθεί το έργο, η επιθεώρηση της προόδου που σημειώνεται και η αντιμετώπιση των κινδύνων που προκύπτουν. Η ανάπτυξη διαδικασιών για την αρχική σύλληψη, τη σχεδίαση και την τελική παραγωγή των προϊόντων είναι επίσης υπό την επίβλεψη του υπεύθυνου επίτη του έργου.

Υπάρχουν δύο κύριες μεθοδολογίες για τη διαχείριση της σχεδίασης ολοκληρωμένων. Η πρώτη, η οποία θα μπορούσε να χαρακτηριστεί ως «προσέγγιση γρήγορης προτυποποίησης», συνήθιζεται στις νεοεμφανιζόμενες εταιρείες, όπου ένας πλήρους απασχόλησης επίτητος έργου μπορεί να είναι πολυτέλεια. Μ' αυτή την προσέγγιση τίθεται ένας χρονικός στόχος και ο φόρτος εργασίας προσαρμόζεται στο διαθέσιμο χρόνο. Γι' αυτό και είναι ζωτικής σημασίας να οδηγεί γρήγορα σ' ένα λειτουργικό πρωτότυπο του σχεδίου –ουσιαστικά, το «σκελετό»–, ενώ οι λεπτομέρειες προστίθενται σταδιακά. Η προσέγγιση αυτή μπορεί να αποδειχτεί αρκετά ριψοκίνδυνη.

Η πιο συντηρητική προσέγγιση, η οποία είναι κατάλληλη για τις μεγάλες εταιρείες και τις ένοπλες δυνάμεις, είναι να προδιαγραφούν τα πάντα εκ των προτέρων, να εκτιμηθεί η διάρκεια των επιμέρους εργασιών και όλα αυτά να εισαχθούν σ' ένα εργαλείο σχεδιασμού έργων. Η προσέγγιση αυτή, αν και απαραίτητη για μεγάλες ομάδες, τείνει να οδηγείται από τα χαρακτηριστικά της εκάστοτε σχεδίασης και σπανίως αποδίδει το τελικό προϊόν σε μικρότερη χρονική κλίμακα απ' ό,τι η προσέγγιση της γρήγορης προτυποποίησης. Είναι κατάλληλη όταν οι επιμέρους εργασίες είναι καλά ορισμένες και έχουν γίνει στο παρελθόν (οπότε υπάρχει κάποια ρεαλιστική άποψη για το πόσο θα διαρκέσει μια εργασία). Η προσέγγιση αυτή είναι αξιόπιστη και, αναλόγως της σχεδιαστικής ομάδας, συνήθως παραδίδει το προϊόν εντός των ορίων του οικονομικού και χρονικού προϋπολογισμού.

14.5.7 Επαναχρησιμοποίηση Σχεδίασης

Ένα ολοκληρωμένο σπανίως σχεδιάζεται ως μεμονωμένο προϊόν. Αντ' αυτού, οι εταιρείες επιδιώκουν να αποσβέσουν την προσπάθεια ανάπτυξης ενός συγκεκριμένου ολοκληρωμένου επιμερίζοντάς την σε περισσότερες από μία γενιές προϊόντων. Αυτό σημαίνει ότι η σχεδίαση θα πρέπει να είναι μεταφερτή μεταξύ διαφορετικών τεχνολογιών κατασκευής. Τις εποχές που η σχεδίαση εκτελούνταν κατά κύριο λόγο χειροκίνητα, στο επίπεδο μάσκας, αναλώνονταν σημαντική προσπάθεια σε τεχνικές που θα επέτρεπαν τη μεταφορά των σχεδίων μεταξύ διαφορετικών τεχνολογιών κατασκευής, με ελάχιστη παρέμβαση του ανθρώπινου παράγοντα. Οι τεχνικές που χρησιμοποιούνται γι' αυτό το σκοπό περιλαμβάνουν τη χρήση μεθόδων συμβολικής φυσικής σχεδίασης (symbolic layout) και λογισμικού επαναπροσδιορισμού του μεγέθους των μασκών (mask resizing software).

Με την έλευση της μεθοδολογίας σχεδίασης βάσει τυποποιημένων κυττάρων, η μεταφορά του σχεδίου ελαχιστοποιείται στα ακόλουθα δύο βήματα:

1. Απόκτηση ή δημιουργία μιας βιβλιοθήκης τυποποιημένων κυττάρων στην νέα τεχνολογία
2. Επαναπροσδιορισμός της HDL περιγραφής, με βάση την νέα βιβλιοθήκη κυττάρων

Η σχεδίαση και η παραγωγή διανυσμάτων ελέγχου δε χρειάζεται να γίνουν ξανά. Εντούτοις, τα βήματα της ανάλυσης χρονισμών και της προσομοίωσης ορθής λειτουργίας πρέπει οπωσδήποτε να επαναληφθούν.

Σε ροές σχεδίασης όπου δεν μπορούν να ακολουθηθούν τα παραπάνω βήματα, η αυστηρή χρήση δομημένων σχεδιαστικών τεχνικών και τεχνολογιών βασιζόμενων σε γεννήτριες λογισμικού μπορούν να βελτιώσουν σημαντικά το χρόνο μεταφοράς. Εφόσον τηρούνται ακριβείς και σαφείς πληροφορίες τεκμηρίωσης, μπορούν να αποφευχθούν πολλά προβλήματα κατά την πορεία.

Με την ωρίμανση της μεθοδολογίας σχεδίασης βάσει κυττάρων, κυρίως λόγω των βιβλιοθηκών τυποποιημένων κυττάρων και της χρήσης γλωσσών HDL, το σκεπτικό της χρήσης εικονικών μονάδων (virtual components) έχει γίνει σημαντικό ως μέθοδος μεταφοράς και επαναχρησιμοποίησης σχεδιάσεων. Σε εννοιολογικό επίπεδο, οι εικονικές μονάδες που χρησιμοποιούνται σ' ένα ολοκληρωμένο είναι ίδιες με τα διακριτά ολοκληρωμένα που χρησιμοποιούνται στη σχεδίαση τυπωμένων πλακετών. Κάθε τέτοια μονάδα έχει επακριβώς καθορισμένη συμπεριφορά, καλά ορισμένη διεπαφή επικοινωνίας (η οποία αναπαρίσταται από ένα σύνολο ακροδεκτών E/E), καθώς και τις κατάλληλες προδιαγραφές σχετικά με τη διαδικασία ανάγνωσης, τους χρόνους αποκατάστασης και συγκράτησης και τις καθυστερήσεις. Μια εικονική μονάδα μπορεί να είναι σχετικά απλή, αλλά υπάρχουν και πολύπλοκες, όπως για παράδειγμα, ένας επεξεργαστής RISC, ένας αποκωδικοποιητής MPEG, ή ένα modem ασύρματου δικτύου. Οι εικονικές μονάδες μπορούν να κατηγοριοποιηθούν ως *υλικές (hard)*, *σταθερές (firm)*, *λογισμικές (soft)*. Μια υλική μονάδα συνήθως ορίζεται στο επίπεδο μασκών μιας συγκεκριμένης τεχνολογίας κατασκευής. Συνεπώς, θα έχει σταθερή χωροθέτηση και μέγεθος, καθώς και γνωστές παραμέτρους χρονισμού. Για μια *σταθερή* μονάδα υπάρχει συνήθως μια συγκεκριμένη ή γενικευμένη περιγραφή (netlist) της διάταξης πυλών και καταχωρητών που πρέπει να χρησιμοποιηθούν για τη σχεδίασή της (π.χ μια πύλη NAND 3 εισόδων με κανονική κατανάλωση ισχύος). Αυτό επιτρέπει τη μεταφορά του εκάστοτε σχεδίου σε διάφορες επεξεργασίες, μέσω μετάφρασης της περιγραφής της διάταξης (netlist). Μια *λογισμική* μονάδα συνήθως ορίζεται στο επίπεδο RTL ή με κάποια γλώσσα HDL. Κατ' αυτό τον τρόπο αποτυπώνεται η λειτουργία της μονάδας, αλλά η ακριβής υλοποίηση επαφίεται στα αυτοματοποιημένα εργαλεία σχεδίασης. Κι εδώ ξανά, οι χρονισμοί εξαρτώνται από την εκάστοτε υλοποίηση. Ο φορέας Virtual Socket Interface Alliance (που σχηματίστηκε από τη σύμπραξη διάφορων εταιρειών) καταγράφει και προωθεί πρότυπα, τα οποία διέπουν την υλοποίηση και χρησιμοποίηση εικονικών μονάδων.

Θα μπορούσαμε να παρομοιάσουμε την αγορά μονάδων IP με το παζάρεμα για την αγορά μεταχειρισμένου αυτοκινήτου, σε αντιδιαστολή με την αγορά δημοπρασιών για το πρωινό. Προϋποθέτει εκτενείς διαπραγματεύσεις με τους προμηθευτές και οι ισορροπίες σχέσεων είναι σημαντικές. Η αξιολόγηση της ποιότητας της IP μονάδας και των σεναρίων δοκιμής λειτουργίας της (test bench) είναι καίριας σημασίας: μια ελαττωματική μονάδα IP

μπορεί εύκολα να καταστρέψει ένα ολοκληρωμένο. Οι τιμολογιακές πολιτικές δεν ανακοινώνονται, ενώ και οι όροι άδειας χρήσης κρατούνται μυστικοί. Σε πολύ αδρές γραμμές, να αναμένετε ένα κόστος της τάξης των 100.000 δολαρίων για μια μονάδα όπως ένας ελεγκτής USB συνοδευόμενη από το λογισμικό της και το αντίστοιχο όργανο δοκιμής. Οι πυρήνες μικροεπεξεργαστών μπορεί να παρέχονται επί τη βάση της καταβολής δικαιωμάτων της τάξης του 1%. Κατά κανόνα, εάν μια μονάδα IP είναι διαθέσιμη από αξιόπιστη πηγή, η αγορά της θα είναι συνήθως λιγότερο δαπανηρή απ' ό,τι το να την κατασκευάσετε μόνοι σας.

14.6 Φύλλα Δεδομένων και Τεκμηρίωση

Τα φύλλα δεδομένων για ένα ολοκληρωμένο περιγράφουν το τι κάνει και αναφέρουν τις προδιαγραφές για τη λειτουργία του ολοκληρωμένου σ' ένα σύστημα. Οι προδιαγραφές περιλαμβάνουν τάσεις τροφοδοσίας, ρεύματα, χρόνους διευθέτησης εισόδων, χρόνους καθυστέρησης εξόδων και χρόνους κύκλου ρολογιού. Μπορεί επίσης να περιλαμβάνουν λεπτομέρειες σχετικές με τη συσκευασία και τη διάταξη των ακίδων E/E.

Μια καλή συνήθεια που θα πρέπει να αποκτήσετε είναι αυτή της σύνταξης φύλλων δεδομένων για οποιοδήποτε ολοκληρωμένο σχεδιάζετε. Τα φύλλα δεδομένων είναι το μέσο επικοινωνίας μεταξύ του σχεδιαστή του ολοκληρωμένου και του σχεδιαστή κυκλωμάτων σε επίπεδο πλακέτας, αλλά και μεταξύ των υπόλοιπων μελών της ομάδας σχεδίασης. Ειδικότερα, είναι καλή πρακτική –και καθιερωμένη στη βιομηχανία– η σύνταξη των φύλλων δεδομένων ενός ολοκληρωμένου και η παράδοσή του στους τελικούς πελάτες, πριν από την εργοστασιακή κατασκευή. Αυτό αποτρέπει πολλά ανεπιθύμητα σενάρια που ενδεχομένως να ανακύψουν όταν ένα τέλεια σχεδιασμένο ολοκληρωμένο συναντά ένα τέλεια σχεδιασμένο σύστημα. Σ' αυτή την ενότητα θα παρουσιάσουμε τη διαδικασία σύνταξης ενός τυπικού φύλλου δεδομένων με τη μορφή παραδείγματος.

14.6.1 Η Συνοπτική Παρουσίαση

Η συνοπτική παρουσίαση ενός ολοκληρωμένου περιλαμβάνει τις ακόλουθες πληροφορίες:

- Την επωνυμία και το περιγραφικό όνομα του ολοκληρωμένου
- Μια λακωνική περιγραφή του τι κάνει το ολοκληρωμένο
- Μια λίστα χαρακτηριστικών (προαιρετική για εσωτερικές παραγωγές, αλλά καλή για τον εγωισμό μας!)
- Ένα υψηλού επιπέδου δομικό διάγραμμα της λειτουργίας του ολοκληρωμένου

14.6.2 Περιγραφή των Ακίδων

Το τμήμα περιγραφής των ακίδων πρέπει να περιλαμβάνει περιγραφές για τις ακόλουθες ιδιότητες των ακίδων:

- Το όνομα της ακίδας
- Τον τύπο της ακίδας (π.χ. εισόδου, εξόδου, τρισταθής, ψηφιακή, αναλογική, κ.λπ.)
- Μια σύντομη περιγραφή της λειτουργίας της ακίδας
- Τον αριθμό συσκευασίας της ακίδας

14.6.3 Περιγραφή Λειτουργίας

Αυτή η ενότητα θα πρέπει να περιγράφει τη λειτουργία του ολοκληρωμένου στο βαθμό που ενδιαφέρει το χρήστη του. Εδώ θα πρέπει να αναφέρονται οι δυνατότητες προγραμματισμού, οι μορφές δεδομένων και οι επιλογές ελέγχου.

14.6.4 Προδιαγραφές DC Λειτουργίας

Αυτή η ενότητα θα πρέπει να παραθέτει τα δεδομένα κατανάλωσης ισχύος και τις απαιτούμενες τάσεις για τη σωστή λειτουργία του ολοκληρωμένου. Συγκεκριμένα, θα πρέπει να αναφέρονται οι απόλυτα μέγιστες ονομαστικές τιμές για τα ακόλουθα:

- Τάση τροφοδοσίας
- Τάσεις ακροδεκτών
- Θερμοκρασία επαφών

Θα πρέπει επίσης να αναφέρεται το είδος κάθε εισόδου/εξόδου (π.χ. TTL, CMOS, ECL) και να δίνονται οι ακόλουθες DC προδιαγραφές για όλο το εύρος λειτουργίας (δηλαδή, ελάχιστες και μέγιστες τιμές θερμοκρασίας και τάσης):

- V_{IL} και V_{IH} για κάθε είσοδο
- V_{OL} και V_{OH} για κάθε έξοδο (σ' ένα δεδομένο, μέγιστο επίπεδο οδήγησης)
- Φορτίο εισόδου για κάθε είσοδο
- Ρεύμα ηρεμίας
- Ρεύμα διαρροής
- Ρεύμα μειωμένης κατανάλωσης ισχύος (εάν ισχύει)
- Οποιαδήποτε άλλα σχετικά ρεύματα και τάσεις

14.6.5 Προδιαγραφές AC Λειτουργίας

Θα πρέπει να παρουσιάζονται οι ακόλουθες προδιαγραφές χρονισμού:

- Χρόνοι αποκατάστασης και συγκράτησης για όλες τις εισόδους
- Χρόνοι καθυστέρησης μεταξύ ρολογιού (και όλων των άλλων σχετικών εισόδων) και εξόδου
- Άλλες κρίσιμες τιμές χρονισμού, όπως ελάχιστα πλάτη παλμών

Τα παραπάνω δεδομένα θα πρέπει να παρατίθενται σε μορφή πίνακα και να συνοδεύονται από διαγράμματα χρονισμού, όπου είναι αναγκαίο. Αυτό είναι, ίσως, το σημαντικότερο κομμάτι των δεδομένων και η διαθεσιμότητά του πριν από τη βιομηχανική κατασκευή του ολοκληρωμένου θα βοηθήσει το σχεδιαστή πλακετών. Πολλές σχεδιάσεις παρουσιάζουν προβλήματα όταν, για παράδειγμα, οι σχεδιαστές των ολοκληρωμένων υποθέτουν άπειρα γρήγορες εξωτερικές μνήμες και δεν προϋπολογίζουν επαρκή χρόνο μεταξύ των αλλαγών των τιμών εξόδου και της επόμενης θετικής ακμής του ρολογιού.

14.6.6 Διάγραμμα Συσκευασίας

Θα πρέπει να παρατίθεται ένα διάγραμμα της συσκευασίας του ολοκληρωμένου, χαρακτηρισμένο με τα ονόματα των ακίδων.

14.6.7 Εγχειρίδιο Αρχών Λειτουργίας

Αν και τα φύλλα δεδομένων παρέχουν επαρκείς πληροφορίες για την εξοικείωση ενός χρήστη με τη λειτουργία ενός συγκεκριμένου ολοκληρωμένου, μια καλή πρακτική είναι να παρέχεται επίσης ένα εγχειρίδιο αρχών λειτουργίας για τους «ενδοεταιρικούς» χρήστες που θα κληθούν να δοκιμάσουν το ολοκληρωμένο και να κατασκευάσουν συστήματα υποστήριξης.

14.6.8 Εγχειρίδιο Χρήστη

Θα πρέπει επίσης να παρέχεται ένα εγχειρίδιο χρήστη. Αυτό απευθύνεται σε χρήστες εκτός της ομάδας που σχεδίασε το ολοκληρωμένο και μπορεί να είναι μια συντομευμένη έκδοση του εγχειριδίου αρχών λειτουργίας.

14.7 Τεχνοτροπίες Φυσικής Σχεδίασης CMOS

Αυτή η ενότητα περιλαμβάνεται στην ύλη που είναι διαθέσιμη online, μέσω του συνδέσμου «Web Enhanced», στον ιστότοπο www.cmosvlsi.com.



14.8 Κίνδυνοι και Πλάνες

Ανεπαρκής Ροή Σχεδίασης

Στο παρελθόν, τα πανεπιστήμια και οι μικρές εταιρείες μπορούσαν να κατασκευάζουν ολοκληρωμένα με ενδιαφέρουσες λειτουργίες και δυνατότητες, φτηνά ή ανοιχτού κώδικα εργαλεία CAD. Οι κανόνες σχεδίασης MOSIS παρείχαν έναν κοινό παρονομαστή, προσιτό σε όλους. Ωστόσο, αυτό δεν ισχύει πλέον στις σημερινές ναυπηγικές τεχνολογίες, όπου οι κανόνες σχεδίασης είναι τόσο πολύπλοκοι που καθιστούν αναγκαία τη χρήση ισχυρών, «βιομηχανικού επιπέδου» εργαλείων DRC.

Ανεπαρκής Επαλήθευση

Σε μια έρευνά της, η Synopsys διαπίστωσε ότι το 82% των επαναληπτικών γύρων σχεδίασης ολοκληρωμένων με ατέλειες στη λειτουργικότητά τους οφείλονταν σε ανεπαρκή επαλήθευση [Shuttlen03]. Ένα άλλο 47% των επαναληπτικών γύρων οφείλονταν σε λανθασμένες προδιαγραφές, ενώ ένα 14% σε λάθη των εισαγόμενων μονάδων IP. Τα στοιχεία αυτά καταδεικνύουν την ανάγκη ύπαρξης ορθών προδιαγραφών κι ενός καλά μελετημένου πλάνου επαλήθευσης. Οι διαδικασίες επαλήθευσης καλύπτονται στο Κεφάλαιο 15.

Ανακριβής Εξαγωγή Παρασιτικών Χωρητικότητων

Τα προγράμματα εξαγωγής παρασιτικών χωρητικότητας εξαγουν δεδομένα που σχετίζονται με τις τιμές των C και R μιας σχεδίασης. Εκτός κι αν ο προμηθευτής σας μπορεί να εγγυηθεί γι' αυτές τις τιμές, μια συνετή πρακτική είναι να δημιουργήσετε ένα μικρό σχέδιο και να συγκρίνετε τις εξαγόμενες τιμές μ' αυτές που υπολογίσατε χειροκίνητα. Όταν καλείστε να σχεδιάσετε ένα ολοκληρωμένο, θα πρέπει να δίνετε το μέγιστο της προσοχής σας. Όταν το ολοκληρωμένο επιστρέφει σ' εσάς κατασκευασμένο, συγκρίνετε ένα γνωστό μονοπάτι μ' αυτό που προέβλεψαν τα εργαλεία σας.

Ασκήσεις

- 14.1 Τι είδους κύτταρα RAM θα χρησιμοποιούσατε για να ελέγξετε ένα παραμετροποιήσιμο λογικό μπλοκ σε μια FPGA; Σχεδιάστε το κύτταρο και αιτιολογήστε την επιλογή σας.
- 14.2 Περιγράψτε τους συμβιβασμούς μεταξύ της χρήσης μιας πύλης μετάδοσης κι ενός τρισταθού απομονωτή για την υλοποίηση της μονάδας διασύνδεσης ενός FPGA.
- 14.3 Υπολογίστε το κόστος για μια ψηφίδα 4x4 χιλ., με $Y_w = 80\%$ και $Y_{pa} = 98\%$ για δισκίο 8 ιντσών με κόστος 2.200 δολάρια. Η ψηφίδα μπορεί να σμικρυνθεί στα 3.3x3.3 χιλ. σε μια νεότερη, πιο προηγμένη τεχνολογία κατασκευής, η οποία κοστίζει 3.000 δολάρια ανά δισκίο. Αξίζει να μεταφερθεί η σχεδίαση στη νέα τεχνολογία κατασκευής, εάν ο όγκος πωλήσεων του προϊόντος προβλέπεται να είναι αρκετά μεγάλος;
- 14.4 Ένα φίλτρο FIR για ένα δέκτη GSM με μετατροπέα Σίγμα-Δέλτα, όπως αυτό του Σχ. 14.8(β), έχει μια είσοδο του ενός bit. Σε τι είδους δομή εκφυλίζονται οι πολλαπλασιαστές; Εάν οι λήψεις είναι του ενός bit κι ένα φίλτρο 288 λήψεων πρέπει να λειτουργεί στα 13 MHz ποια αρχιτεκτονική θα χρησιμοποιούσατε για το συνολικό σχέδιο;
- 14.5 Σχεδιάστε το συμβολικό διάγραμμα για ένα μεγάλο αντιστροφέα μ' ένα pMOS τρανζίστορ 80 λ κι ένα nMOS τρανζίστορ 40 λ. Διπλώστε τα τρανζίστορ, ώστε κανένα να μην έχει πλάτος μεγαλύτερο από 20 λ.
- 14.6 Χρησιμοποιώντας τη δομή Θάλασσας Πυλών από το Σχήμα 14.17(α), σχεδιάστε την επιμετάλλωση για μια πύλη NOR 3 εισόδων.
- 14.7 Ένα εργοστάσιο κατασκευής ολοκληρωμένων διαθέτει μια τεχνολογία κατασκευής στα 180 nm με κόστος 500 δολάρια ανά επεξεργασμένο δισκίο 8 ιντσών. Εάν κάνετε τη σχεδίαση μόνοι σας χρησιμοποιώντας εργαλεία ανοιχτού κώδικα και το κόστος των μασκών είναι 250.000 δολάρια, υπολογίστε μια εκτίμηση για το μερίδιο αγοράς που θα απαιτηθεί ώστε να έχετε περιθώριο κέρδους 50% από ένα ολοκληρωμένο με διάσταση πλευράς 3 χιλ.