

# Σχεδίαση Ολοκληρωμένων Κυκλωμάτων CMOS VLSI

Τέταρτη Έκδοση

**Neil H. E. Weste**

*Πανεπιστήμιο Macquarie &  
Πανεπιστήμιο της Αδελαΐδας*

**David Money Harris**

*Κολέγιο Harvey Mudd*

ΑΠΟΔΟΣΗ

**ΕΛΕΝΗ ΓΚΑΓΚΑΤΣΙΟΥ**

*Ηλεκτρονικός Μηχανικός*

ΕΠΙΣΤΗΜΟΝΙΚΗ ΕΠΙΜΕΛΕΙΑ

**Δ. ΣΟΥΝΤΡΗΣ**

*Επ. Καθηγητής, Ε.Μ.Π.*

**Κ. ΠΕΚΜΕΣΤΖΗ**

*Καθηγητής, Ε.Μ.Π.*

**Κ. ΓΚΟΥΤΗΣ**

*Καθηγητής, Παν. Πατρών*

 **Παπασωτηρίου**  
Ε Κ Δ Ο Σ Ε Ι Σ

ΑΘΗΝΑ 2011

**Τίτλος πρωτοτύπου:**

CMOS VLSI Design  
A Circuits and Systems Perspective - Fourth Edition  
ISBN-13: 978-0-321-54774-3  
ISBN-10: 0-321-54774-8

Copyright © 2011, 2005, 1993, 1985 Pearson Education, Inc., υπό την αιγίδα των εκδόσεων Addison-Wesley.  
Με την επιφύλαξη παντός δικαιώματος.

Φωτογραφία εξωφύλλου: Χορηγία του Nick Knupffer της Intel Corporation. Copyright © 2009 Intel Corporation. Με την επιφύλαξη παντός δικαιώματος.

Πληροφορίες και ευχαριστίες για όλες τις πηγές που μας παρέιχαν (κατόπιν αδείας) υλικό, το οποίο αναπαράγεται στο παρόν βιβλίο, περιλαμβάνονται τόσο στα σχετικά σημεία της ύλης όσο και στη σελίδα 838.

Τα διακριτικά στοιχεία που χρησιμοποιούν διάφορες εταιρείες κατασκευής και εμπορίας για τα προϊόντα τους φέρονται ως εμπορικά σήματα. Όπου εμφανίζονται τέτοια διακριτικά στοιχεία στο βιβλίο (και ο εκδοτικός οίκος ήταν ενήμερος για την ύπαρξη ή διεκδίκηση εμπορικού σήματος), αναγράφονται με κεφαλαίο τον αρχικό χαρακτήρα, ή με όλους τους χαρακτήρες κεφαλαίους.

**Αποκλειστικότητα για την ελληνική γλώσσα:**



Λεωφ. Κηφισού 46β  
104 42 Αθήνα  
Τηλ.: 210 3323300  
Fax: 210 3848254  
<http://www.papasotiriou.gr>  
email: [publish@papasotiriou.gr](mailto:publish@papasotiriou.gr)

**ISBN: 978-960-7182-67-8**

Υπεύθυνος έκδοσης: Παναγιώτης Ασωνίτης

Επιμέλεια: Ελένη Γκαγκάτσιου

Σχεδιασμός εξωφύλλου: Ελένη Παπαθανασίου

Σελιδοποίηση: Κωνσταντίνος Καλαϊτζής

Εκτύπωση: Χ. Αγγελόπουλος & ΣΙΑ Ε.Ε.

Βιβλιοδεσία: Στάμου Εκδόσεις - Γραφικές Τέχνες ΕΠΕ

Με την επιφύλαξη παντός δικαιώματος. Δεν επιτρέπεται η αναπαραγωγή κανενός τμήματος αυτής της έκδοσης, σε οποιαδήποτε μορφή, ή με τη χρήση ηλεκτρονικών ή μηχανικών μέσων, συμπεριλαμβανομένων συστημάτων αποθήκευσης και ανάκτησης πληροφοριών, χωρίς την έγγραφη άδεια του εκδότη, παρά μόνο από επιμελητές ή βιβλιοκριτικούς, οι οποίοι μπορούν να αναφέρουν σύντομα αποσπάσματα σε εργασίες τους.

*Αφιερώνεται στους Avril, Melissa, Tamara, Nicky, Jocelyn,  
Makayla, Emily, Danika, Dan και Simon  
N. W.*

*Αφιερώνεται στους Jennifer, Samuel και Abraham  
D. M. H.*

# Περιεχόμενα

Πρόλογος .....	xxiii
----------------	-------

## Κεφάλαιο 1 Εισαγωγή

1.1	Σύντομη Ιστορική Αναδρομή .....	1
1.2	Μια Πρώτη Ματιά .....	6
1.3	Τρανζίστορ MOS.....	6
1.4	Λογική CMOS .....	8
1.4.1	Ο Αντιστροφέας.....	9
1.4.2	Η Πύλη NAND .....	9
1.4.3	Λογικές Πύλες CMOS.....	9
1.4.4	Η Πύλη NOR .....	10
1.4.5	Σύνθετες Πύλες.....	11
1.4.6	Τρανζίστορ Περάσματος και Πύλες Μετάδοσης.....	12
1.4.7	Τρισταθιά Στοιχεία .....	14
1.4.8	Πολυπλέκτες .....	15
1.4.9	Ακολουθιακά Κυκλώματα .....	16
1.5	Φυσική Σχεδίαση και Κατασκευή CMOS.....	19
1.5.1	Εγκάρσια Τομή Αντιστροφή .....	19
1.5.2	Η Διαδικασία Κατασκευής.....	20
1.5.3	Κανόνες Φυσικής Σχεδίασης.....	24
1.5.4	Φυσικό Σχέδιο Πύλης.....	27
1.5.5	Συμβολικά Διαγράμματα .....	28
1.6	Επιμερισμός της Σχεδίασης.....	29
1.6.1	Αφαιρετικά Επίπεδα της Διαδικασίας Σχεδίασης .....	30
1.6.2	Δομημένη Σχεδίαση .....	31
1.6.3	Πεδία: Συμπεριφοράς, Δομικό και Φυσικό .....	31
1.7	Παράδειγμα: Ένα Απλός Μικροεπεξεργαστής MIPS.....	33
1.7.1	Η Αρχιτεκτονική MIPS .....	33
1.7.2	Μικροαρχιτεκτονική MIPS πολλαπλών κύκλων.....	34
1.8	Λογική Σχεδίαση .....	38
1.8.1	Διεπαφές Κορυφαίου Επιπέδου.....	38
1.8.2	Διάγραμμα Βαθμίδων .....	38
1.8.3	Ιεραρχία.....	40
1.8.4	Γλώσσες Περιγραφής Υλικού .....	40
1.9	Σχεδίαση Κυκλώματος.....	42

1.10	Φυσική Σχεδίαση.....	45
1.10.1	Χωροθέτηση .....	45
1.10.2	Τυποποιημένα Κύτταρα.....	48
1.10.3	Ταίριασμα Βημάτων Απόστασης.....	49
1.10.4	Κάτοψη Φέτας .....	50
1.10.5	Δομές Προγραμματιζόμενης Λογικής .....	51
1.10.6	Εκτίμηση Επιφάνειας.....	51
1.11	Επαλήθευση Σχεδίασης.....	53
1.12	Κατασκευή, Συσκευασία και Δοκιμή .....	53
	Σύνοψη του Κεφαλαίου .....	55
	Ασκήσεις.....	57

## Κεφάλαιο 2 Θεωρία Τρανζίστορ MOS

2.1	Εισαγωγή .....	61
2.2	Ιδανικές Χαρακτηριστικές I-V.....	64
2.3	Χαρακτηριστικές C-V .....	68
2.3.1	Απλά Μοντέλα Χωρητικότητας MOS .....	68
2.3.2	Λεπτομερές Μοντέλο Χωρητικότητας Πύλης MOS .....	70
2.3.3	Λεπτομερές Μοντέλο Χωρητικότητας Διάχυσης MOS.....	72
2.4	Μη Ιδανικά Φαινόμενα I-V .....	74
2.4.1	Κορεσμός Ταχύτητας και Υποβάθμιση Ευκινησίας.....	75
2.4.2	Διαμόρφωση Μήκους Καναλιού .....	78
2.4.3	Επιδράσεις της Τάσης Κατωφλίου .....	79
2.4.4	Διαρροές.....	80
2.4.5	Εξάρτηση από τη Θερμοκρασία.....	85
2.4.6	Εξάρτηση από τη Γεωμετρία.....	86
2.4.7	Σύνοψη.....	86
2.5	Χαρακτηριστικές Μεταφοράς DC .....	87
2.5.1	Χαρακτηριστικές DC Στατικού Αντιστροφέα CMOS .....	87
2.5.2	Επιδράσεις του Λόγου Παραμέτρων $\beta$ .....	89
2.5.3	Περιθώριο Θορύβου.....	91
2.5.4	Χαρακτηριστικές DC Τρανζίστορ Περάσματος .....	92
2.6	Κίνδυνοι και πλάνες .....	93
	Σύνοψη του Κεφαλαίου .....	94
	Ασκήσεις.....	95

## Κεφάλαιο 3 Τεχνολογία Κατασκευής CMOS

3.1	Εισαγωγή .....	99
3.2	Τεχνολογίες Κατασκευής CMOS .....	100
3.2.1	Σχηματισμός Δισκίου .....	100

3.2.2	Φωτολιθογραφία .....	101
3.2.3	Σχηματισμός του Πηγαδιού και του Καναλιού .....	103
3.2.4	Διοξείδιο του Πυριτίου ( $SiO_2$ ) .....	105
3.2.5	Μόνωση .....	106
3.2.6	Οξείδιο Πύλης .....	107
3.2.7	Σχηματισμός Πύλης και Πηγής/Υποδοχής.....	108
3.2.8	Επαφές και Επιμετάλλωση.....	110
3.2.9	Αδρανοποίηση .....	112
3.2.10	Μετρολογία .....	112
3.3	Κανόνες Φυσικού Σχεδίου.....	113
3.3.1	Υπόβαθρο Κανόνων Σχεδίασης.....	113
3.3.2	Γραμμή Χάραξης και Άλλες Δομές.....	116
3.3.3	Κλιμακούμενοι Κανόνες Σχεδίασης MOSIS.....	117
3.3.4	Κανόνες Σχεδίασης σε Μικρομετρική Κλίμακα.....	118
3.4	Βελτιώσεις της Τεχνολογίας Κατασκευής CMOS .....	119
3.4.1	Τρανζίστορ.....	119
3.4.2	Διασύνδεση .....	122
3.4.3	Στοιχεία Κυκλωμάτων.....	124
3.4.4	Πέραν των Συμβατικών CMOS.....	129
3.5	Θέματα CAD Σχετιζόμενα με την Τεχνολογία.....	130
3.5.1	Έλεγχος Κανόνων Σχεδίασης.....	131
3.5.2	Εξαγωγή Κυκλώματος.....	132
3.6	Κατασκευαστικά Ζητήματα .....	133
3.6.1	Κανόνες Κεραίας.....	133
3.6.2	Κανόνες Πυκνότητας Στρώσης.....	134
3.6.3	Κανόνες Βελτίωσης της Ανάλυσης .....	134
3.6.4	Κανόνες για Εγκοπές Μετάλλου .....	135
3.6.5	Οδηγίες για τη Βελτίωση της Απόδοσης Παραγωγής.....	135
3.8	Σύντομη Ιστορική Αναδρομή .....	137
	Σύνοψη του Κεφαλαίου .....	139
	Ασκήσεις.....	139

## Κεφάλαιο 4 Καθυστέρηση

4.1	Εισαγωγή.....	141
4.1.1	Ορισμοί .....	141
4.1.2	Βελτιστοποίηση Χρονισμού .....	142
4.2	Μεταβατική Απόκριση .....	143
4.3	Μοντέλο Καθυστέρησης RC .....	146
4.3.1	Ενεργή Αντίσταση .....	146
4.3.2	Χωρητικότητα Πύλης και Διάχυσης.....	147
4.3.3	Ισοδύναμα RC Κυκλώματα .....	147
4.3.4	Μεταβατική Απόκριση .....	148

4.3.5	Καθυστέρηση Elmore .....	150
4.3.6	Εξάρτηση του Φυσικού Σχεδίου από τη Χωρητικότητα .....	153
4.3.7	Καθορισμός της Ενεργής Αντίστασης.....	154
4.4	Το Μοντέλο Γραμμικής Καθυστέρησης.....	155
4.4.1	Λογικός Φόρτος .....	156
4.4.2	Παρασιτική Καθυστέρηση .....	156
4.4.3	Καθυστέρηση σε μια Λογική Πύλη .....	158
4.4.4	Οδήγηση .....	159
4.4.5	Εύρεση του Λογικού Φόρτου από τα Φύλλα Δεδομένων .....	159
4.4.6	Περιορισμοί του Μοντέλου Γραμμικής Καθυστέρησης .....	160
4.5	Λογικός Φόρτος Μονοπατιού .....	163
4.5.1	Καθυστέρηση σε Δίκτυα Λογικής Πολλών Σταδίων .....	163
4.5.2	Επιλογή του Βέλτιστου Αριθμού Σταδίων .....	166
4.5.3	Παράδειγμα .....	168
4.5.4	Σύνοψη και Παρατηρήσεις .....	169
4.5.5	Περιορισμοί της Μεθόδου Λογικού Φόρτου .....	171
4.5.6	Επαναληπτικές Λύσεις για την Επιλογή Μεγεθών .....	171
4.6	Μοντέλα Καθυστέρησης για Ανάλυση Χρονισμού .....	173
4.6.1	Γραμμικό, Βασιζόμενο σε Κλίσεις Μοντέλο .....	173
4.6.2	Μη-Γραμμικό Μοντέλο Καθυστέρησης.....	174
4.6.3	Μοντέλο Πηγής Ρεύματος .....	174
4.8	Σύντομη Ιστορική Αναδρομή .....	175
	Σύνοψη του Κεφαλαίου.....	176
	Ασκήσεις.....	176

## Κεφάλαιο 5 Ισχύς

5.1	Εισαγωγή.....	181
5.1.1	Ορισμοί .....	182
5.1.2	Παραδείγματα .....	182
5.1.3	Πηγές Κατανάλωσης Ισχύος.....	184
5.2	Δυναμική Ισχύς .....	185
5.2.1	Παράγοντας Μεταγωγής .....	186
5.2.2	Χωρητικότητα .....	188
5.2.3	Τάση .....	190
5.2.4	Συχνότητα .....	193
5.2.5	Ρεύμα Βραχυκύκλωσης .....	193
5.2.6	Κυκλώματα Συντονισμού .....	193
5.3	Στατική Ισχύς .....	194
5.3.1	Πηγές Στατικής Ισχύος .....	194
5.3.2	Έλεγχος της Τροφοδοσίας Μέσω Πύλης (Power Gating).....	197
5.3.3	Πολλαπλές Τάσεις Κατωφλίου και Πάχη Οξειδίου .....	199

5.3.4	Μεταβλητή Τάση Κατωφλίου .....	199
5.3.5	Έλεγχος με Διάνυσμα Εισόδου .....	200
5.4	Βελτιστοποίηση Ενέργειας-Καθυστέρησης.....	200
5.4.1	Ελάχιστη Ενέργεια .....	201
5.4.2	Ελάχιστο Γινόμενο Ενέργειας-Καθυστέρησης .....	203
5.4.3	Ελάχιστη Ενέργεια υπό Δεδομένο Περιορισμό Καθυστέρησης .....	203
5.5	Αρχιτεκτονικές Χαμηλής Κατανάλωσης Ισχύος .....	204
5.5.1	Μικροαρχιτεκτονική .....	204
5.5.2	Παραλληλισμός και Διοχέτευση .....	204
5.5.3	Καταστάσεις Διαχείρισης Ισχύος .....	205
5.7	Σύντομη Ιστορική Αναδρομή .....	207
	Σύνοψη του Κεφαλαίου.....	209
	Ασκήσεις .....	209

## Κεφάλαιο 6 Διασύνδεση

6.1	Εισαγωγή .....	211
6.1.1	Γεωμετρία των Αγωγών .....	211
6.1.2	Παράδειγμα: Σωροί Μετάλλου της Intel .....	212
6.2	Μοντελοποίηση της Διασύνδεσης .....	213
6.2.1	Αντίσταση .....	214
6.2.2	Χωρητικότητα .....	215
6.2.3	Αυτεπαγωγή .....	218
6.2.4	Φαινόμενο «Επιδερμίδας» .....	219
6.2.5	Εξάρτηση από τη Θερμοκρασία .....	220
6.3	Επιδράσεις της Διασύνδεσης .....	220
6.3.1	Καθυστέρηση .....	220
6.3.2	Ενέργεια .....	222
6.3.3	Συνακρόαση (Crosstalk) .....	222
6.3.4	Επιδράσεις της Αυτεπαγωγής .....	224
6.3.5	Μια Παρένθεση Σχετική με την Ενεργή Αντίσταση και την Καθυστέρηση Elmore .....	227
6.4	Σχεδίαση των Αγωγών Διασύνδεσης .....	229
6.4.1	Πλάτος, Απόσταση και Χρήση Στρώσεων .....	229
6.4.2	Επαναλήπτες .....	230
6.4.3	Έλεγχος της Συνακρόασης.....	232
6.4.4	Σηματοδοσία Χαμηλού Περιθωρίου Μεταβολής Σήματος .....	234
6.4.5	Ενισχυτές .....	236
6.5	Λογικός Φόρτος και Αγωγοί .....	236
	Σύνοψη του Κεφαλαίου.....	238
	Ασκήσεις .....	238

**Κεφάλαιο 7 Ζητήματα Ευρωστίας και Αξιοπιστίας**

7.1	Εισαγωγή .....	241
7.2	Μεταβλητότητα και Διακυμάνσεις.....	241
7.2.1	Τάση Τροφοδοσίας .....	242
7.2.2	Θερμοκρασία .....	242
7.2.3	Κατασκευαστικές Διακυμάνσεις.....	243
7.2.4	Σχεδιαστικές Γωνίες.....	244
7.3	Αξιοπιστία .....	246
7.3.1	Η Ορολογία της Αξιοπιστίας .....	246
7.3.2	Φθορά Οξειδίου .....	247
7.3.3	Φθορά των Αγωγών Διασύνδεσης .....	249
7.3.4	Τυχαία/Παροδικά Σφάλματα .....	251
7.3.5	Αστοχία λόγω Υπέρτασης .....	252
7.3.6	Μανδάλωση.....	253
7.4	Κλιμάκωση .....	254
7.4.1	Κλιμάκωση των Τρανζιστορ .....	255
7.4.2	Κλιμάκωση της Διασύνδεσης .....	257
7.4.3	Διεθνής Τεχνολογικός Οδικός Χάρτης για Ημιαγωγούς .....	258
7.4.4	Επιδράσεις στη Σχεδίαση Συστημάτων .....	259
7.5	Στατιστική Ανάλυση των Διακυμάνσεων .....	263
7.5.1	Ιδιότητες Τυχαίων Μεταβλητών .....	263
7.5.2	Πηγές Διακυμάνσεων .....	266
7.5.3	Επιδράσεις των Διακυμάνσεων .....	269
7.6	Σχεδίαση με Ανοχή στις Διακυμάνσεις .....	274
7.6.1	Προσαρμοστικός Έλεγχος .....	275
7.6.2	Ανοχή σε Βλάβες .....	275
7.8	Σύντομη Ιστορική Αναδρομή .....	278
	Σύνοψη του Κεφαλαίου .....	284
	Ασκήσεις .....	284

**Κεφάλαιο 8 Προσομοίωση**

8.1	Εισαγωγή .....	287
8.2	Εισαγωγή στο SPICE .....	288
8.2.1	Πηγές και Παθητικά Στοιχεία.....	288
8.2.2	DC Ανάλυση Τρανζιστορ .....	292
8.2.3	Ανάλυση Μεταβατικής Κατάστασης Αντιστροφεία .....	292
8.2.4	Υποκυκλώματα και Μετρήσεις .....	294
8.2.5	Βελτιστοποίηση.....	296
8.2.6	Άλλες Εντολές του HSPICE .....	298

8.3	Μοντέλα Στοιχείων.....	298
8.3.1	Μοντέλα Επιπέδου 1.....	299
8.3.2	Μοντέλα Επιπέδου 2 και 3.....	300
8.3.3	Μοντέλα BSIM.....	300
8.3.4	Μοντέλα Χωρητικότητας Διάχυσης .....	300
8.3.5	Σχεδιαστικές Γωνίες.....	302
8.4	Χαρακτηρισμός Στοιχείων.....	303
8.4.1	Χαρακτηριστικές I-V.....	303
8.4.2	Τάση Κατωφλίου.....	306
8.4.3	Χωρητικότητα Πύλης .....	308
8.4.4	Παρασιτική Χωρητικότητα.....	308
8.4.5	Ενεργή Αντίσταση .....	310
8.4.6	Σύγκριση Τεχνολογιών Κατασκευής .....	311
8.4.7	Ευαισθησία στις Κατασκευαστικές & Περιβαλλοντικές Συνθήκες.....	313
8.5	Χαρακτηρισμός Κυκλωμάτων.....	313
8.5.1	Προσομοιώσεις Μονοπατιού .....	313
8.5.2	Χαρακτηριστικές Μεταφοράς DC.....	315
8.5.3	Λογικός Φόρτος.....	315
8.5.4	Ισχύς και Ενέργεια .....	318
8.5.5	Προσομοίωση Ασυμμετριών .....	319
8.5.6	Προσομοίωση Monte Carlo .....	319
8.6	Προσομοίωση Διασύνδεσης .....	319
	Σύνοψη του Κεφαλαίου .....	324
	Ασκήσεις.....	325

**Κεφάλαιο 9 Σχεδίαση Συνδυαστικών Κυκλωμάτων**

9.1	Εισαγωγή .....	327
9.2	Οικογένειες Κυκλωμάτων.....	328
9.2.1	Στατικά Κυκλώματα CMOS.....	329
9.2.2	Κυκλώματα Βασιζόμενα σε Λόγο Διαστάσεων.....	334
9.2.3	Διαδοχική Λογική Διακοπτικής Τάσης .....	339
9.2.4	Δυναμικά Κυκλώματα.....	339
9.2.5	Κυκλώματα με Τρανζιστορ Περάσματος .....	349
9.3	Κίνδυνοι Κυκλωμάτων .....	354
9.3.1	Πτώσεις Τάσης Κατωφλίου .....	355
9.3.2	Προβλήματα με Λόγους Διαστάσεων .....	355
9.3.3	Διαρροές.....	356
9.3.4	Διαμοιρασμός Φορτίου .....	356
9.3.5	Θόρυβος στη Γραμμή Τροφοδοσίας.....	356
9.3.6	Καυτές Περιοχές.....	357
9.3.7	Έγχυση Φορέων Μειονότητας.....	357

9.3.8	Σύζευξη με Πίσω Πύλη.....	358
9.3.9	Ευαισθησία Εισόδου Διάχυσης στο Θόρυβο.....	358
9.3.10	Ευαισθησία στις Συνθήκες της Κατασκευαστικής Διαδικασίας.....	358
9.3.11	Παράδειγμα: Προϋπολογισμός Θορύβου για Λογική Domino .....	359
9.4	Άλλες Οικογένειες Κυκλωμάτων .....	360
9.5	Σχεδίαση Κυκλωμάτων SOI .....	360
9.5.1	Τάση Αιωρούμενου Υποστρώματος.....	361
9.5.2	Πλεονεκτήματα της Τεχνολογίας SOI.....	362
9.5.3	Μειονεκτήματα της Τεχνολογίας SOI.....	362
9.5.4	Επιπτώσεις της Τεχνολογίας SOI στα Στλ Κυκλωμάτων .....	363
9.5.5	Σύνοψη.....	364
9.6	Σχεδίαση Κυκλωμάτων για Λειτουργία στην Περιοχή Υποκατωφλίου .....	364
9.6.1	Διαστάσεις Τρανζίστορ .....	365
9.6.2	Επιλογή Πύλης .....	365
9.8	Σύντομη Ιστορική Αναδρομή .....	367
	Σύνοψη του Κεφαλαίου.....	369
	Ασκήσεις.....	370

## Κεφάλαιο 10 Σχεδίαση Ακολουθιακών Κυκλωμάτων

10.1	Εισαγωγή.....	375
10.2	Υλοποίηση Ακολουθιακών Δομών σε Στατικά Κυκλώματα.....	376
10.2.1	Μέθοδοι Δημιουργίας Ακολουθιακών Δομών Συνδυαστικής Λογικής .....	376
10.2.2	Περιορισμοί Μέγιστης Καθυστέρησης.....	379
10.2.3	Περιορισμοί Ελάχιστης Καθυστέρησης.....	383
10.2.4	Δανεισμός Χρόνου.....	386
10.2.5	Χρονική Απόκλιση Ρολογιού.....	389
10.3	Σχεδίαση Κυκλωμάτων για Μανδαλωτές και Flip-Flop .....	391
10.3.1	Συμβατικοί Μανδαλωτές CMOS.....	392
10.3.2	Συμβατικά CMOS Flip-Flop.....	393
10.3.3	Παλμικοί Μανδαλωτές .....	395
10.3.4	Μανδαλωτές και Flip-Flop με Επαναφορά .....	396
10.3.5	Μανδαλωτές και Flip-Flop με Επίτρεψη .....	397
10.3.6	Ενσωμάτωση Λογικής σε Μανδαλωτές.....	398
10.3.7	Ημι-Δυναμικό Flip-Flop Klass.....	399
10.3.8	Διαφορικά Flip-Flop.....	399
10.3.9	Διπλά Ακμοπυροδοτούτο Flip-Flop .....	400
10.3.10	Flip-Flop με Ενίσχυση Κατά της Ακτινοβολίας .....	401
10.3.11	Μανδαλωτές και Flip-Flop Μονής Φάσης Ρολογιού (True Single-Phase-Clock, TSPC).....	402
10.4	Μεθοδολογία Υλοποίησης Στοιχείων Στατικής Ακολουθίας.....	402
10.4.1	Επιλογή Στοιχείων.....	403
10.4.2	Σχεδίαση Ακολουθιακών Δομών Χαμηλής Κατανάλωσης Ισχύος .....	405

10.4.3	Καταχωρητές Διατήρησης Κατάστασης .....	408
10.4.4	Flip-flop Μετατροπής Στάθμης.....	408
10.4.5	Σχεδιαστικό Περιθώριο και Προσαρμοστικά Ακολουθιακά Στοιχεία .....	409
10.4.6	Τύποι Χρονισμών Διπλής Φάσης.....	411
10.5	Ακολουθιακή Λογική σε Δυναμικά Κυκλώματα .....	411
10.6	Συγχρονιστές.....	411
10.6.1	Μετασταθερότητα .....	412
10.6.2	Ένας Απλός Συγχρονιστής.....	415
10.6.3	Επικοινωνία Μεταξύ Επικρατειών με Ασύγχρονα Ρολόγια .....	416
10.6.4	Κοινά Σφάλματα σε Κυκλώματα Συγχρονιστών .....	417
10.6.5	Διαιτητές.....	419
10.6.6	Βαθμοί Συγχρονίας.....	419
10.7	Κυματική Διαδοχική Διοχέτευση.....	420
10.9	Μελέτη Εφαρμογής: Μεθοδολογίες Ακολουθιακής Λογικής στους Pentium 4 και Itanium 2 .....	423
	Σύνοψη του Κεφαλαίου.....	423
	Ασκήσεις.....	425

## Κεφάλαιο 11 Υποσυστήματα Χειριστών Δεδομένων

11.1	Εισαγωγή.....	429
11.2	Πρόσθεση/Αφαίρεση.....	429
11.2.1	Πρόσθεση Μεμονωμένων Bit .....	430
11.2.2	Πρόσθεση με Διάδοση Κρατουμένου.....	434
11.2.3	Αφαίρεση .....	458
11.2.4	Πρόσθεση Πολλαπλών Εισόδων .....	458
11.2.5	Αθροιστές Προθέματος με Σήμανση .....	459
11.3	Ανιχνευτές 1/0.....	461
11.4	Συγκριτές.....	462
11.4.1	Συγκριτής Μεγέθους.....	462
11.4.2	Συγκριτής Ισότητας.....	462
11.4.3	Συγκριτής $K = A+B$ .....	463
11.5	Μετρητές.....	463
11.5.1	Δυαδικοί Μετρητές .....	464
11.5.2	Γρήγοροι Δυαδικοί Μετρητές .....	465
11.5.3	Μετρητές Δακτυλίου και Johnson .....	466
11.5.4	Καταχωρητές Ολοίθησης Γραμμικής Ανατροφοδότησης.....	466
11.6	Λειτουργίες Λογικής Boole .....	468
11.7	Κωδικοποίηση .....	468
11.7.1	Ισοτιμία .....	468
11.7.2	Κώδικες Διόρθωσης Σφαλμάτων .....	468
11.7.3	Κώδικες Gray .....	470
11.7.4	Κυκλωματικές Μορφές XOR/XNOR.....	471

11.8	Ολισθητές .....	472
11.8.1	Ολισθητής Χαάνης .....	473
11.8.2	Περιστροφικός Ολισθητής .....	475
11.8.3	Εναλλακτικές Λειτουργίες Ολισθησης .....	476
11.9	Πολλαπλασιασμός .....	476
11.9.1	Πίνακας Πολλαπλασιασμού Μη-Προσημασμένων Αριθμών .....	478
11.9.2	Πίνακας Πολλαπλασιασμού σε Συμπλήρωμα ως προς 2.....	479
11.9.3	Κωδικοποίηση Booth.....	480
11.9.4	Πρόσθεση Στιλών .....	485
11.9.5	Τελική πρόσθεση .....	489
11.9.6	Συγχωνευμένη Μονάδα Πολλαπλασιασμού-Πρόσθεσης.....	490
11.9.7	Σειριακός Πολλαπλασιασμός.....	490
11.9.8	Σύνοψη .....	490
11.10	Υπολογισμοί Παράλληλου Προθέματος .....	491
	Σύνοψη του Κεφαλαίου .....	494
	Ασκήσεις.....	494

## Κεφάλαιο 12 Υποσυστήματα Διατάξεων

12.1	Εισαγωγή.....	497
12.2	Στατική μνήμη (SRAM) .....	498
12.2.1	Κύτταρα SRAM .....	499
12.2.2	Το Κύκλωμα για τις Γραμμές της Διάταξης .....	506
12.2.3	Το Κύκλωμα για τις Στήλες .....	510
12.2.4	Πολύθυρες SRAM και Αρχεία Καταχωρητών .....	514
12.2.5	Μεγάλες SRAM .....	515
12.2.6	SRAM Χαμηλής Κατανάλωσης Ισχύος.....	517
12.2.7	Καθυστέρηση και Κατανάλωση Επιφάνειας/Ισχύος Μνημών RAM και Αρχείων Καταχωρητών .....	520
12.3	DRAM .....	522
12.3.1	Αρχιτεκτονικές Υποδιατάξεων.....	523
12.3.2	Το Κύκλωμα Στήλης .....	525
12.3.3	Ενσωματωμένη DRAM .....	526
12.4	Μνήμη Μόνο Ανάγνωσης (ROM).....	527
12.4.1	Προγραμματιζόμενες ROM.....	529
12.4.2	Μνήμες NAND ROM .....	530
12.4.3	Μνήμες Flash .....	531
12.5	Μνήμες Σειριακής Προσπέλασης .....	533
12.5.1	Καταχωρητές Ολισθησης .....	533
12.5.2	Ουρές (FIFO, LIFO) .....	533
12.6	Διευθυνσιοδοτούμενες από το Περιεχόμενο Μνήμες.....	535
12.7	Προγραμματιζόμενες Διατάξεις Λογικής .....	537

12.8	Σχεδίαση Αξιόπιστων Μνημών .....	541
12.8.1	Πλεονασμός .....	541
12.8.2	Κώδικες Διόρθωσης Σφαλμάτων .....	543
12.8.3	Προστασία από Ακτινοβολία.....	543
12.9	Σύντομη Ιστορική Αναδρομή .....	544
	Σύνοψη του Κεφαλαίου .....	545
	Ασκήσεις.....	546

## Κεφάλαιο 13 Υποσυστήματα Ειδικού Σκοπού

13.1	Εισαγωγή .....	549
13.2	Συσκευασία και Ψύξη .....	549
13.2.1	Επιλογές Συσκευασίας .....	549
13.2.2	Διασυνδέσεις Ολοκληρωμένου με Συσκευασία .....	551
13.2.3	Παρασιτικές Συσκευασίας .....	552
13.2.4	Εκπομπή και Απαγωγή Θερμότητας .....	552
13.2.5	Αιθητήρες Θερμοκρασίας .....	553
13.3	Διανομή Ισχύος .....	555
13.3.1	Δίκτυο Διανομής Ισχύος Εντός του Ολοκληρωμένου.....	556
13.3.2	Πτώσεις IR .....	557
13.3.3	Θόρυβος $L di/dt$ .....	558
13.3.4	Χωρητικότητα Παράκαμψης Εντός Ολοκληρωμένου .....	559
13.3.5	Μοντελοποίηση Δικτύου Ισχύος .....	560
13.3.6	Φιλτράρισμα Τροφοδοσίας Ισχύος.....	564
13.3.7	Αντλίες Φορτίου .....	564
13.3.8	Θόρυβος Υποστρώματος .....	565
13.3.9	Αναζήτηση Ενέργειας .....	565
13.4	Ρολόγια .....	566
13.4.1	Ορισμοί .....	566
13.4.2	Αρχιτεκτονική Συστήματος Ρολογιού .....	568
13.4.3	Δημιουργία Γενικού Ρολογιού.....	569
13.4.4	Διανομή Γενικού Ρολογιού.....	571
13.4.5	Τοπικά Κυκλώματα Πύλης Ρολογιού .....	575
13.4.6	Προϋπολογισμοί Απόκλισης Ρολογιού .....	577
13.4.7	Προσαρμοστική Διόρθωση Απόκλισης .....	579
13.5	PLL & DLL: Βρόχοι Κλειδωμένης Φάσης & Καθυστέρησης.....	580
13.5.1	Βρόχοι PLL.....	580
13.5.2	Βρόχοι DLL .....	587
13.5.3	Κίνδυνοι και Παγίδες.....	589
13.6	Είσοδος/Έξοδος .....	590
13.6.1	Βασικά Κυκλώματα Ενισχυτών/Υποβαθμιστών E/E.....	591
13.6.2	Προστασία από Ηλεκτροστατική Εκφόρτιση .....	593
13.6.3	Παράδειγμα: Ενισχυτές/Υποβαθμιστές E/E της MOSIS .....	594
13.6.4	Κυκλώματα E/E Μεικτής Τάσης .....	596

13.7	Συνδέσεις Υψηλής Ταχύτητας .....	597
13.7.1	Κανάλια E/E Υψηλής Ταχύτητας .....	597
13.7.2	Θόρυβος Καναλιού και Παρεμβολή .....	600
13.7.3	Πομποί και Δέκτες Υψηλής Ταχύτητας .....	601
13.7.4	Σύγχρονη Μετάδοση Δεδομένων .....	606
13.7.5	Αποκατάσταση Ρολογιού σε Συγχρονισμένα με την Πηγή Συστήματα.....	606
13.7.6	Αποκατάσταση Ρολογιού σε Μεσόχρονα Συστήματα .....	608
13.7.7	Αποκατάσταση Ρολογιού σε Πλησιόχρονα Συστήματα .....	610
13.8	Κυκλώματα Παραγωγής Τυχαίων Δεδομένων .....	610
13.8.1	Γεννήτριες Πραγματικά Τυχαίων Αριθμών .....	610
13.8.2	Ταυτοποίηση Ολοκληρωμένου .....	611
	Σύνοψη του Κεφαλαίου .....	613
	Ασκήσεις .....	614

## Κεφάλαιο 14 Εργαλεία και Μεθοδολογίες Σχεδίασης

14.1	Εισαγωγή.....	615
14.2	Στρατηγικές Δομημένης Σχεδίασης .....	617
14.2.1	Παράδειγμα Συστήματος: Πομποδέκτης Υλοποιημένος με Λογισμικό .....	618
14.2.2	Ιεραρχία .....	620
14.2.3	Κανονικότητα .....	623
14.2.4	Τμηματοποίηση .....	625
14.2.5	Τοπικότητα .....	626
14.2.6	Σύνοψη .....	627
14.3	Μέθοδοι Σχεδίασης .....	627
14.3.1	Μικροεπεξεργαστές/Επεξεργαστές DSP.....	627
14.3.2	Προγραμματιζόμενη Λογική.....	628
14.3.3	Διατάξεις Πυλών και Σχεδίαση Θάλασσας Πυλών.....	631
14.3.4	Σχεδίαση με Τυποποιημένα Κύτταρα .....	632
14.3.5	Πλήρως Εξειδικευμένη Σχεδίαση (σε Επίπεδο Τρανζιστορ).....	634
14.3.6	Σχεδίαση Βάσει Πλατφόρμας - Σύστημα σε Ψηφίδα.....	635
14.3.7	Σύνοψη .....	636
14.4	Ροές Σχεδίασης .....	636
14.4.1	Ροή Σχεδίασης με Σύνθεση Συμπεριφοράς (Ροή Σχεδίασης ASIC).....	638
14.4.2	Αυτοματοποιημένη Παραγωγή Φυσικού Σχεδίου.....	641
14.4.3	Ροή Σχεδίασης για Εφαρμογές Μεικτού Σήματος ή Εξειδικευμένες Εφαρμογές .....	645
14.5	Οικονομική Θεώρηση της Σχεδίασης .....	647
14.5.1	Εφάπαξ Κόστος Σχεδίασης .....	647
14.5.2	Επαναλαμβανόμενες Δαπάνες .....	649
14.5.3	Πάγια Έξοδα.....	651
14.5.4	Χρονοδιάγραμμα .....	652
14.5.5	Ανθρώπινο Δυναμικό .....	653

14.5.6	Διαχείριση του Έργου .....	654
14.5.7	Επαναχρησιμοποίηση Σχεδίασης .....	654
14.6	Φύλλα Δεδομένων και Τεκμηρίωση .....	655
14.6.1	Συνοπτική Παρουσίαση.....	655
14.6.2	Περιγραφή των Ακίδων .....	656
14.6.3	Περιγραφή Λειτουργίας .....	656
14.6.4	Προδιαγραφές DC Λειτουργίας.....	656
14.6.5	Προδιαγραφές AC Λειτουργίας.....	656
14.6.6	Διάγραμμα Συσκευασίας.....	657
14.6.7	Εγχειρίδιο Αρχών Λειτουργίας .....	657
14.6.8	Εγχειρίδιο Χρήστη .....	657
14.7	Τεχνοτροπίες Φυσικής Σχεδίασης CMOS.....	657
	Ασκήσεις.....	657

## Κεφάλαιο 15 Δοκιμή, Αποσφαλμάτωση και Επαλήθευση

15.1	Εισαγωγή .....	659
15.1.1	Επαλήθευση Λογικής.....	660
15.1.2	Αποσφαλμάτωση .....	662
15.1.3	Δοκιμές Παραγωγής.....	664
15.2	Συσκευές, Εξαρτήματα και Προγράμματα Δοκιμής.....	666
15.2.1	Συσκευές και Εξαρτήματα Δοκιμής.....	666
15.2.2	Προγράμματα Δοκιμών .....	668
15.2.3	Χειριστές .....	669
15.3	Αρχές Λογικής Επαλήθευσης.....	670
15.3.1	Διανύσματα Δοκιμής .....	670
15.3.2	Προγράμματα Test Bench .....	671
15.3.3	Δοκιμές Εξάντλησης .....	671
15.3.4	Διαχείριση & Έλεγχος Εκδόσεων .....	672
15.3.5	Παρακολούθηση Σφαλμάτων .....	673
15.4	Αρχές Αποσφαλμάτωσης Υλικού .....	673
15.5	Αρχές Δοκιμών Παραγωγής .....	676
15.5.1	Μοντέλα Αστοχιών .....	677
15.5.2	Παρατηρησιμότητα .....	679
15.5.3	Ελεγκσιμότητα .....	679
15.5.4	Επαναληψιμότητα .....	679
15.5.5	Επιβιωσιμότητα .....	679
15.5.6	Κάλυψη Λαθών .....	680
15.5.7	Αυτόματη Παραγωγή Διανυσμάτων Δοκιμής .....	680
15.5.8	Δοκιμή Λαθών Χρονισμού .....	680
15.6	Σχεδίαση για Ελεγκσιμότητα .....	681
15.6.1	Δοκιμές <i>ad hoc</i> .....	681
15.6.2	Σχεδίαση για Ανίχνευση.....	682

15.6.3	Ενωματωμένες Δομές Αυτο-Δοκιμής .....	684
15.6.4	Δοκιμή IDDQ .....	687
15.6.5	Σχεδίαση για Κατασκευασιμότητα.....	687
15.7	Ανίχνευση Ορίων .....	688
15.8	Δοκιμές σε Πανεπιστημιακό Περιβάλλον .....	689
	Σύνοψη του Κεφαλαίου .....	697
	Ασκήσεις.....	697

## Παράρτημα Α Γλώσσες Περιγραφής Hardware

A.1	Εισαγωγή .....	699
A.1.1	Λειτουργικές Μονάδες .....	700
A.1.2	Προσομοίωση και Σύνθεση .....	701
A.2	Συνδυαστική Λογική .....	702
A.2.1	Bitwise (Επιπέδου Bit) Τελεστές .....	702
A.2.2	Χρήση Σχολίων και Κενού Χώρου .....	703
A.2.3	Τελεστές Μείωσης .....	703
A.2.4	Ανάθεση Υπό Συνθήκη .....	704
A.2.5	Εσωτερικές Μεταβλητές .....	706
A.2.6	Προτεραιότητα και Άλλοι Τελεστές .....	708
A.2.7	Αριθμοί .....	708
A.2.8	Τα Ειδικά Σύμβολα Z και X .....	709
A.2.9	Ανάδευση Bit .....	711
A.2.10	Καθυστερήσεις .....	712
A.3	Μοντελοποίηση σε Επίπεδο Δομής .....	713
A.4	Ακολουθιακή Λογική .....	717
A.4.1	Καταχωρητές .....	717
A.4.2	Καταχωρητές με Δυνατότητα Επαναφοράς (Resettable).....	718
A.4.3	Καταχωρητές με Enable .....	719
A.4.4	Πολλαπλοί Καταχωρητές.....	720
A.4.5	Μανδαλωτές .....	721
A.4.6	Μετρητές .....	722
A.4.7	Καταχωρητές Ολίσθησης .....	724
A.5	Συνδυαστική Λογική με Δηλώσεις Always/Process .....	724
A.5.1	Εντολές Case .....	726
A.5.2	Εντολές If .....	729
A.5.3	Η Casez της SystemVerilog .....	731
A.5.4	Κλειδωμένες και μη-Κλειδωμένες Αναθέσεις .....	731
A.6	Μηχανές Πεπερασμένων Καταστάσεων .....	735
A.6.1	Παράδειγμα FSM .....	735
A.6.2	Απαρίθμηση Καταστάσεων .....	736
A.6.3	FSM με Εισόδους .....	738

A.7	Ιδιώματα Τύπων Δεδομένων .....	740
A.8	Παραμετροποιημένες Μονάδες .....	742
A.9	Μνήμη .....	745
A.9.1	RAM .....	745
A.9.2	Πολύθυρα Αρχεία Καταχωρητών .....	747
A.9.3	ROM .....	748
A.10	Προγράμματα Δοκιμής .....	749
A.11	Περιγραφές Netlist της SystemVerilog .....	754
A.12	Παράδειγμα: Ο Επεξεργαστής MIPS .....	755
A.12.1	Το Πρόγραμμα Testbench .....	756
A.12.2	SystemVerilog .....	757
A.12.3	VHDL .....	766
	Ασκήσεις .....	776
	Βιβλιογραφικές Παραπομπές.....	785
	Ευρετήριο.....	817

# Πρόλογος

Στις δύομισι δεκαετίες που έχουν περάσει από την πρώτη έκδοση του παρόντος βιβλίου, η τεχνολογία CMOS κατέκτησε την επιφανέστερη θέση στη σχεδίαση σύγχρονων ηλεκτρονικών συστημάτων. Αποτελέσε έναυσμα για την ευρύτατη διάδοση των συστημάτων ασύρματης επικοινωνίας, του Internet και των προσωπικών υπολογιστών. Καμιά άλλη εφεύρεση του ανθρώπου δεν γνώρισε τόσο ταχεία ανάπτυξη για τόσο παρατεταμένη χρονική περίοδο. Στα ολοκληρωμένα κυκλώματα τεχνολογίας αιχμής, τα πλήθη των τρανζίστορ και οι συχνότητες ρολογιού σημειώνουν αυξήσεις κατά πολλές τάξεις μεγέθους.

	1η Έκδοση	2η Έκδοση	3η Έκδοση	4η Έκδοση
Έτος	1985	1993	2004	2010
Πλήθος Τρανζίστορ	$10^5$ - $10^6$	$10^6$ - $10^7$	$10^8$ - $10^9$	$10^9$ - $10^{10}$
Συχνότητες Ρολογιού	$10^7$	$10^8$	$10^9$	$10^9$
Παγκόσμια Αγορά	\$25B	\$60B	\$170B	\$250B

Η παρούσα, τέταρτη κατά σειρά, έκδοση του βιβλίου είναι εκτενώς αναθεωρημένη και εμπλουτισμένη, ώστε να αντικατοπτρίζει με όσο το δυνατόν πληρέστερο τρόπο τις εξελίξεις που έλαβαν χώρα στον κόσμο των ολοκληρωμένων κυκλωμάτων την προηγούμενη δεκαετία. Παρότι οι βασικές αρχές παραμένουν, σε μεγάλο βαθμό, ίδιες, η κατανάλωση ισχύος και οι διακυμάνσεις της κατασκευαστικής διαδικασίας αποτελούν πλέον δύο από τους πρωταρχικούς παράγοντες στη σχεδίαση ολοκληρωμένων. Για το λόγο αυτό, έχουμε αναδιοργανώσει την ύλη του βιβλίου με τρόπο ώστε να συνάδει με τη σπουδαιότητα αυτών των παραγόντων: καθυστέρηση, κατανάλωση ισχύος, διασύνδεση και ζητήματα ευρωστίας/αξιοπιστίας. Επιπλέον, αλλάξαμε την αλληλουχία των κεφαλαίων με βάση τη σειρά με την οποία διδάσκουμε τη σχετική ύλη.

## Υποδείξεις για την Καλύτερη Αξιοποίηση του Βιβλίου

Η θεματολογία του βιβλίου εκτείνεται, σκοπίμως, σε πολύ μεγαλύτερο εύρος και βάθος απ' όσο θα μπορούσε να καλύψει έναν εξαμηνιαίο κύκλο μαθημάτων. Είναι γραμμένο με τρόπο ώστε να υποστηρίζει άμεσα έναν πρώτο κύκλο μαθημάτων πάνω στο σχεδιασμό συστημάτων VLSI, αλλά ταυτόχρονα επαρκώς λεπτομερές και αναλυτικό ώστε να εξυπηρετεί ως αναφορά για τον επαγγελματία μηχανικό. Σας συνιστούμε να διαβάσετε τα θέματά του με την σειρά που ταιριάζει στις ανάγκες και τα ενδιαφέροντά σας. Το Κεφάλαιο 1 δίνει μια αρχική, εποπτική παρουσίαση ολόκληρου του πεδίου, ενώ τα επόμενα κεφάλαια αναπτύσσουν διεξοδικά συγκεκριμένα θέματα. Οι ενότητες που εισημούνται με το εικονίδιο «OPTIONAL» (όπως το βλέπετε εδώ, στο περιθώριο), δεν είναι απολύτως απαραίτητες για την κατανόηση των επόμενων εννοιών. Μπορείτε να τις παρακάμψετε κατά την πρώτη ανάγνωση και να επανέλθετε σ' αυτές αργότερα, όταν θα τις χρειαστείτε.

Καταβάλλαμε κάθε δυνατή προσπάθεια να συμπεριλάβουμε όσο το δυνατόν περισσότερα σχήματα, επειδή πιστεύουμε ότι μια εικόνα αξίζει πράγματι όσο χίλιες λέξεις, αλλά και ως έναν επιπλέον ερέθισμα για τη σκέψη σας. Όσον αφορά τα παραδείγματα που θα συναντήσετε σε όλη την έκταση του βιβλίου, σας συνιστούμε να τα μελετάτε μόνοι σας, πριν διαβάσετε τις λύσεις. Συμπεριλάβαμε επίσης εκτενή βιβλιο-



γραφία στο τέλος του βιβλίου, για όσους αναγνώστες επιθυμούν να εμβαθύνουν περισσότερο σε συγκεκριμένα θέματα. Δίνουμε ιδιαίτερη έμφαση στις βέλτιστες πρακτικές που ακολουθούνται στη βιομηχανία των ημιαγωγών και επισημαίνουμε επίσης διάφορους κινδύνους και πλάνες που θα μπορούσαν να σας προβληματίσουν.

Οι κρίσεις και οι απόψεις μας αναφορικά με τις αρετές διάφορων κυκλωμάτων μπορεί να απωλέσουν την ορθότητα ή την επικαιρότητά τους καθώς εξελίσσεται η τεχνολογία και οι εφαρμογές· πιστεύουμε, όμως, ότι ένας συγγραφέας οφείλει να αναφέρει όλες εκείνες τις πληροφορίες που θεωρεί εύστοχες και σχετικές με το θέμα του έργου του.

## Συμπληρωματικά Βοηθήματα

Στον συνοδευτικό ιστότοπο του βιβλίου, [www.cmosvlsi.com](http://www.cmosvlsi.com), υπάρχουν διάφορα συμπληρωματικά βοηθήματα για τους ενδιαφερόμενους αναγνώστες. Συγκεκριμένα, τα βοηθήματα που απευθύνονται κυρίως σε σπουδαστές είναι:

- Ένα εγχειρίδιο με ασκήσεις εργαστηρίου που αφορούν τη σχεδίαση ενός 8-bit μικροεπεξεργαστή, η οποία παρουσιάζεται στο Κεφάλαιο 1.
- Μια συλλογή συνδέσμων προς χρήσιμες πηγές πληροφοριών για συστήματα VLSI, συμπεριλαμβανομένων εφαρμογών CAD ανοιχτού κώδικα και λιστών παραμέτρων για διάφορες τεχνολογίες κατασκευής.
- Ένα εγχειρίδιο, το οποίο περιλαμβάνει τις λύσεις για τις περιττά αριθμημένες ασκήσεις του βιβλίου.
- Συγκεκριμένες ενότητες ύλης διατίθενται σε ηλεκτρονική μορφή, σε μια προσπάθεια να κρατήσουμε σε λογικά επίπεδα το μέγεθος του βιβλίου. Αυτές οι ενότητες αναφέρονται επιγραμματικά στο βιβλίο και επισημαίνονται με το εικονίδιο «Web Enhanced» (το οποίο βλέπετε εδώ, στο περιθώριο).

Στα συμπληρωματικά βοηθήματα για καθηγητές περιλαμβάνονται τα ακόλουθα:

- Ένα δείγμα διδακτέας ύλης.
- Διαφάνειες διαλέξεων για έναν εισαγωγικό κύκλο μαθημάτων με θέμα τη σχεδίαση συστημάτων VLSI.
- Ένα «εγχειρίδιο καθηγητή» με λύσεις.

Τα παραπάνω υλικά έχουν δημιουργηθεί αποκλειστικά για τους καθηγητές που χρησιμοποιούν το βιβλίο στα μαθήματά τους. Για πληροφορίες σχετικά με το πώς μπορείτε να τα αποκτήσετε, παρακαλούμε επικοινωνήστε μαζί μας, στη διεύθυνση [computing@aw.com](mailto:computing@aw.com).

## Ευχαριστίες

Οφείλουμε ευγνωμοσύνη σε μια μεγάλη ομάδα ανθρώπων που συνέβαλλαν, με υποδείξεις, κριτικές και τεχνικές πληροφορίες, στο να γίνει καλύτερο αυτό το βιβλίο. Θα τους αναφέρουμε ονομαστικά, χωρίς να μακρηγορήσουμε: Bharadwaj "Birdy" Amrutur, Mark Anders, Adnan Aziz, Jacob Baker, Kaustav Banerjee, Steve Bibyk, David Blaauw, Erik Brunvand, Neil Burgess, Wayne Burleson, Robert Drost, Jo Ebergen, Sarah Harris, Jacob Herbold, Ron Ho, David Hopkins, Mark Horowitz, Steven Hsu, Tanay Karnik, Omid Kaveh, Matthew Keeter, Ben Keller, Ali Keshavarzi, Bruce Khailany, Jaeha Kim, Volkan Kursun, Simon Knowles, Ram Krishnamurthy, Austin Lee, Ana Sonia Leon, Shih-Lien Lu, Sanu Mathew, Aleksandar Milenkovic, Sam Naffziger, Braden Phillips, Stefan Rusu, Justin Schauer, James Stine, Jason Stinson, Aaron Stratton, Ivan Sutherland, Jim Tschanz, Alice Wang, Gu-Yeon Wei, and Peiyi Zhao. Απολογούμαστε εκ των προτέρων εάν τυχόν παραλείψαμε κάποιους.

Οφείλουμε επίσης να αναφέρουμε τη συμβολή των MOSIS και IBM, οι οποίες μας παρείχαν την άδεια να χρησιμοποιήσουμε μοντέλα SPICE σε πολλά παραδείγματα. Επιπλέον, ο Nathaniel Pinckney αφιέρωσε

ένα ολόκληρο καλοκαίρι στον έλεγχο των ασκήσεων εργαστηρίου και την ανανέωση των προσομοιώσεων. Ο Jaeha Kim συνεισέφερε υλικό για τις νέες ενότητες με θέμα τους βρόχους κλειδωμένης φάσης (phase-locked loops) και τα υψηλής ταχύτητας υποσυστήματα εισόδου/εξόδου που παρουσιάζονται στο Κεφάλαιο 13. Ο David θα ήθελε επίσης να ευχαριστήσει τον Bharadwaj Amrutur από το Ινδικό Ινστιτούτο Επιστημών και τον Braden Phillips από το Πανεπιστήμιο της Αδελαΐδας για τη φιλοξενία που του παρείχαν κατά τη διάρκεια δύο πολύ παραγωγικών (από συγγραφικής απόψεως) καλοκαιριών.

Ο εκδοτικός οίκος Addison-Wesley έκανε αξιόπαινη δουλειά στους τομείς της επιμέλειας και παραγωγής της έκδοσης. Ειδικότερα, θα θέλαμε να ευχαριστήσουμε τους συνεργάτες μας, Matt Goldstein και Gillian Hall. Η Sally Harris επιμελείται τα βιβλία της οικογένειας από τότε που ο David ήταν ακόμα βρέφος στην αγκαλιά της. Διάβασε τα δοκίμια με εκπληκτική προσήλωση στη λεπτομέρεια και συνέβαλλε στον εντοπισμό και τη διόρθωση πολλών λαθών.

Δεν θα είχαμε καταφέρει να ολοκληρώσουμε αυτό το βιβλίο χωρίς τη διαρκή υποστήριξη των οικογενειών μας. Ο David θα ήθελε να ευχαριστήσει ιδιαίτερα τη σύζυγό του, Jennifer, και τα παιδιά του, Abraham και Samuel, που άντεξαν την απουσία του κατά τη διάρκεια των δύο καλοκαιριών του συγγραφικού έργου, καθώς και τα υπόλοιπα μέλη της οικογένειας για την τεράστια υποστήριξη που του παρείχαν.

Γνωρίζουμε, εκ πείρας, την ευκολία με την οποία παρισφύρουν τα λάθη σ' ένα βιβλίο. Αρκετοί αναγνώστες της 3ης έκδοσης μας υπέδειξαν σφάλματα τα οποία έχουμε διορθώσει στην παρούσα έκδοση. Ωστόσο, παρόλες τις κοπώδεις και επισταμένες προσπάθειές μας, είμαστε σίγουροι ότι κάποια λάθη θα έχουν καταφέρει να βρουν μια θέση και στη νέα έκδοση του βιβλίου. Παρακαλούμε ανατρέξτε στη σελίδα αναφοράς σφαλμάτων (errata), στον ιστότοπο [www.cmosvlsi.com](http://www.cmosvlsi.com), για λάθη που έχουν ήδη εντοπιστεί. Εάν εντοπίσετε εσείς κάποιο λάθος, μπορείτε να μας το υποδείξετε μ' ένα email στη διεύθυνση [bugs@cmosvlsi.com](mailto:bugs@cmosvlsi.com).

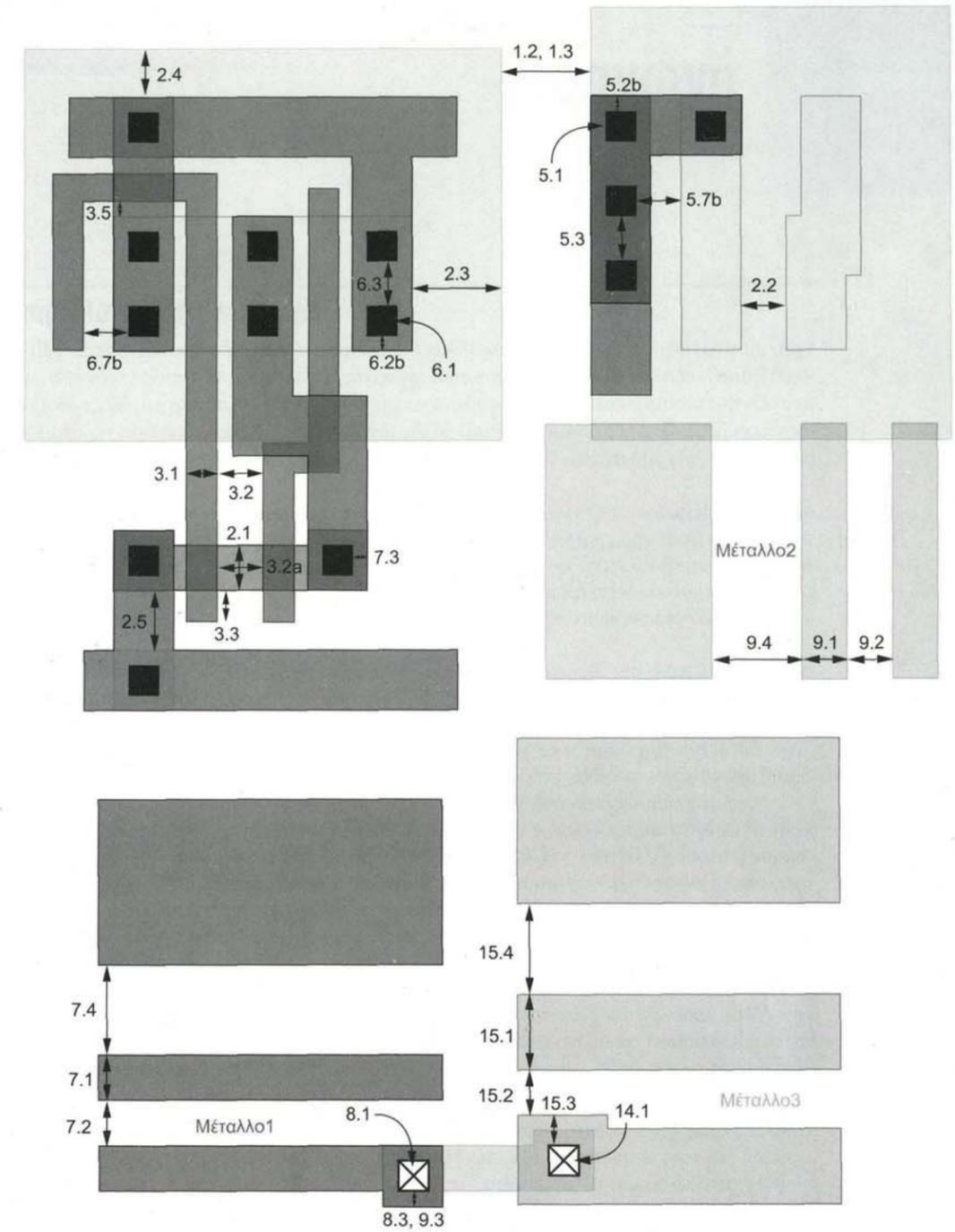
N. W.

D. M. H.

Ιανουάριος 2010

**Κανόνες Σχεδίασης SUBM της MOSIS (3 στρώσεις μέταλλου, 1 στρώση πολυπυριτίου με προβλέψεις για περάσματα & επαφές)**

Στρώση	Κανόνας	Περιγραφή	Κανόνας (λ)
N-πηγάδι	1.1	Πλάτος	12
	1.2	Απόσταση έως πηγάδι σε διαφορετικό δυναμικό	18
	1.3	Απόσταση έως πηγάδι σε ίδιο δυναμικό	6
Ενεργή (διάχυση)	2.1	Πλάτος	3
	2.2	Απόσταση έως ενεργή	3
	2.3	Πηγή/υποδοχή που περιβάλλεται από πηγάδι	6
	2.4	Επαφή υποστρώματος/πηγαδιού που περιβάλλεται από πηγάδι	3
	2.5	Απόσταση έως ενεργή αντίθετου τύπου	4
Πολυπυρίτιο	3.1	Πλάτος	2
	3.2	Απόσταση έως πολυπυρίτιο πάνω από οξειδίο πεδίου	3
	3.2a	Απόσταση έως πολυπυρίτιο πάνω από ενεργή	3
	3.3	Επέκταση πύλης έξω από ενεργή	2
	3.4	Επέκταση ενεργής έξω από πολυπυρίτιο	3
	3.5	Απόσταση πολυπυριτίου έως ενεργή	1
Επιλογής (n ή p)	4.1	Απόσταση από επαφή υποστρώματος/πηγαδιού έως πύλη	3
	4.2	Επικάλυψη ενεργής	2
	4.3	Επικάλυψη επαφής υποστρώματος/πηγαδιού	1
	4.4	Απόσταση έως επιλογής	2
Επαφών (με πολυπυρίτιο ή ενεργή)	5.1, 6.1	Πλάτος (ακριβές)	2 x 2
	5.2b, 6.2b	Επικάλυψη από πολυπυρίτιο ή ενεργή	1
	5.3, 6.3	Απόσταση έως επαφή	3
	5.4, 6.4	Απόσταση έως πύλη	2
	5.5b	Απόσταση επαφής πολυπυριτίου έως άλλο πολυπυρίτιο	5
	5.7b, 6.7b	Απόσταση έως ενεργή/πολυπυρίτιο για πολλαπλές επαφές πολυπυριτίου/ενεργής	3
	6.8b	Απόσταση επαφής ενεργής περιοχής έως επαφή πολυπυριτίου	4
Μέταλλο1, Μέταλλο2	7.1, 9.1	Πλάτος	3
	7.2, 9.2	Απόσταση έως ίδια στρώση μέταλλο	3
	7.3, 8.3, 9.3	Επικάλυψη επαφής ή περάσματος	1
	7.4, 9.4	Απόσταση έως μέταλλο για γραμμές πλάτους μεγαλύτερου από 10 λ	6
Πέρασμα1, Πέρασμα2	8.1, 14.1	Πλάτος (ακριβές)	2 x 2
	8.2, 14.2	Απόσταση έως πέρασμα στην ίδια στρώση	3
Μέταλλο3	15.1	Πλάτος	5
	15.2	Απόσταση έως μέταλλο	3
	15.3	Επικάλυψη περάσματος	2
	15.4	Απόσταση έως μέταλλο για γραμμές πλάτους μεγαλύτερου από 10 λ	6
Τομή επύαλου (overglass)	10.1	Πλάτος ανοίγματος ακροδέκτη δεσμού	60 μm
	10.2	Πλάτος ανοίγματος ακροδέκτη δοκιμής	20 μm
	10.3	Επικάλυψη Μετάλλου3 σε τομή overglass	6 μm
	10.4	Απόσταση μέταλλο ακροδέκτη με μη-σχετιζόμενο μέταλλο	30 μm
	10.5	Απόσταση μέταλλο ακροδέκτη με ενεργή ή πολυπυρίτιο	15 μm



**Κανόνες Σχεδίασης MOSIS**

## 1.1 Σύντομη Ιστορική Αναδρομή

Το 1958, ο Jack Kilby κατασκεύασε το πρώτο ολοκληρωμένο κύκλωμα flip-flop με δύο τρανζίστορ, στην Texas Instruments. Φτάνοντας στο 2008, ο μικροεπεξεργαστής Itanium της Intel περιέχει πάνω από 2 δισεκατομμύρια τρανζίστορ, ενώ μια μνήμη Flash των 16 Gb περιέχει πάνω από 4 δισεκατομμύρια τρανζίστορ. Η εξέλιξη αυτή αντιστοιχεί σε ετήσιο ρυθμό ανάπτυξης της τάξης του 53%, αμείωτο για 50 ολόκληρα χρόνια. Καμία άλλη τεχνολογία στην ιστορία δεν διατήρησε τόσο υψηλό ρυθμό ανάπτυξης για τόσο μεγάλο χρονικό διάστημα.

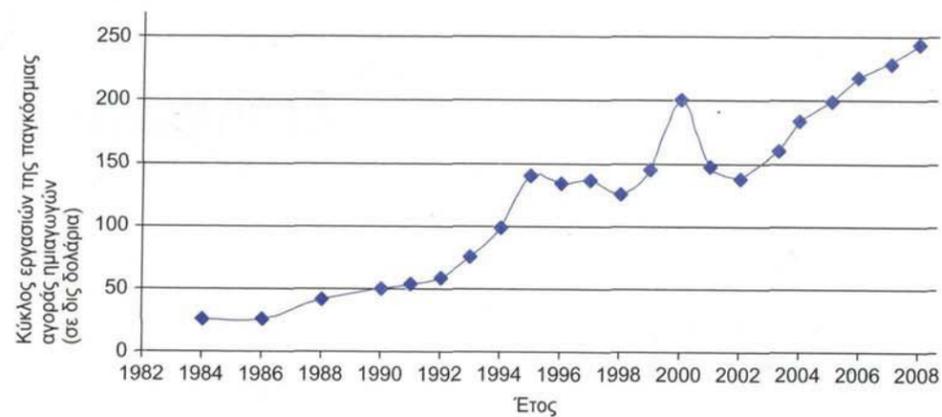
Αυτή η εκπληκτική ανάπτυξη οφείλεται αφενός στη συνεχή σμίκρυνση των τρανζίστορ και αφετέρου στις βελτιώσεις στην τεχνολογία κατασκευής. Στην πλειονότητά τους, τα πεδία της μηχανικής αντιμετωπίζουν συμβιβασμούς μεταξύ απόδοσης, ισχύος και κόστους. Ωστόσο, καθώς τα τρανζίστορ μικραίνουν σε μέγεθος, γίνονται επίσης ταχύτερα, καταναλώνουν λιγότερη ισχύ και έχουν μικρότερο κόστος κατασκευής. Η σύμπτωση όλων αυτών των τεχνολογιών και των χαρακτηριστικών δεν έχει επιφέρει επανάσταση μόνο στην ηλεκτρονική, αλλά και στην κοινωνία γενικότερα.

Τα επίπεδα επεξεργαστικής ισχύος που χαρακτήριζαν τους υπερυπολογιστές του παρελθόντος είναι σήμερα διαθέσιμα σε καταναλωτικές συσκευές, όπως τα κινητά τηλέφωνα. Η μνήμη που χρειαζόταν κάποτε το λογιστήριο μιας μεγάλης εταιρείας είναι σήμερα διαθέσιμη στα iPod. Η εξέλιξη των ολοκληρωμένων κυκλωμάτων διευκόλυνε την εξερεύνηση του διαστήματος, έκανε τα αυτοκίνητα πιο αποδοτικά, έφερε επανάσταση στη διεξαγωγή του πολέμου, έκανε σχεδόν το σύνολο της ανθρώπινης γνώσης διαθέσιμο σε κάθε χρήση μιας εφαρμογής web browser και μετέτρεψε τη Γη σ' ένα «παγκόσμιο χωριό».

Το Σχήμα 1.1 παρουσιάζει τον ετήσιο όγκο πωλήσεων της παγκόσμιας αγοράς ημιαγωγών. Το 1994, η βιομηχανία ολοκληρωμένων κυκλωμάτων είχε κύκλο εργασιών της τάξεως των 100 δισεκατομμυρίων δολαρίων. Το 2007, η ίδια αγορά παρήγαγε περίπου 6 εννεάκις εκατομμύρια ( $6 \times 10^{18}$ ) τρανζίστορ – σχεδόν ένα δισεκατομμύριο για κάθε ανθρώπινο ον στον πλανήτη. Χιλιάδες μηχανικοί έκαναν περιουσία δραστηριοποιούμενοι σ' αυτό τον τομέα, ενώ νέες περιουσίες περιμένουν όσους έχουν καινοτόμες ιδέες και το ταλέντο να τις κάνουν πραγματικότητα.

Στο πρώτο μισό του 20ού αιώνα, τα ηλεκτρονικά κυκλώματα χρησιμοποιούσαν μεγάλες, ακριβές, ενεργοβόρες και αναξιόπιστες λυχνίες κενού. Το 1947, στα Bell Laboratories, οι John Bardeen και Walter Brattain κατασκεύασαν το πρώτο λειτουργικό τρανζίστορ επαφής σημείου, το οποίο παρουσιάζεται στο Σχήμα 1.2 [Riordan 97]. Λίγο έλλειψε να χαρακτηριστεί στρατιωτικό απόρρητο, αλλά τελικά τα Bell Labs ανακοίνωσαν δημόσια την ανακάλυψη την επόμενη χρονιά.

*Το ονομάσαμε τρανζίστορ (T-R-A-N-S-I-S-T-O-R) διότι είναι ένας αντιστάτης (resistor), ή, ακριβέστερα, ένα ημιαγωγό στοιχείο το οποίο μπορεί να ενισχύει τα ηλεκτρικά σήματα που μεταφέρονται μέσα από αυτό, από τον ακροδέκτη εισόδου στους ακροδέκτες εξόδου. Είναι, εάν θέλετε, το ηλεκτρικό ισοδύναμο ενός ενισχυτή λυχνίας κενού. Ωστόσο, η ομοιότητα σταματά εκεί. Δεν έχει κενό, νήμα πυράκτωσης και γυάλινο σωλήνα. Αποτελείται αποκλειστικά από ψυχρά, στερεά υλικά.*

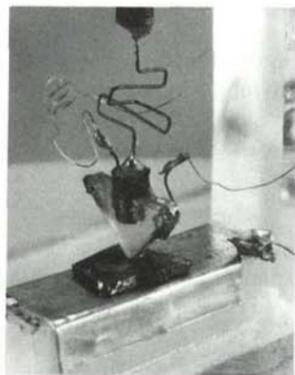


ΣΧΗΜΑ 1.1 Το μέγεθος της παγκόσμιας αγοράς ημιαγωγών (Πηγή: Semiconductor Industry Association).

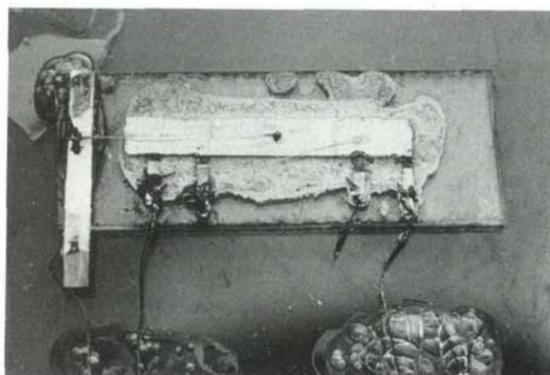
Δέκα χρόνια αργότερα, ο Jack Kilby στην Texas Instruments συνειδητοποίησε τις δυνατότητες σμίκρυνσης που θα επιτυγχάνονταν, εάν μπορούσαν να κατασκευαστούν πολλαπλά τρανζίστορ πάνω σ' ένα κομμάτι πυριτίου. Το Σχήμα 1.2(β) παρουσιάζει το πρώτο πρωτότυπο ολοκληρωμένου κυκλώματος που κατασκεύασε ο ίδιος, χρησιμοποιώντας μία φέτα γερμανίου και αγωγούς από χρυσό.

Το 1956, οι επιστήμονες Bardeen, Brattain, καθώς και ο συνεργάτης τους William Shockley κέρδισαν το Nobel Φυσικής για την εφεύρεση του τρανζίστορ. Ο Kilby έλαβε το Nobel Φυσικής το 2000, για την εφεύρεση του ολοκληρωμένου κυκλώματος.

Τα τρανζίστορ μπορούν να θεωρηθούν ηλεκτρικά ελεγχόμενοι διακόπτες, με έναν ακροδέκτη ελέγχου και δύο άλλους ακροδέκτες, οι οποίοι είναι συνδεδεμένοι ή αποσυνδεδεμένοι, ανάλογα με την τάση ή το ρεύμα που εφαρμόζεται στον ακροδέκτη ελέγχου. Σύντομα μετά την εφεύρεση του τρανζίστορ επαφής σημείου, τα Bell Labs ανέπτυξαν το διπολικό τρανζίστορ επαφής (bipolar junction transistor), το οποίο ήταν πιο αξιόπιστο, με λιγότερο θόρυβο, και πιο αποδοτικό ως προς την ισχύ. Τα πρώτα ολοκληρωμένα κυκλώματα χρησιμοποιούσαν κυρίως διπολικά τρανζίστορ. Τα διπολικά τρανζίστορ απαιτούν ένα μικρό ρεύμα στον ακροδέκτη ελέγχου (βάση) για να μεταγάγουν πολύ μεγαλύτερα ρεύματα μεταξύ των άλλων δύο ακροδεκτών (εκπομπός και συλλέκτης). Η ισχύς ηρεμίας (quiescent power) που καταναλώνεται από αυτά τα ρεύματα βάσης, τα οποία το κύκλωμα τραβάει ακόμα κι όταν δεν μεταγάγει, περιορίζει το μέγιστο αριθμό των τρανζίστορ που μπορούν να ολοκληρωθούν σε μία ψηφίδα. Τη δεκαετία του '60, μπήκαν στην παραγωγή τα τρανζίστορ επίδρασης πεδίου μετάλλου-οξειδίου-ημιαγωγού (Metal Oxide Semicon-



(α)



(β)

ΣΧΗΜΑ 1.2 (α) Το πρώτο τρανζίστορ (Κάτοχος: AT&T Archives. Αναπαράγεται με την άδεια της AT&T). (β) Το πρώτο ολοκληρωμένο κύκλωμα (πηγή: Texas Instruments).

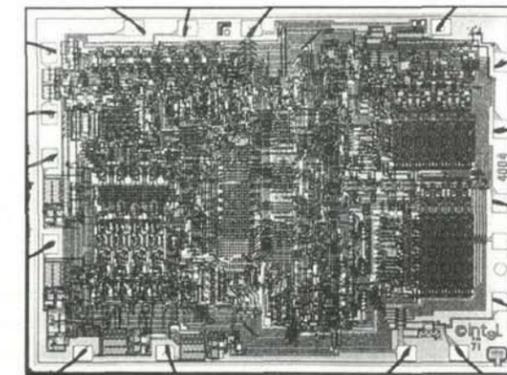
ductor Field Effect Transistor, MOSFET). Τα MOSFET έχουν το ελκυστικό πλεονέκτημα ότι λειτουργούν με σχεδόν μηδενικό ρεύμα ελέγχου όταν είναι άεργα. Υπάρχουν δύο τύποι MOSFET, το nMOS και το pMOS τρανζίστορ, οι οποίοι χρησιμοποιούν πυρίτιο n-τύπου και p-τύπου, αντίστοιχα. Η αρχική ιδέα για τα τρανζίστορ επίδρασης πεδίου ανάγεται στο 1925 και το Γερμανό επιστήμονα J. Lilienfeld [ευρεσιτεχνία 1.475.175 στις ΗΠΑ], ενώ μια δομή που έμοιαζε σημαντικά με το τρανζίστορ MOSFET προτάθηκε το 1935 από τον Oscar Heil [αρ. ευρεσιτεχνίας 439,457 στη Μ. Βρετανία]. Ωστόσο, λόγω προβλημάτων που σχετίζονταν με τα υλικά, αυτές τις πρώτες προσπάθειες κατασκευής αξιόπιστων ημιαγωγών δεν καρποφόρησαν.

Το 1963, ο Frank Wanlass στην εταιρεία Fairchild περιέγραψε τις πρώτες λογικές πύλες χρησιμοποιώντας MOSFET [Wanlass63]. Οι πύλες του χρησιμοποιούσαν pMOS και nMOS τρανζίστορ και γι' αυτό ονομάστηκαν συμπληρωματικοί ημιαγωγοί μετάλλου-οξειδίου (Complementary Metal Oxide Semiconductor, CMOS). Αν και τα κυκλώματα αυτά χρησιμοποιούσαν διακριτά τρανζίστορ, καταλάωναν ισχύ της τάξης των nanowatt - δηλαδή, έξι τάξεις μεγέθους μικρότερη από τα αντίστοιχα διπολικά. Με την ανάπτυξη της επίπεδης επεξεργασίας πυριτίου, τα ολοκληρωμένα κυκλώματα MOS έγιναν ελκυστικά λόγω του χαμηλού κόστους τους, δεδομένου ότι κάθε τρανζίστορ καταλάμβανε λιγότερη επιφάνεια και η διαδικασία κατασκευής ήταν απλούστερη [Vadasz69]. Οι πρώτες εμπορικές τεχνολογίες κατασκευής χρησιμοποιούσαν μόνο pMOS τρανζίστορ και αντιμετώπιζαν προβλήματα στους τομείς των επιδόσεων, της απόδοσης παραγωγής και της αξιοπιστίας. Οι τεχνολογίες που χρησιμοποιούσαν nMOS τρανζίστορ κυριάρχησαν τη δεκαετία του '70 [Mead80]. Η Intel πρωτοπόρησε με την τεχνολογία nMOS, κατασκευάζοντας τη στατική μνήμη τυχαίας προσπέλασης (SRAM) 1101 με χωρητικότητα 256-bit και τον 4-bit μικροεπεξεργαστή 4004 (Σχήμα 1.3). Αν και η τεχνολογία κατασκευής nMOS ήταν πιο φθηνή από την CMOS, οι λογικές πύλες nMOS καταλάωναν ισχύ ακόμα και σε κατάσταση αδράνειας. Η κατανάλωση ισχύος έγινε σημαντικό ζήτημα κατά τη δεκαετία του '80, καθώς ολοκληρώνονταν πλέον εκατοντάδες χιλιάδες τρανζίστορ πάνω σε μία ψηφίδα. Για το λόγο αυτό υιοθετήθηκε ευρέως η τεχνολογία CMOS, η οποία ουσιαστικά αντικατέστησε την nMOS και την διπολική τεχνολογία σε όλες σχεδόν τις εφαρμογές ψηφιακής λογικής.

Το 1965, ο Gordon Moore παρατήρησε ότι εάν παρασταθεί γραφικά ο αριθμός των τρανζίστορ που μπορούν να κατασκευαστούν με τον πλέον οικονομικό τρόπο σ' ένα ολοκληρωμένο κύκλωμα, προκύπτει μια ευθεία γραμμή σε ημιλογαριθμική κλίμακα [Moore65]. Εκείνη την εποχή, διαπίστωσε ότι ο αριθμός των τρανζίστορ ανά ολοκληρωμένο διπλασιάζονταν κάθε 18 μήνες. Η εκασία αυτή ονομάστηκε νόμος του Moore και έκτοτε έγινε μια αυτοεκπληρούμενη προφητεία. Το Σχήμα 1.4 υποδεικνύει ότι ο αριθμός των τρανζίστορ στους μικροεπεξεργαστές της Intel διπλασιάζεται κάθε 26 μήνες, από την παρουσίαση του 4004 και μετά. Ο νόμος του Moore επαληθεύεται κυρίως λόγω της σμίκρυνσης των διαστάσεων των τρανζίστορ και, σε μικρότερο βαθμό, λόγω της κατασκευής μεγαλύτερων ολοκληρωμένων. Ο βαθμός ολοκλήρωσης των ολοκληρωμένων κυκλωμάτων χαρακτηρίζεται με κλίμακες: μικρή, μεσαία, μεγάλη και πολύ μεγάλη κλίμακα ολοκλήρωσης. Συγκεκριμένα, τα κυκλώματα μικρής κλίμακας ολοκλήρωσης (Small-Scale Integration,

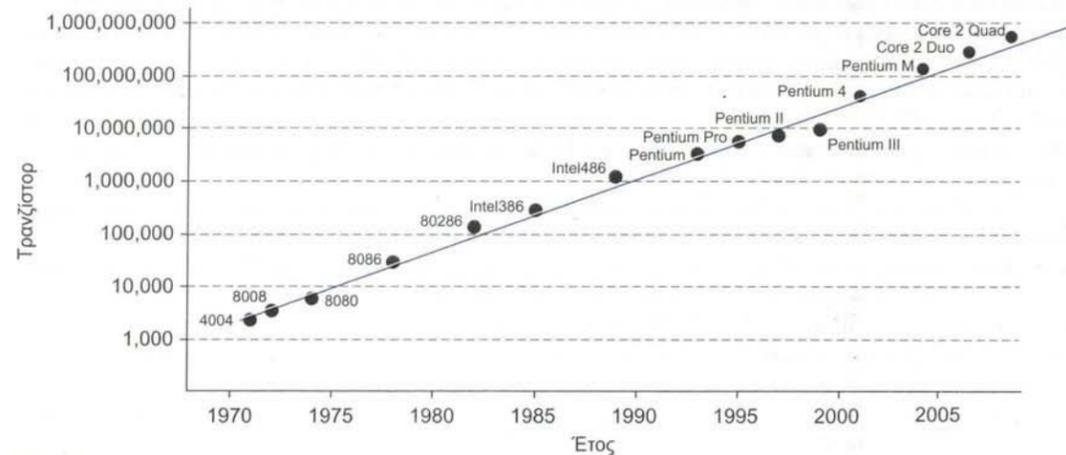


(α)



(β)

ΣΧΗΜΑ 1.3 (α) Η μνήμη SRAM 1101 της Intel (© IEEE 1969 [Vadasz69]). (β) Ο μικροεπεξεργαστής 4004 (αναπαράγεται με την άδεια της Intel Corporation).

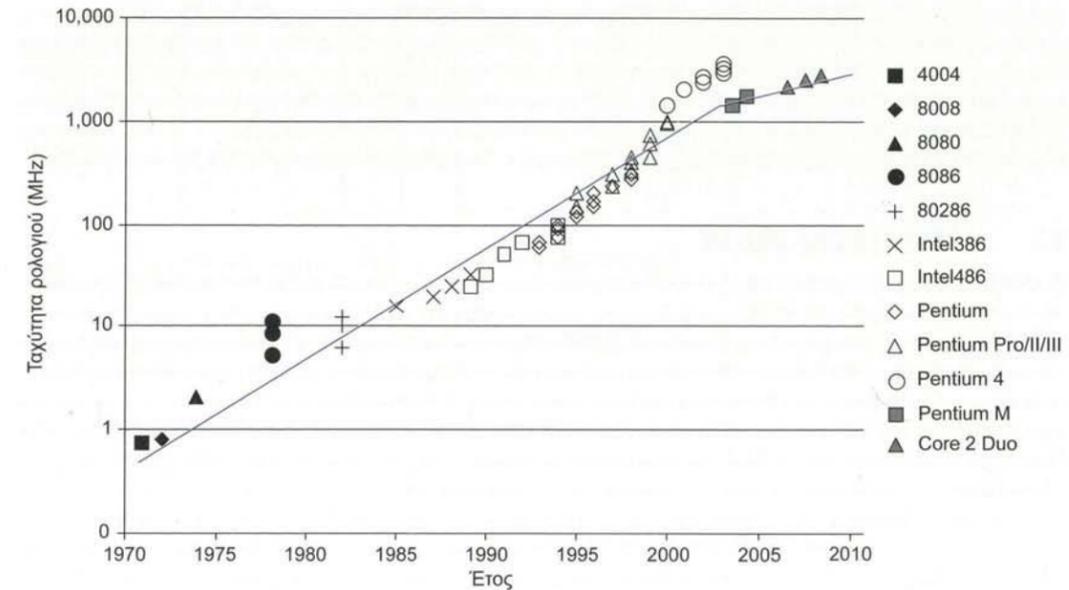


ΣΧΗΜΑ 1.4 Αριθμός τρανζίστορ σε μικροεπεξεργαστές της Intel [Intel10].

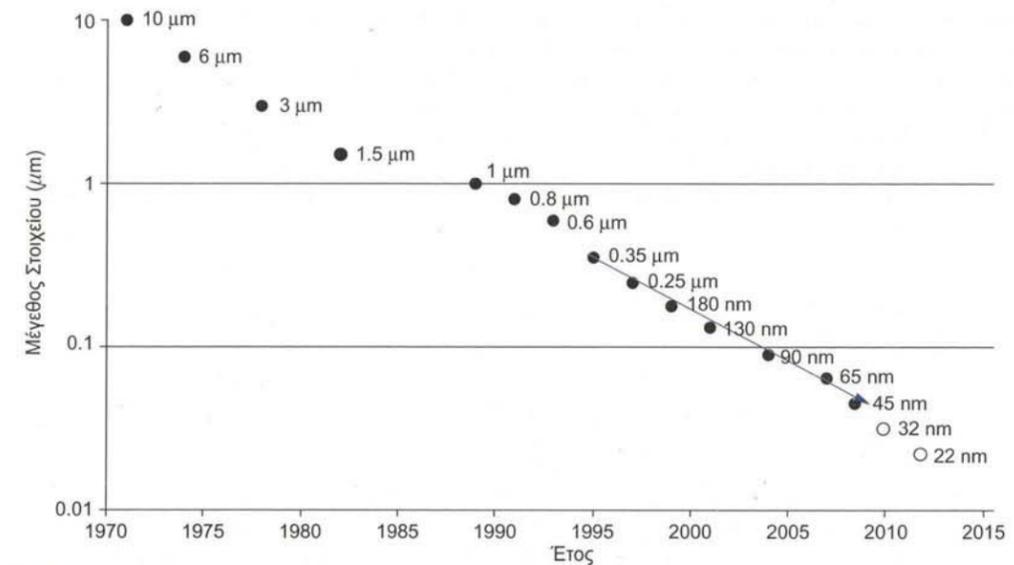
SSI), όπως ο αντιστροφικός 7404, έχουν λιγότερες από 10 πύλες και περίπου 6 τρανζίστορ ανά πύλη. Τα κυκλώματα μεσαίας κλίμακας ολοκλήρωσης (Medium-Scale Integration, MSI), όπως ο μετρητής 74161, έχουν έως 1000 πύλες. Τα κυκλώματα μεγάλης κλίμακας ολοκλήρωσης (Large-Scale Integration, LSI), όπως οι απλοί 8-bit μικροεπεξεργαστές, έχουν έως 10.000 πύλες. Σύντομα, έγινε εμφανές ότι θα έπρεπε να επνοούνται νέα ονόματα κάθε πέντε χρόνια εάν συνεχιζόταν αυτό το σχήμα ονοματοδοσίας: έτσι, ο όρος *ολοκλήρωση πολύ μεγάλης κλίμακας* (Very Large-Scale Integration, VLSI) χρησιμοποιείται για να περιγράψει τα περισσότερα ολοκληρωμένα κυκλώματα που κατασκευάζονται από τη δεκαετία του '80 και μετά. Ένα επακόλουθο του νόμου του Moore είναι ο αποκαλούμενος *νόμος κλιμάκωσης του Dennard* [Dennard74], ο οποίος ορίζει ότι καθώς τα τρανζίστορ γίνονται ταχύτερα, καταναλώνουν λιγότερη ισχύ και η κατασκευή τους στοιχίζει φθηνότερα. Το Σχήμα 1.5 δείχνει ότι οι συχνότητες ρολογιού των μικροεπεξεργαστών της Intel διπλασιάζονται περίπου κάθε 34 μήνες. Αυτή η αυξητική τάση της συχνότητας έφτασε σ' ένα οριακό σημείο περί το 2004 και οι συχνότητες ρολογιού ισορρόπησαν γύρω στα 3 GHz. Η απόδοση των υπολογιστών, μετρούμενη σε χρόνο που απαιτείται για την εκτέλεση εφαρμογών, έχει αυξηθεί περισσότερο από τη φυσική ταχύτητα ρολογιού. Επί του παρόντος, οι βελτιώσεις στην απόδοση οδηγούνται από τον αριθμό των πυρήνων που περιλαμβάνονται σ' ένα ολοκληρωμένο παρά από την ταχύτητα ρολογιού. Παρόλο που ένα μεμονωμένο τρανζίστορ CMOS χρησιμοποιεί πολύ λίγη ενέργεια κάθε φορά που μεταγάγει, ο τεράστιος αριθμός των τρανζίστορ που μεταγάγουν σε πολύ υψηλές ταχύτητες έχει καταστήσει την κατανάλωση ισχύος μείζον ζήτημα για τη σχεδίαση ολοκληρωμένων. Επιπλέον, λόγω του εξαιρετικά μικρού μεγέθους, τα τρανζίστορ δεν αποκρίνουν πλέον πλήρως. Οι μικρές ποσότητες ρεύματος που διαρρέουν κάθε τρανζίστορ, πολλαπλασιαζόμενες επί τα εκατομμύρια ή δισεκατομμύρια τρανζίστορ που περιλαμβάνει ένα ολοκληρωμένο, οδηγούν σε σημαντική κατανάλωση ισχύος.

Το μέγεθος με το οποίο χαρακτηρίζεται μια τεχνολογία κατασκευής CMOS αναφέρεται στην ελάχιστη διάσταση με την οποία μπορεί να κατασκευαστεί αξιόπιστα ένα τρανζίστορ (feature size, χαρακτηριστική διάσταση). Το 1971, ο 4004 χρησιμοποιούσε τρανζίστορ μεγέθους 10  $\mu\text{m}$ . Το 2008, ο Core 2 Duo είχε τρανζίστορ των 45 nm. Οι κατασκευαστές παρουσιάζουν μια νέα γενιά τεχνολογίας κατασκευής (αποκαλείται επίσης κόμβος τεχνολογίας) κάθε 2-3 χρόνια, με 30% μικρότερο μέγεθος τρανζίστορ και δυνατότητα συγκέντρωσης διπλάσιου αριθμού τρανζίστορ στην ίδια επιφάνεια. Το Σχήμα 1.6 παρουσιάζει την εξέλιξη των γενεών της τεχνολογίας. Γενικά, τα μεγέθη έως 0.25  $\mu\text{m}$  εκφράζονται σε μικρόμετρα (microns,  $10^{-6}\text{ m}$ ), ενώ τα μικρότερα μεγέθη εκφράζονται σε νανόμετρα ( $10^{-9}\text{ m}$ ). Φαινόμενα τα οποία ήταν σχετικά ήσυχος στις μικρομετρικές τεχνολογίες, όπως το ρεύμα διαρροής, οι μεταβολές στα χαρακτηριστικά των γειτονικών τρανζίστορ και η αντίσταση των αγωγών, αποκτούν πολύ μεγαλύτερη σημασία στις νανομετρικές τεχνολογίες.

Ο νόμος του Moore έγινε αυτοεκπληρούμενη προφητεία επειδή κάθε εταιρεία είναι υποχρεωμένη να εξελίσσεται ώστε να μην ξεπεραστεί από τον ανταγωνισμό. Προφανώς, αυτή η κλιμάκωση δεν θα συνεχι-



ΣΧΗΜΑ 1.5 Συχνότητες ρολογιού μικροεπεξεργαστών της Intel.



ΣΧΗΜΑ 1.6 Γενιές τεχνολογιών κατασκευής ημιαγωγών. Μελλοντικές προβλέψεις από [SIA2007].

στεί για πάντα - ένα τρανζίστορ δεν μπορεί να γίνει μικρότερο από τα άτομα που το αποτελούν. Ήδη, ο ρυθμός της κλιμακας Dennard έχει αρχίσει να επιβραδύνεται. Φτάνοντας στη γενιά των 45 nm, οι σχεδιαστές βρίσκονται αντιμέτωποι με την αναγκαιότητα συμβιβασμών μεταξύ της βελτίωσης της κατανάλωσης ισχύος και της βελτίωσης των χρόνων καθυστέρησης. Παρότι το κόστος εκτόπισης κάθε τρανζίστορ βαίνει μειούμενο, οι εφάπαξ δαπάνες σχεδίασης αυξάνονται με εκθετικό ρυθμό, με αποτέλεσμα οι τεχνολογίες αιχμής να είναι οικονομικά βιώσιμες μόνο για ολοκληρωμένα τα οποία μπορούν να πωλούνται σε τεράστιες ποσότητες, ή σε εφαρμογές πολύ υψηλών απαιτήσεων. Ωστόσο, πολλές προβλέψεις αναφορικά με

τα έσχατα όρια της κλιμάκωσης έχουν ήδη αποδειχθεί λανθασμένες. Δημιουργικοί μηχανικοί και επιστήμονες της φυσικής των υλικών έχουν να κερδίσουν πολλά χρήματα στο μέλλον, επινοώντας καινοτομίες που θα τους φέρουν πιο μπροστά από τους ανταγωνιστές τους. Στις αρχές της δεκαετίας του '90, οι ειδικοί συμφώνησαν ότι η κλιμάκωση προς τα κάτω θα μπορούσε να συνεχιστεί τουλάχιστον για μία δεκαετία, αλλά από εκείνο το σημείο και μετά το μέλλον ήταν ασαφές. Το 2009, συνεχίζουμε να πιστεύουμε ότι η κλιμάκωση θα συνεχιστεί για τουλάχιστον μία δεκαετία. Το μέλλον είναι δικό σας για να το εφεύρετε.

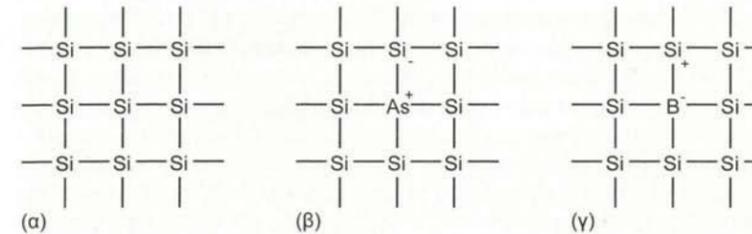
## 1.2 Μια Πρώτη Ματιά

Καθώς ο αριθμός των τρανζίστορ σ' ένα ολοκληρωμένο αυξάνεται εκθετικά, οι σχεδιαστές βασίζονται πλέον σε διαρκώς αυξανόμενα επίπεδα αυτοματισμού, για να επιτύχουν ανάλογο κέρδος στην παραγωγικότητα. Πολλοί σχεδιαστές επικεντρώνουν τις προσπάθειές τους στο να προδιαγράψουν τις λειτουργίες των κυκλωμάτων χρησιμοποιώντας γλώσσες περιγραφής υλικού και σπάνια εξετάζουν τα ίδια τα τρανζίστορ. Ωστόσο, η σχεδίαση ολοκληρωμένων δεν είναι σχεδίαση λογισμικού. Η αντιμετώπιση των δυσκολότερων προβλημάτων απαιτεί την κατανόηση, σε θεμελιακό επίπεδο, των κυκλωμάτων και της φυσικής σχεδίασής τους. Για το λόγο αυτό, το παρόν βιβλίο αποσκοπεί στο να παρέχει στον αναγνώστη μια πλήρη κατανόηση των ολοκληρωμένων κυκλωμάτων, ξεκινώντας από το χαμηλότερο επίπεδο και προχωρώντας προς τα επάνω.

Σ' αυτό το κεφάλαιο θα εξετάσουμε τα τρανζίστορ CMOS αντιμετωπίζοντας τα απλουστευτικά, ως διακόπτες. Με βάση αυτό το μοντέλο θα αναπτύξουμε λογικές πύλες (gates) και μανδαλωτές (latches) CMOS. Τα CMOS τρανζίστορ παράγονται μαζί σε δισκία πυριτίου (silicon wafers), χρησιμοποιώντας διαδικασίες λιθογραφικής εκτύπωσης, παρόμοιες με αυτές που χρησιμοποιούνται σ' ένα τυπογραφικό πιεστήριο. Θα περιγράψουμε τη διαδικασία φυσικής σχεδίασης των τρανζίστορ, μέσω της οποίας καθορίζονται οι ορθογώνιες περιοχές που υποδεικνύουν πού θα πρέπει να διαχυθούν τα υλικά νόθευσης, πού θα αναπτυχθεί το πολυπυρίτιο, πού θα πρέπει να τοποθετηθούν οι μεταλλικοί αγωγοί και πού θα πρέπει να γίνει η χάραξη των επαφών για να ενωθούν όλες οι στρώσεις. Μέχρι το μέσον του κεφαλαίου θα έχετε κατανοήσει όλες τις αρχές που θα χρειαστείτε για να σχεδιάσετε το δικό σας απλό ολοκληρωμένο CMOS. Το κεφάλαιο ολοκληρώνεται μ' ένα εκτενές παράδειγμα, το οποίο επιδεικνύει τη σχεδίαση ενός απλού επεξεργαστή MIPS των 8 bit. Το παράδειγμα αυτό αναδεικνύει πολλά από τα ζητήματα σχεδίασης που θα μελετήσουμε σε επόμενα κεφάλαια. Ο καλύτερος τρόπος για να μάθετε τη διαδικασία σχεδίασης ολοκληρωμένων VLSI είναι η πρακτική εφαρμογή της. Μια σειρά εργαστηριακών ασκήσεων, διαθέσιμες από τον ιστότοπο [www.cmosvlsi.com](http://www.cmosvlsi.com), θα σας καθοδηγήσουν στη σχεδίαση του δικού σας ολοκληρωμένου κυκλώματος μικροεπεξεργαστή.

## 1.3 Τρανζίστορ MOS

Το πυρίτιο (Si), ως ημιαγωγός, αποτελεί τη βασική πρώτη ύλη για την κατασκευή μεγάλης κατηγορίας ολοκληρωμένων κυκλωμάτων [Tsididis99]. Το καθαρό πυρίτιο αποτελείται από ένα τρισδιάστατο κρυσταλλικό πλέγμα ατόμων. Το πυρίτιο είναι στοιχείο της Ομάδας IV, πράγμα το οποίο σημαίνει ότι σχηματίζει ομοιοπολικούς δεσμούς με τέσσερα γειτονικά άτομα, όπως απεικονίζεται στο Σχήμα 1.7(α). Το πλέγμα αναπαρίσταται στο επίπεδο για ευκολία σχεδίασης, αλλά στην πραγματικότητα σχηματίζει έναν κυβικό κρύσταλλο. Δεδομένου ότι όλα τα ηλεκτρόνια σθένους εμπλέκονται σε χημικούς δεσμούς, το πυρίτιο είναι φτωχός αγωγός. Η αγωγιμότητά του μπορεί να αυξηθεί εισάγοντας μικρές ποσότητες προσμειξών στο πλέγμα του πυριτίου. Αυτές οι προσμειξές αποκαλούνται υλικά νόθευσης (dopants). Ένα υλικό νόθευσης της Ομάδας V, όπως το αρσενικό, έχει πέντε ηλεκτρόνια σθένους. Αντικαθιστά ένα άτομο πυριτίου στο πλέγμα, αλλά σχηματίζει και πάλι δεσμό με τα τέσσερα γειτονικά, οπότε το πέμπτο ηλεκτρόνιο σθένους έχει ασθενή δεσμό με το άτομο αρσενικού, όπως απεικονίζεται στο Σχήμα 1.7(β). Θερμική δόνηση του πλέγματος σε θερμοκρασία δωματίου επαρκεί για να καταστήσει το ηλεκτρόνιο ελεύθερο να κινηθεί, αφήνοντας ένα θετικά φορτισμένο ιόν  $As^+$  κι ένα ελεύθερο ηλεκτρόνιο. Επειδή αυτό το ηλεκτρόνιο μπορεί να μεταφέρει ρεύμα, η αγωγιμότητα αυξάνεται. Αποκαλούμε αυτή τη δομή ημιαγωγό n-τύπου, επειδή οι ελεύθεροι φορείς είναι αρνητικά φορτισμένα ηλεκτρόνια. Παρόμοια, ένα υλικό νόθευσης από την Ομάδα III, όπως το βόριο, έχει τρία ηλεκτρόνια σθένους, όπως απεικονίζεται στο Σχήμα 1.7(γ). Το άτομο νόθευσης μπορεί να δανειστεί ένα ηλεκτρόνιο από το γειτονικό άτομο πυριτίου, το οποίο απομένει έτσι με



ΣΧΗΜΑ 1.7 Κρυσταλλικό πλέγμα πολυπυριτίου και τα άτομα νόθευσης.

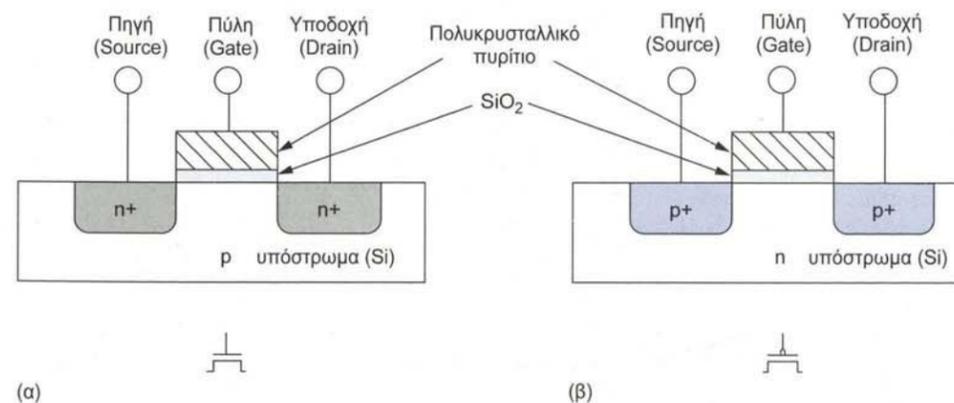
ένα ηλεκτρόνιο λιγότερο. Αυτό το άτομο, με τη σειρά του, μπορεί να δανειστεί ένα ηλεκτρόνιο από ένα γειτονικό άτομο πυριτίου, και ούτω καθεξής, με αποτέλεσμα το απόν ηλεκτρόνιο, το οποίο αποκαλείται οπή (hole), να μπορεί να διαδίδεται παντού στο πλέγμα. Η οπή συμπεριφέρεται ως θετικός φορέας και γ' αυτό αποκαλούμε αυτή τη δομή ημιαγωγό p-τύπου.

Η επαφή μεταξύ p-τύπου και n-τύπου πυριτίου αποκαλείται *διόδος* και απεικονίζεται στο Σχήμα 1.8. Όταν η τάση στον ημιαγωγό p-τύπου (αποκαλείται *άνοδος*) αυξάνεται πάνω από αυτήν της n-τύπου *καθόδου*, λέμε ότι η διόδος είναι *ορθά πολωμένη* και ρέει ρεύμα. Όταν η τάση ανόδου είναι μικρότερη ή ίση με την τάση καθόδου, τότε η διόδος είναι *ανάστροφα πολωμένη* και ρέει ελάχιστο ρεύμα.

Μια δομή MOS (Metal-Oxide-Semiconductor, μέταλλο-οξειδίου-ημιαγωγού) δημιουργείται από την υπέρθεση πολλαπλών στρώσεων αγωγίων και μονωτικών υλικών που σχηματίζουν μια δομή σαν σάντουιτς. Οι δομές αυτές κατασκευάζονται με μια σειρά βημάτων χημικής επεξεργασίας, στα οποία περιλαμβάνονται η οξείδωση (oxidation) του πυριτίου, η επιλεκτική εισαγωγή προσμειξών στο πυρίτιο και η εναπόθεση (deposition) και εγχάραξη (etching) των μεταλλικών αγωγών διασύνδεσης και των επαφών. Για την κατασκευή των τρανζίστορ χρησιμοποιούνται μονοκρυσταλλοί πυριτίου που είναι σχεδόν ολοκληρωτικά απαλλαγμένοι από ατέλειες και διαθέσιμοι σε μορφή λεπτών, κυκλικών επιπέδων δισκίων (wafers) διαμέτρου περίπου 15-30 cm. Η τεχνολογία CMOS δίνει δύο τύπους τρανζίστορ (αποκαλούνται *στοιχεία* [devices]): το τρανζίστορ n-τύπου (nMOS) και το τρανζίστορ p-τύπου (pMOS). Επειδή η λειτουργία των τρανζίστορ βασίζεται σε ηλεκτρικά πεδία, τα στοιχεία αποκαλούνται επίσης Τρανζίστορ Επίδρασης Πεδίου Μέταλλο-Οξειδίου-Ημιαγωγού (Metal Oxide Semiconductor Field Effect Transistors, *MOSFET*, ή απλώς *FET*). Οι διατομές και τα σύμβολα αυτών των τρανζίστορ παρουσιάζονται στο Σχήμα 1.9. Οι περιοχές n+ και p+ υποδεικνύουν έντονα νοθευμένο πυρίτιο n-τύπου ή p-τύπου.



ΣΧΗΜΑ 1.8 Δομή και σύμβολο της διόδου επαφής p-n.



ΣΧΗΜΑ 1.9 nMOS τρανζίστορ (α) και pMOS τρανζίστορ (β).

Κάθε τρανζίστορ αποτελείται από ένα σωρό που περιλαμβάνει την αγώγιμη πύλη, μία μονωτική στρώση από διοξείδιο του πυριτίου ( $\text{SiO}_2$ , το γνωστό γυαλί), και το δισκίο πυριτίου που αποκαλείται επίσης *υπόστρωμα* ή *σώμα* (substrate, body, bulk). Οι πύλες των πρώτων τρανζίστορ κατασκευάζονταν από μέταλλο και γι' αυτό ο σωρός αποκαλούνταν ημιαγωγός μέταλλου-οξειδίου, ή MOS (Metal Oxide Semiconductor). Από τη δεκαετία του '70 και μετά, η πύλη τυπικά σχηματίζεται από πολυκρυσταλλικό πυρίτιο (πολυπυρίτιο), αλλά το όνομα MOS παρέμεινε. (Το ενδιαφέρον είναι ότι οι πύλες μέταλλου επανήλθαν σε χρήση το 2007, για την επίλυση σχετιζόμενων με υλικά προβλημάτων σε προηγμένες τεχνολογίες κατασκευής). Ένα nMOS τρανζίστορ κατασκευάζεται με υπόστρωμα p-τύπου και έχει περιοχές ημιαγωγού n-τύπου γειτονικές στην πύλη, οι οποίες αποκαλούνται *πηγή* (source) και *υποδοχή* (υποδοχή)· αυτές είναι φυσικά ισοτιμίες και θα τις αντιμετωπίσουμε ως εναλλάξιμες. Τυπικά, το υπόστρωμα είναι γειωμένο. Ένα pMOS τρανζίστορ είναι ακριβώς το αντίθετο: αποτελείται από περιοχές πηγής και υποδοχής p-τύπου με υπόστρωμα n-τύπου. Σε μια τεχνολογία CMOS που παρέχει και τα δύο είδη τρανζίστορ, το υπόστρωμα είναι είτε n-τύπου είτε p-τύπου. Το άλλο είδος τρανζίστορ πρέπει να κατασκευαστεί σ' ένα ειδικό *πηγάδι* (well), στο οποίο προστίθενται τοπικά άτομα νόθευσης για να σχηματίσουν το υπόστρωμα του αντίθετου τύπου.

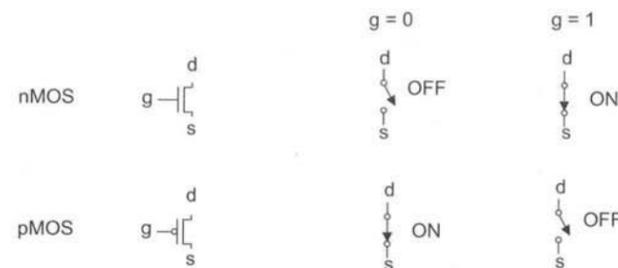
Η πύλη είναι μια είσοδος ελέγχου, επειδή επηρεάζει τη ροή του ηλεκτρικού ρεύματος μεταξύ πηγής και υποδοχής. Ας πάρουμε σαν παράδειγμα ένα nMOS τρανζίστορ. Το υπόστρωμα είναι γενικά γειωμένο, οπότε οι επαφές p-n ανάμεσα στην πηγή ή υποδοχή και το υπόστρωμα είναι ανάστροφα πολωμένες. Εάν η πύλη είναι επίσης γειωμένη, δεν ρέει ρεύμα διαμέσου των ανάστροφα πολωμένων επαφών. Τότε λέμε ότι το τρανζίστορ είναι OFF. Εάν η τάση της πύλης αυξηθεί, δημιουργεί ένα ηλεκτρικό πεδίο, το οποίο αρχίζει να προσελκύει ελεύθερα ηλεκτρόνια στο κάτω μέρος της διεπαφής Si-SiO<sub>2</sub> (πυριτίου-διοξειδίου πυριτίου). Εάν η τάση της πύλης αυξηθεί επαρκώς, τα ηλεκτρόνια υπερτερούν των οπών και μια λεπτή περιοχή που ονομάζεται κανάλι αντιστρέφεται ώστε να λειτουργήσει ως ημιαγωγός n-τύπου. Έτσι, σχηματίζεται μια αγώγιμη διαδρομή από ηλεκτρόνια μεταξύ πηγής και υποδοχής από την οποία μπορεί να διέλθει ρεύμα. Τότε λέμε ότι το τρανζίστορ είναι ON.

Για ένα pMOS τρανζίστορ, η κατάσταση αντιστρέφεται. Το υπόστρωμα διατηρείται σε υψηλό δυναμικό. Όταν η πύλη είναι επίσης σε υψηλό δυναμικό, οι επαφές της πηγής και της υποδοχής είναι ανάστροφα πολωμένες και δεν διέρχεται ρεύμα, οπότε το τρανζίστορ είναι OFF. Όταν η τάση της πύλης μειωθεί, θετικά φορτία έλκονται στο κάτω μέρος της διεπαφής Si-SiO<sub>2</sub>. Μια επαρκώς χαμηλή τάση πύλης αναστρέφει το κανάλι και σχηματίζεται μια αγώγιμη διαδρομή θετικών φορέων από την πηγή έως την υποδοχή, οπότε το τρανζίστορ είναι ON. Παρατηρήστε ότι το σύμβολο για το pMOS τρανζίστορ έχει μία φουσαλίδα πάνω στην πύλη, υποδεικνύοντας ότι η συμπεριφορά του είναι αντίθετη από αυτή του nMOS.

Σε όλη την έκταση του βιβλίου, θα αποκαλούμε την υψηλή τάση  $V_{DD}$  ή POWER και θα υποθέτουμε ότι αντιπροσωπεύει τη λογική τιμή 1 στα ψηφιακά κυκλώματα. Σε πολλές οικογένειες λογικών κυκλωμάτων της δεκαετίας του '70 και του '80, η  $V_{DD}$  ήταν στα 5 volt. Τα νεότερα και μικρότερα τρανζίστορ δεν μπορούν να αντέξουν τόσο υψηλή τάση και γι' αυτό χρησιμοποιούν τροφοδοσίες 3.3V, 2.5 V, 1.8 V, 1.5 V, κ.ο.κ. Η χαμηλή τάση αποκαλείται GND (GROUND, ΓΕΙΩΣΗ) ή  $V_{ss}$  και αντιπροσωπεύει τη λογική τιμή 0. Συνήθως είναι 0 volt.

Συνοπτικά, η πύλη ενός τρανζίστορ MOS ελέγχει τη διέλευση του ρεύματος μεταξύ πηγής και υποδοχής. Αντιμετωπίζοντας υπεραπλοστυτικά αυτή τη χαρακτηριστική ιδιότητα της πύλης, το τρανζίστορ MOS μπορεί να θεωρηθεί απλός διακόπτης που ανοίγει και κλείνει.

Όταν η πύλη ενός nMOS τρανζίστορ είναι 1, το τρανζίστορ είναι ON (ανοιχτό) και υπάρχει αγώγιμη διαδρομή από την πηγή στην υποδοχή. Όταν η πύλη είναι σε χαμηλή τάση, το nMOS τρανζίστορ είναι OFF (κλειστό) και σχεδόν μηδενικό ρεύμα ρέει από την πηγή στην υποδοχή. Το pMOS τρανζίστορ λειτουργεί ακριβώς αντίθετα: ON όταν η πύλη είναι στο 0 και OFF όταν η πύλη είναι στο 1. Αυτό το μοντέλο διακόπτη παρουσιάζεται στο Σχήμα 1.10, όπου τα  $g$ ,  $s$  και  $d$ , συμβολίζουν την πύλη, την πηγή και την υποδοχή. Αυτό είναι το μοντέλο που θα χρησιμοποιούμε ως επί το πλείστον για την κατανόηση της συμπεριφοράς των κυκλωμάτων.



ΣΧΗΜΑ 1.10 Τα σύμβολα των τρανζίστορ και τα μοντέλα της συμπεριφοράς τους ως διακόπτες.

## 1.4 Λογική CMOS

### 1.4.1 Ο Αντιστροφέας

Το Σχήμα 1.11 παρουσιάζει το σχηματικό διάγραμμα και το σύμβολο για έναν αντιστροφέα (inverter) CMOS, ή πύλη NOT, που χρησιμοποιεί ένα nMOS και ένα pMOS τρανζίστορ. Η οριζόντια γραμμή στην κορυφή συμβολίζει τη τάση  $V_{DD}$  και το τρίγωνο στο κάτω άκρο συμβολίζει τη γείωση, GND. Όταν η είσοδος  $A$  είναι 0, το nMOS τρανζίστορ είναι OFF και το pMOS τρανζίστορ είναι ON. Έτσι η έξοδος  $Y$  οδηγείται «πάνω» (pulled-up) στο 1, επειδή συνδέεται στην  $V_{DD}$ , αλλά όχι στην GND. Αντίστροφα, όταν το  $A$  είναι 1, το nMOS είναι ON, το pMOS είναι OFF, και η έξοδος  $Y$  οδηγείται «κάτω», στο 0. Η λειτουργία αυτή συνοψίζεται στον Πίνακα 1.1.

ΠΙΝΑΚΑΣ 1.1 Πίνακας αληθείας του αντιστροφέα

A	Y
0	1
1	0

### 1.4.2 Η Πύλη NAND

Το Σχήμα 1.12(a) παρουσιάζει μία CMOS πύλη NAND 2 εισόδων. Αποτελείται από δύο nMOS τρανζίστορ εν σειρά μεταξύ των  $Y$  και GND, και δύο παράλληλα pMOS τρανζίστορ μεταξύ των  $Y$  και  $V_{DD}$ . Εάν οποιαδήποτε από τις εισόδους  $A$  ή  $B$  είναι 0, τουλάχιστον ένα από τα nMOS τρανζίστορ θα είναι OFF, διακόπτοντας τη διαδρομή από την  $Y$  στην GND. Αλλά τουλάχιστον ένα από τα pMOS τρανζίστορ θα είναι ON, δημιουργώντας μια διαδρομή από την  $Y$  στην  $V_{DD}$ . Άρα, η έξοδος  $Y$  θα είναι 1. Εάν αμφότερες οι εισοδοί είναι 1, αμφότερα τα nMOS τρανζίστορ θα είναι ON, ενώ τα δύο pMOS τρανζίστορ θα είναι OFF. Άρα, η έξοδος θα είναι 0. Ο πίνακας αληθείας της πύλης NAND δίνεται στον Πίνακα 1.2 και το σύμβολό της παρουσιάζεται στο Σχήμα 1.12(β). Σημειώστε ότι σύμφωνα με το νόμο του DeMorgan, η φουσαλίδα αντιστροφής μπορεί να τοποθετηθεί σε οποιαδήποτε πλευρά της πύλης. Στα σχήματα αυτού του βιβλίου, όταν δύο γραμμές τέμνονται σε μια ένωση-T, θα απεικονίζονται συνδεδεμένες. Δύο διασταυρούμενες γραμμές θα θεωρείται ότι είναι συνδεδεμένες αν και μόνο εάν αυτό επισημαίνεται με μια κουκκίδα.

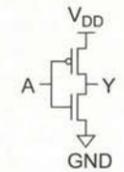
ΠΙΝΑΚΑΣ 1.2 Πίνακας αληθείας πύλης NAND

A	B	Δίκτυο οδήγησης κάτω	Δίκτυο οδήγησης πάνω	Y
0	0	OFF	ON	1
0	1	OFF	ON	1
1	0	OFF	ON	1
1	1	ON	OFF	0

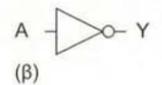
Οι πύλες NAND  $k$ -εισόδων κατασκευάζονται χρησιμοποιώντας  $k$  nMOS τρανζίστορ εν σειρά και  $k$  παράλληλα pMOS τρανζίστορ. Για παράδειγμα, μία πύλη NAND 3 εισόδων παρουσιάζεται στο Σχήμα 1.13. Όταν οποιαδήποτε από τις εισόδους είναι 0, η έξοδος οδηγείται ψηλά μέσω των παράλληλων pMOS τρανζίστορ. Όταν όλες οι εισοδοί είναι 1, η έξοδος οδηγείται χαμηλά μέσω των εν σειρά nMOS τρανζίστορ.

### 1.4.3 Λογικές Πύλες CMOS

Ο αντιστροφέας και η πύλη NAND είναι παραδείγματα *στατικών λογικών πύλων CMOS*: αποκαλούνται επίσης *συμπληρωματικές πύλες CMOS*. Γενικά, μία στατική πύλη CMOS έχει ένα δίκτυο nMOS οδήγησης κάτω για τη σύνδεση της εξόδου στο 0 (GND) και ένα δίκτυο pMOS οδήγησης πάνω για τη σύνδεση της εξόδου στο 1 ( $V_{DD}$ ), όπως υποδεικνύει το Σχήμα 1.14. Τα δίκτυα είναι τοποθετημένα με τρόπο ώστε το ένα να είναι ON και το άλλο OFF για οποιοδήποτε συνδυασμό εισόδων.

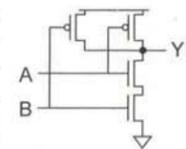


(α)

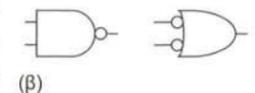


(β)

ΣΧΗΜΑ 1.11 Σχηματικό διάγραμμα του αντιστροφέα (α) και σύμβολο (β)  $Y = \bar{A}$ .

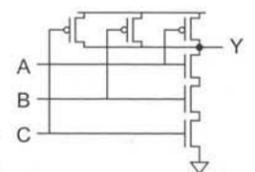


(α)

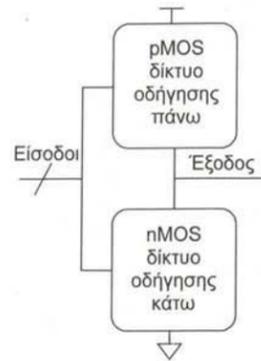


(β)

ΣΧΗΜΑ 1.12 Πύλη NAND 2 εισόδων: σχηματικό διάγραμμα (α) και σύμβολο (β)  $Y = A \cdot B$ .



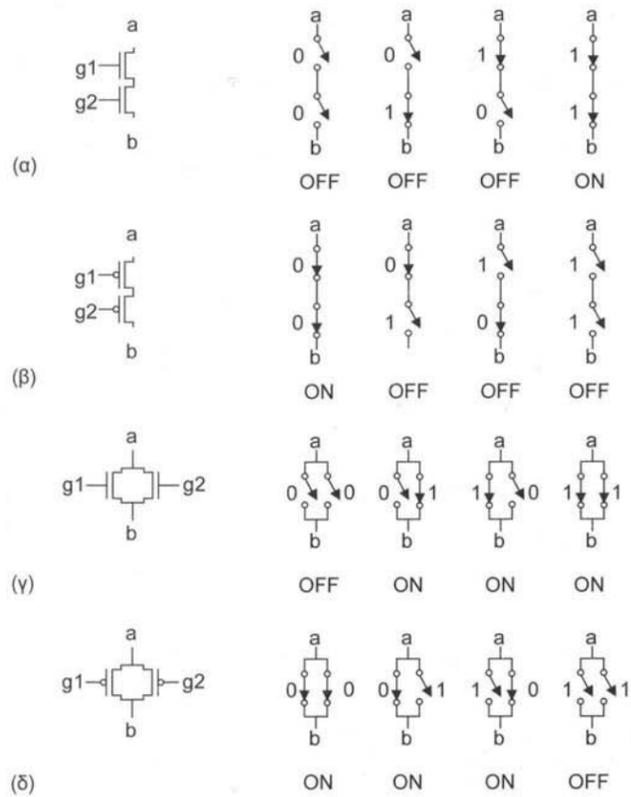
ΣΧΗΜΑ 1.13 Σχηματικό διάγραμμα πύλης NAND 3 εισόδων,  $Y = A \cdot B \cdot C$ .



**ΣΧΗΜΑ 1.14** Γενικευμένη λογική πύλη που χρησιμοποιεί δίκτυα οδήγησης πάνω και κάτω.

Τα δίκτυα οδήγησης «πάνω» και «κάτω» στον αντιστροφέα αποτελούνται το καθένα από ένα τρανζίστορ. Η πύλη NAND χρησιμοποιεί ένα δίκτυο εν σειρά τρανζίστορ για την οδήγηση «κάτω» κι ένα δίκτυο εν παράλληλω τρανζίστορ για την οδήγηση «πάνω». Για πιο πολύπλοκες πύλες χρησιμοποιούνται αντίστοιχα πολύπλοκα δίκτυα. Δύο ή περισσότερα τρανζίστορ εν σειρά είναι ON μόνο εάν όλα τα εν σειρά τρανζίστορ είναι ON. Αυτό απεικονίζεται στο Σχήμα 1.15 για ζεύγη nMOS και pMOS τρανζίστορ. Χρησιμοποιώντας συνδυασμούς αυτών των δομών, μπορούν να κατασκευαστούν πύλες CMOS συνδυαστικής λογικής. Παρότι οι στατικές πύλες CMOS είναι οι ευρύτερα χρησιμοποιούμενες, στο Κεφάλαιο 9 θα διερευνήσουμε εναλλακτικούς τρόπους κατασκευής πυλών με τρανζίστορ.

Γενικά, όταν συνδέουμε ένα δίκτυο οδήγησης «πάνω» με ένα δίκτυο οδήγησης «κάτω» για να σχηματίσουμε μια λογική πύλη με τον τρόπο που παρουσιάζεται στο Σχήμα 1.14, αμφότερα τα δίκτυα θα επιχειρήσουν να επιβάλουν μία λογική στάθμη στην έξοδο. Οι πιθανές στάθμες στην έξοδο παρατίθενται στον Πίνακα 1.3. Από αυτό τον πίνακα βλέπουμε ότι η έξοδος μιας λογικής πύλης CMOS μπορεί να έχει τέσσερις καταστάσεις. Τις στάθμες 1 και 0 τις έχουμε συναντήσει στον αντιστροφέα και στην πύλη NAND, όπου είτε το δίκτυο οδήγησης «πάνω» είτε το δίκτυο οδήγησης «κάτω» είναι OFF και η άλλη δομή είναι ON. Όταν αμφότερα τα δίκτυα οδήγησης είναι OFF, έχουμε την κατάσταση *υψηλής σύνθετης αντίστασης* ή *αιωρούμενον (floating) Z*. Αυτή είναι σημαντική για πολυπλέκτες, στοιχεία μνήμης και τρισταθείς οδηγούς διαύλων. Η στάθμη *υπερφόρτισης*, ή *διαμάχης (contention, X)*, προκύπτει όταν αμφότερα τα δίκτυα οδήγησης (κάτω & πάνω) είναι ταυτόχρονα ON. Αυτό έχει ως αποτέλεσμα απροσδιόριστη κατάσταση στην έξοδο, καθώς και κατανάλωση στατικής ισχύος, και είναι συνήθως ανεπιθύμητο.



**ΣΧΗΜΑ 1.15** Σύνδεση και συμπεριφορά τρανζίστορ συνδεδεμένων εν σειρά και παράλληλα.

**ΠΙΝΑΚΑΣ 1.3** Καταστάσεις εξόδου μιας λογικής πύλης CMOS

	Δίκτυο οδήγησης πάνω OFF	Δίκτυο οδήγησης πάνω ON
Δίκτυο οδήγησης κάτω OFF	Z	1
Δίκτυο οδήγησης κάτω ON	0	υπερφόρτιση (X)

**1.4.4 Η Πύλη NOR**

Το Σχήμα 1.16 παρουσιάζει μια πύλη NOR 2 εισόδων. Τα nMOS τρανζίστορ είναι συνδεδεμένα παράλληλα, ώστε να οδηγούν την έξοδο χαμηλά όταν οποιαδήποτε είσοδος είναι υψηλή. Τα pMOS τρανζίστορ είναι εν σειρά ώστε να οδηγούν την έξοδο υψηλά όταν και οι δύο εισοδοι είναι χαμηλά, όπως υποδεικνύει ο πίνακας αληθείας (Πίνακας 1.4). Η έξοδος δεν μένει σε καμία περίπτωση αιωρούμενη ή σε κατάσταση υπερφόρτισης.

**ΠΙΝΑΚΑΣ 1.4** Πίνακας αληθείας πύλης NOR

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

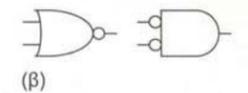
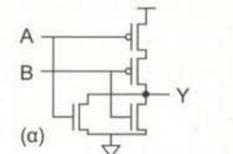
**Παράδειγμα 1.1**

Σχεδιάστε μια CMOS πύλη NOR 3 εισόδων.

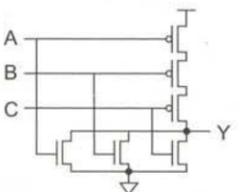
**ΛΥΣΗ:** Το Σχήμα 1.17 παρουσιάζει μια τέτοια πύλη. Εάν οποιαδήποτε είσοδος είναι ψηλά, η έξοδος οδηγείται χαμηλά μέσω των παράλληλα συνδεδεμένων nMOS τρανζίστορ. Εάν όλες οι εισοδοι είναι χαμηλά, η έξοδος οδηγείται ψηλά μέσω των εν σειρά pMOS τρανζίστορ.

**1.4.5 Σύνθετες Πύλες**

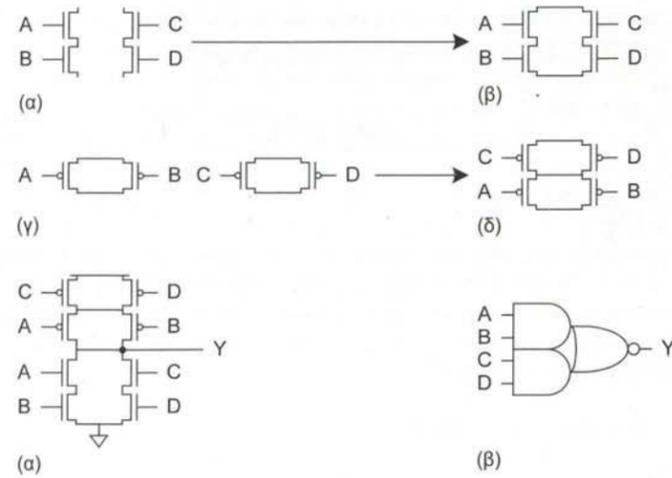
Μια *σύνθετη πύλη (compound gate)*, η οποία εκτελεί μια πολύπλοκότερη λογική συνάρτηση μ' ένα και μόνο στάδιο λογικής, σχηματίζεται με τη χρήση ενός συνδυασμού εν σειρά και παράλληλα συνδεδεμένων δομών διακοπών. Για παράδειγμα, το Σχήμα 1.18 παρουσιάζει το κύκλωμα για τη συνάρτηση  $Y = (A \cdot B) + (C \cdot D)$ . Αυτή η συνάρτηση αποκαλείται επίσης AND-OR-INVERT-22, ή AOI22, επειδή εκτελεί τη NOR ενός ζεύγους πυλών AND 2 εισόδων. Για το nMOS δίκτυο οδήγησης «κάτω» χρησιμοποιείται η μη-αντεστραμμένη έκφραση  $((A \cdot B) + (C \cdot D))$ , η οποία υποδεικνύει ποτέ η έξοδος θα πρέπει να οδηγηθεί στο 0. Οι εκφράσεις AND  $(A \cdot B)$  και  $(C \cdot D)$  μπορούν να υλοποιηθούν με συνδέσεις διακοπών εν σειρά, όπως υποδεικνύει το Σχήμα 1.18(α). Για την εφαρμογή της OR στο αποτέλεσμα απαιτείται η παράλληλη σύνδεση των δύο δομών, όπως υποδεικνύει το Σχήμα 1.18(β). Όσον αφορά το pMOS δίκτυο οδήγησης «πάνω», θα πρέπει να υπολογίσουμε τη συμπληρωματική έκφραση χρησιμοποιώντας διακόπτες που ανοίγουν με αντεστραμμένη πολικότητα. Σύμφωνα με το νόμο του DeMorgan, αυτό ισοδυναμεί με την εναλλαγή των λειτουργιών AND και OR. Έτσι, τα τρανζίστορ που εμφανίζονται εν σειρά στο δίκτυο οδήγησης «κάτω» πρέπει να εμφανιστούν παράλληλα στο δίκτυο οδήγησης «πάνω». Τα τρανζίστορ που εμφανίζονται παράλληλα στο δίκτυο οδήγησης «κάτω» πρέπει να εμφανιστούν εν σειρά στο δίκτυο οδήγησης «πάνω». Αυτή είναι η αρχή της *συμπληρωματικής αγωγιμότητας* και έχει ήδη χρησιμοποιηθεί στη σχεδίαση των πυλών NAND και NOR. Στο δίκτυο οδήγησης «πάνω», ο παράλληλος συνδυασμός των A και B τοποθετείται εν σειρά με τον παράλληλο συνδυασμό των C και D. Αυτή η εξέλιξη είναι εμφανής στα Σχήματα 1.18(γ) και 1.18(δ). Συνδέοντας τα δύο δίκτυα προκύπτει το πλήρες σχηματικό διάγραμμα του Σχήματος 1.18(ε). Το σύμβολο παρουσιάζεται στο Σχήμα 1.18(στ).



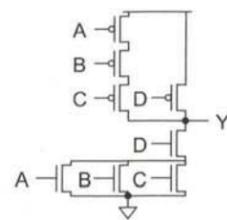
**ΣΧΗΜΑ 1.16** Πύλη NOR 2 εισόδων: σχηματικό διάγραμμα (α) και σύμβολο (β)  $Y = A + B$ .



**ΣΧΗΜΑ 1.17** Σχηματικό διάγραμμα πύλης NOR 3 εισόδων,  $Y = \overline{A + B + C}$ .



ΣΧΗΜΑ 1.18 Σύνθετη πύλη CMOS για τη συνάρτηση  $Y = (A \cdot B) + (C \cdot D)$ .



ΣΧΗΜΑ 1.19 Σύνθετη πύλη CMOS για τον υπολογισμό της συνάρτησης  $Y = (A + B + C) \cdot D$ .

Αυτή η πύλη AOI22 μπορεί να χρησιμοποιηθεί ως αναστρέφων πολυπλέκτης 2 εισόδων, συνδέοντας το  $C = \bar{A}$  ως σήμα επιλογής. Έτσι,  $Y = \bar{B}$  εάν το  $C$  είναι 0, ενώ  $Y = \bar{D}$  εάν το  $C$  είναι 1. Στην Ενότητα 1.4.8 θα δούμε έναν τρόπο βελτίωσης της σχεδίασης αυτού του πολυπλέκτη.

**Παράδειγμα 1.2**

Σχεδιάστε μια στατική CMOS πύλη, η οποία θα υπολογίζει τη συνάρτηση  $Y = (A \cdot B) + (C \cdot D)$ .

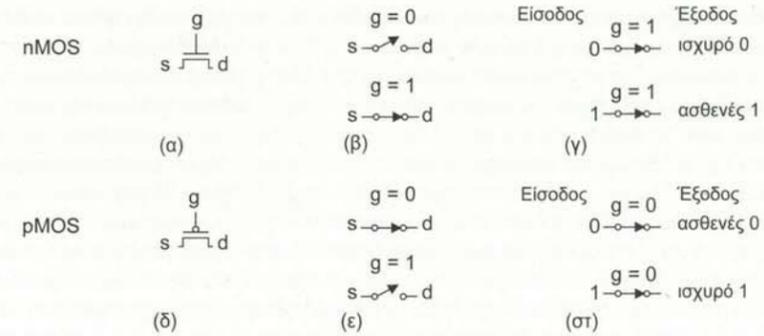
**ΛΥΣΗ:** Το Σχήμα 1.19 παρουσιάζει μια τέτοια πύλη OR-AND-INVERT-3-1 (OAI31). Το nMOS δίκτυο οδήγησης «κάτω» οδηγεί την έξοδο χαμηλά εάν το  $D$  είναι 1 και είτε το  $A$  είτε το  $B$  είτε το  $C$  είναι 1, γι' αυτό και το  $D$  είναι συνδεδεμένο εν σειρά με τον παράλληλο συνδυασμό των  $A, B$  και  $C$ . Το pMOS δίκτυο οδήγησης «πάνω» είναι το συμπλήρωμα αγωγής, οπότε το  $D$  πρέπει να είναι παράλληλα τον εν σειρά συνδυασμό των  $A, B$  και  $C$ .

**1.4.6 Τρανζίστορ Περάσματος και Πύλες Μετάδοσης**

Η ένταση ενός σήματος μετρείται βάσει του πόσο πιστά μπορεί να προσεγγίσει μια ιδανική πηγή τάσης. Γενικά, όσο πιο ισχυρό είναι ένα σήμα, τόσο περισσότερο ρεύμα μπορεί να παρέχει ή να απορροφήσει, λειτουργώντας ως πηγή ή καταβόθρα ρεύματος, αντίστοιχα. Οι τάσεις τροφοδοσίας (αποκαλούνται επίσης γραμμές, rails),  $V_{DD}$  και GND, είναι οι πηγές που παρέχουν τα πιο ισχυρά σήματα 1 και 0.

Ένα nMOS τρανζίστορ συμπεριφέρεται ως σχεδόν ιδανικός διακόπτης όταν περνάει ένα 0 και γι' αυτό λέμε ότι περνάει ένα ισχυρό 0. Ωστόσο, το nMOS τρανζίστορ δεν επιδεικνύει εξίσου ιδανική συμπεριφορά κατά το πέρασμα ενός 1. Η υψηλή στάθμη τάσης είναι λίγο χαμηλότερη από τη  $V_{DD}$ , όπως θα δούμε στην Ενότητα 2.5.4. Για το λόγο αυτό λέμε ότι περνάει ένα υποβαθμισμένο ή ασθενές 1. Ένα pMOS τρανζίστορ έχει την αντίθετη συμπεριφορά: περνά ισχυρά 1 αλλά ασθενή 0. Τα σύμβολα των τρανζίστορ και οι συμπεριφορές τους συνοψίζονται στο Σχήμα 1.20, όπου τα  $g, s$  και  $d$  αντιπροσωπεύουν την πύλη (gate), την πηγή (source) και την υποδοχή (drain).

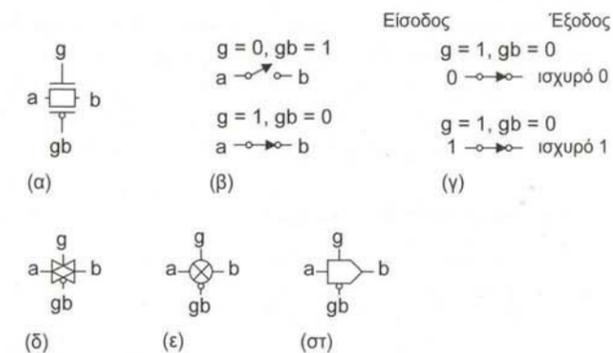
Όταν ένα nMOS ή pMOS χρησιμοποιείται μόνο του ως μη-ιδανικός διακόπτης, αποκαλείται επίσης τρανζίστορ περάσματος (pass transistor). Συνδυάζοντας παράλληλα ένα nMOS τρανζίστορ κι ένα pMOS (Σχήμα 1.21(α)), παίρνουμε ένα διακόπτη που ανοίγει όταν εφαρμόζεται σήμα 1 στο  $g$  (Σχήμα 1.21(β)), στον οποίο αμφότερα τα σήματα 0 και 1 περνάνε με αποδεκτό τρόπο (Σχήμα 1.21(γ)). Αυτός ο διακόπτης χαρακτηρίζεται ως πύλη μετάδοσης (transmission gate) ή πύλη περάσματος (pass gate). Σ' ένα κύκλωμα το οποίο πρέπει να περνά μόνο ένα 0 ή 1, το κατάλληλο τρανζίστορ (nMOS ή pMOS) μπορεί να εξαλειφτεί, οπότε επανερχόμαστε σ' ένα μεμονωμένο στοιχείο nMOS ή pMOS.



ΣΧΗΜΑ 1.20 Ισχυρή και ασθενής έξοδος τρανζίστορ περάσματος.

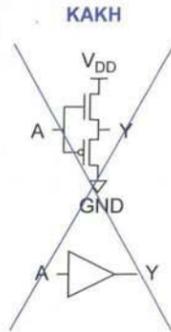
Σημειώστε ότι η πύλη μετάδοσης απαιτεί τόσο την είσοδο ελέγχου όσο και το συμπλήρωμά της. Αυτό αποκαλείται λογική δύο δρόμων (double rail logic). Το Σχήμα 1.21(δ)<sup>1</sup> παρουσιάζει ορισμένα κυκλωματικά σύμβολα με τα οποία αναπαριστάται η πύλη μετάδοσης. Επειδή κανένα δεν είναι ευκολότερο στη σχεδίαση από την απλή σχηματική αναπαράσταση του Σχ. 1.21(α), θα την υιοθετήσουμε ως συμβολισμό της πύλης μετάδοσης σ' αυτό το βιβλίο.

Σε όλα τα μέχρι τώρα παραδείγματα, οι εισοδοί οδηγούν τους ακροδέκτες πύλης των nMOS τρανζίστορ στο δίκτυο οδήγησης «κάτω» και των pMOS τρανζίστορ στο συμπληρωματικό δίκτυο οδήγησης «πάνω», όπως είδαμε στο Σχήμα 1.14. Κατ' αυτό τον τρόπο, τα nMOS τρανζίστορ χρειάζεται να περνούν μόνο το 0 και τα pMOS μόνο το 1. Έτσι, η έξοδος οδηγείται πάντα ισχυρά και οι στάθμες δεν υποβαθμίζονται ποτέ. Αυτό αποκαλείται πύλη πλήρως αποκαταστάσιμης (fully restored) λογικής και απλοποιεί το σχεδιασμό κυκλωμάτων. Σε αντίθεση με άλλες μορφές λογικής, όπου τα δίκτυα διακοπών οδήγησης «κάτω» και οδήγησης «πάνω» πρέπει, με κάποιον τρόπο, να είναι σε αναλογία, οι στατικές πύλες CMOS λειτουργούν σωστά, ανεξάρτητα από το φυσικό μέγεθος των τρανζίστορ. Επιπλέον, δεν υπάρχει ποτέ μονοπάτι διαμέσου των τρανζίστορ που είναι ON από την παροχή 1 στην 0 για οποιονδήποτε συνδυασμό εισόδων (σε αντίθεση με τα MOS μονού καναλιού, τις τεχνολογίες GaAs ή τα διπολικά). Όπως θα δούμε σε επόμενα κεφάλαια, αυτό αποτελεί τη βάση για τη χαμηλή κατανάλωση στατικής ισχύος στα CMOS.



ΣΧΗΜΑ 1.21 Πύλη μετάδοσης.

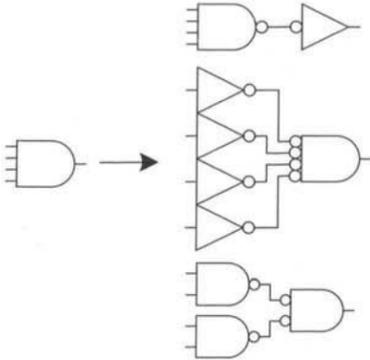
<sup>1</sup> Ονομάζουμε τους ακροδέκτες  $a$  και  $b$  επειδή από τεχνικής απόψεως ο καθένας είναι η πηγή του ενός από τα τρανζίστορ και η υποδοχή του άλλου.



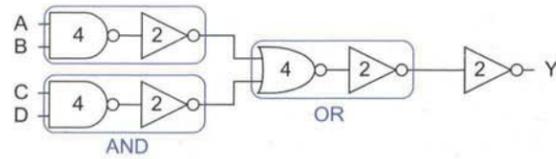
**ΣΧΗΜΑ 1.22** Κακή σχεδίαση μη-αντιστρεπτού απομονωτή.

Μία συνέπεια της σχεδίασης των στατικών πύλων CMOS είναι το γεγονός ότι πρέπει να είναι αντιστρεπτές. Το nMOS δίκτυο οδήγησης «κάτω» τίθεται στην κατάσταση ON όταν οι εισοδοί είναι 1, οδηγώντας σε 0 στην έξοδο. Θα ήταν ίσως δελεαστικό το να αναποδογυρίσουμε τα τρανζίστορ για να κατασκευάσουμε μία μη-αντιστρεπτή πύλη. Για παράδειγμα, το Σχήμα 1.22 παρουσιάζει έναν μη-αντιστρεπτό απομονωτή. Δυστυχώς, όμως, σ' αυτή την περίπτωση τόσο τα nMOS όσο και τα pMOS τρανζίστορ παράγουν υποβαθμισμένες εξόδους, για αυτό η συγκεκριμένη τεχνική θα πρέπει να αποφεύγεται. Αντ' αυτής, μπορούμε να κατασκευάσουμε μη-αντιστρεπτές συναρτήσεις από πολλαπλά στάδια αντιστρεπτών πύλων. Το Σχήμα 1.23 παρουσιάζει διάφορους τρόπους κατασκευής μιας πύλης AND 4 εισόδων από δύο επίπεδα αντιστρεπτών στατικών πύλων CMOS. Κάθε σχεδίαση χαρακτηρίζεται από διαφορετικούς συμβιβασμούς μεταξύ ταχύτητας, μεγέθους και κατανάλωσης ισχύος.

Παρόμοια, η σύνθετη πύλη του Σχήματος 1.18 θα μπορούσε να κατασκευαστεί με δύο πύλες AND, μία πύλη OR και έναν αντιστροφέα. Οι πύλες AND και OR, με τη σειρά τους θα μπορούσαν να κατασκευαστούν από πύλες NAND/NOR και αντιστροφείς, όπως υποδεικνύει το Σχήμα 1.24, χρησιμοποιώντας συνολικά 20 τρανζίστορ, σε σύγκριση με τα 8 του Σχήματος 1.18. Οι σχεδιαστές λογικών κυκλωμάτων CMOS οφείλουν να μάθουν να εκμεταλλεύονται τα πλεονεκτήματα των σύνθετων πύλων παρά να χρησιμοποιούν μεγάλο αριθμό πύλων AND/OR.



**ΣΧΗΜΑ 1.23** Διάφορες υλοποιήσεις μιας CMOS πύλης AND 4 εισόδων.



**ΣΧΗΜΑ 1.24** Αναποτελεσματική υλοποίηση πύλης AOI22 με διακριτά στοιχεία (αναφέρονται οι αριθμοί των τρανζίστορ).

**1.4.7 Τρισταθή Στοιχεία**

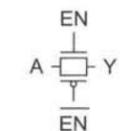
Το Σχήμα 1.25 παρουσιάζει τα σύμβολα που χρησιμοποιούνται για την αναπαράσταση ενός τρισταθούς απομονωτή (tristate buffer). Όταν η εισοδος EN (ενεργοποίησης) είναι 1, η έξοδος Y ισούται με την εισοδο A, όπως ακριβώς και σ' έναν κοινό απομονωτή. Όταν η εισοδος EN είναι 0, η έξοδος Y μένει «αιωρούμενη» (σε κάποια τιμή «Z»). Αυτό συνοψίζεται στον Πίνακα 1.5. Σε ορισμένες περιπτώσεις σχεδιάζονται ρητά τόσο το αληθές (true) σήμα EN όσο και το συμπληρωματικό του, EN̄, ενώ σε άλλες παρουσιάζεται μόνο το EN.

**ΠΙΝΑΚΑΣ 1.5** Πίνακας αληθείας για τον τρισταθή απομονωτή.

EN / EN̄	A	Y
0 / 1	0	Z
0 / 1	1	Z
1 / 0	0	0
1 / 0	1	1

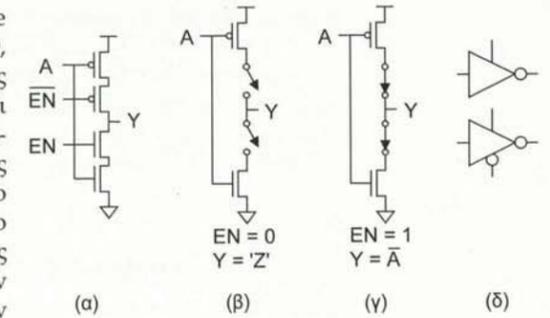
Η πύλη μετάδοσης του Σχήματος 1.26 έχει τον ίδιο πίνακα αληθείας με έναν τρισταθή απομονωτή. Απαιτεί μόνο δύο τρανζίστορ, αλλά είναι ένα μη-αποκαταστάσιμο (nonrestoring) κύκλωμα. Εάν το σήμα στην εισοδο υποφέρει από θόρυβο ή υποβαθμίζεται από κάποια άλλη αιτία, η έξοδος θα λάβει τον ίδιο θόρυβο. Όπως θα δούμε στην Ενότητα 4.4.2, η καθυστέρηση μιας σειράς μη-αποκαταστάσιμων πύλων αυξάνεται ταχύτατα με τον αριθμό των πύλων.

**ΣΧΗΜΑ 1.25** Σύμβολα για τον τρισταθή απομονωτή.



**ΣΧΗΜΑ 1.26** Πύλη μετάδοσης.

Το Σχήμα 1.27(α) παρουσιάζει έναν τρισταθή αντιστροφέα (tristate inverter). Επειδή η έξοδος οδηγείται ενεργά από την V<sub>DD</sub> ή την GND, πρόκειται για μία αποκαταστάσιμη λογική πύλη. Ανόμοια με όλες τις πύλες που έχουμε δει έως τώρα, ο τρισταθής αντιστροφέας δεν υπακούει στον κανόνα της συμπληρωματικής αγωγιμότητας επειδή πρέπει να επιτρέπει στην έξοδο να μένει «αιωρούμενη» για ορισμένους συνδυασμούς εισόδων. Όταν το EN είναι 0 (Σχήμα 1.27(β)), αμφότερα τα τρανζίστορ ενεργοποίησης είναι OFF, αφήνοντας την έξοδο αιωρούμενη. Όταν το EN είναι 1 (Σχήμα 1.27(γ)), αμφότερα τα τρανζίστορ ενεργοποίησης είναι ON. Εννοιολογικά αφαιρούνται από το κύκλωμα, αφήνοντας έναν απλό αντιστροφέα. Το Σχήμα 1.27(δ) παρουσιάζει τα σύμβολα για τον τρισταθή αντιστροφέα. Το συμπληρωματικό σήμα ενεργοποίησης μπορεί να παραχθεί εσωτερικά ή να δρομολογηθεί επί τούτου στο κύτταρο. Ένας τρισταθής απομονωτής μπορεί να κατασκευαστεί μ' έναν τρισταθή αντιστροφέα ακολουθούμενο από έναν κοινό αντιστροφέα.



**ΣΧΗΜΑ 1.27** Τρισταθής αντιστροφέας.

Στο παρελθόν, τα τρισταθή στοιχεία χρησιμοποιούνταν ευρέως για να επιτρέπουν σε πολλαπλές μονάδες να οδηγούν έναν κοινό δίαυλο, εφόσον ήταν ενεργοποιημένη μία και μόνο μονάδα ανά πάσα στιγμή. Εάν ο δίαυλος οδηγείται από πολλαπλές μονάδες, προκαλείται «διαμάχη» με αποτέλεσμα υπερφόρτωση και σπατάλη ισχύος. Εάν ο δίαυλος δεν οδηγείται από καμία από τις μονάδες, μπορεί να παραμείνει «αιωρούμενος» σε κάποια άκυρη λογική στάθμη, πράγμα το οποίο σημαίνει σπατάλη ισχύος για τους δέκτες. Επιπλέον, μπορεί να είναι δύσκολο το να αλλάζουν κατάσταση τα σήματα ενεργοποίησης την ίδια ακριβώς χρονική στιγμή, όταν αυτά είναι κατανεμημένα σε όλη την έκταση ενός μεγάλου ολοκληρωμένου. Η καθυστέρηση μεταξύ των σημάτων ενεργοποίησης που αλλάζουν κατάσταση μπορεί να προκαλέσει καταστάσεις διαμάχης. Λόγω αυτών των προβλημάτων, σήμερα πλέον προτιμώνται οι πολυπλέκτες έναντι των τρισταθών διαύλων.

**1.4.8 Πολυπλέκτες**

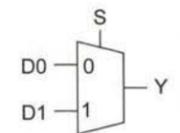
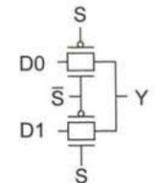
Οι πολυπλέκτες είναι μία από τις βασικότερες μονάδες στη σχεδίαση στοιχείων μνήμης CMOS και δομών χειρισμού δεδομένων. Ένας πολυπλέκτης επιλέγει την έξοδο μεταξύ πολλαπλών εισόδων βασιζόμενος σ' ένα σήμα επιλογής. Ένας πολυπλέκτης 2 εισόδων, ή 2:1, επιλέγει την εισοδο D0 όταν το σήμα επιλογής είναι 0 και την εισοδο D1 όταν το σήμα επιλογής είναι 1. Ο πίνακας αληθείας παρατίθεται στον Πίνακα 1.6 και η λογική συνάρτηση είναι  $Y = \bar{S} \cdot D0 + S \cdot D1$ .

**ΠΙΝΑΚΑΣ 1.6** Πίνακας αληθείας πολυπλέκτη

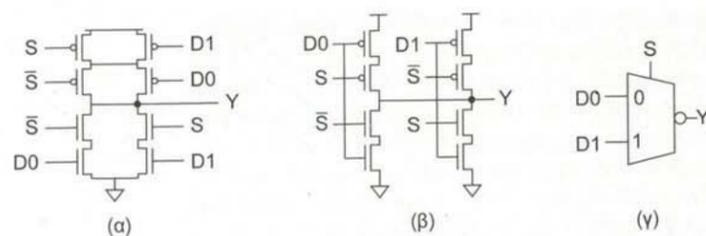
S / S̄	D1	D0	Y
0 / 1	X	0	0
0 / 1	X	1	1
1 / 0	0	X	0
1 / 0	1	X	1

Για τη δημιουργία ενός συμπαγούς πολυπλέκτη 2 εισόδων μπορούν να συνδεθούν δύο πύλες μετάδοσης, όπως παρουσιάζεται στο Σχήμα 1.28(α). Ανά πάσα στιγμή, το σήμα επιλογής και το συμπλήρωμά του ενεργοποιούν ακριβώς μία από τις δύο πύλες μετάδοσης. Συχνά, το συμπλήρωμα του σήματος επιλογής δεν σχεδιάζεται στο σύμβολο, όπως στο Σχήμα 1.28(β).

Οι πύλες μετάδοσης παράγουν έναν μη-αποκαταστάσιμο πολυπλέκτη. Θα μπορούσαμε να κατασκευάσουμε έναν αποκαταστάσιμο, αναστρέφοντα πολυπλέκτη από πύλες, με αρκετούς τρόπους. Ένας εξ αυτών είναι η σύνθετη πύλη του Σχ. 1.18(ε), συνδεδεμένη όπως απεικονίζει το Σχήμα 1.29(α). Ένας άλλος τρόπος είναι να ομαδοποιήσουμε δύο τρισταθείς αντιστροφείς, όπως απεικονίζει το Σχήμα 1.29(β). Παρατηρήστε ότι τα σχηματικά των δύο αυτών προσεγγίσεων είναι σχεδόν πανομοιότυπα, εκτός του ότι το δίκτυο οδήγησης «πάνω» έχει ελαφρώς απλοποιηθεί και τροποποιηθεί στο Σχήμα 1.29(β). Αυτό είναι εφικτό επειδή το σήμα επιλογής και το συμπλήρωμά του είναι αμοιβαία αποκλειστικά. Η προσέγγιση με τα τρισταθή είναι λίγο πιο συμπαγής και ταχύτερη, επειδή απαιτεί λιγότερους εσωτερικούς αγωγούς διασύνδεσης. Κι



**ΣΧΗΜΑ 1.28** Πολυπλέκτης υλοποιημένος με πύλες μετάδοσης.



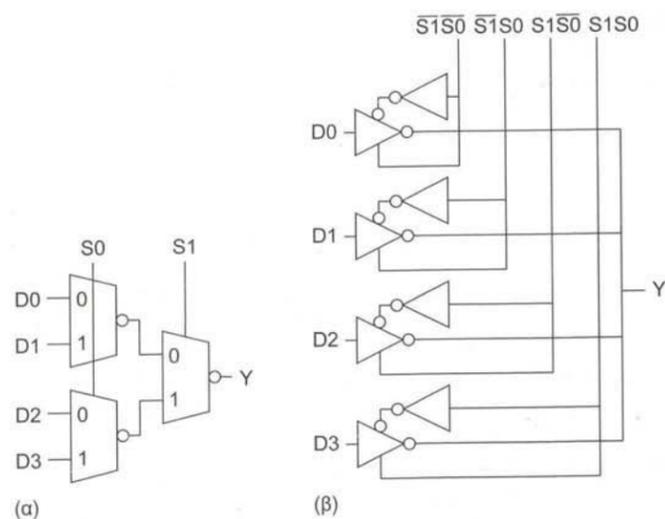
ΣΧΗΜΑ 1.29 Αναστρέφων πολυπλέκτης.

εδώ ξανά, εάν το συμπλήρωμα του σήματος επιλογής παράγεται εντός του κυττάρου, παραλείπεται από το σύμβολο (Σχήμα 1.29(γ)).

Μεγαλύτεροι πολυπλέκτες μπορούν να κατασκευάζονται από πολλαπλούς πολυπλέκτες 2 εισόδων, ή με απευθείας ομαδοποίηση πολλών τρισταθών. Η δεύτερη προσέγγιση απαιτεί αποκωδικοποιημένα σήματα ενεργοποίησης (enable) για κάθε τρισταθές στοιχείο. Το Σχήμα 1.30 παρουσιάζει πολυπλέκτες 4 εισόδων (4:1) που χρησιμοποιούν καθεμία από αυτές τις προσεγγίσεις. Στην πράξη, τόσο οι αναστρέφοντες όσο και οι μη αναστρέφοντες πολυπλέκτες αποκαλούνται απλώς πολυπλέκτες (multiplexer ή mux).

#### 1.4.9 Ακολουθιακά Κυκλώματα

Μέχρι τώρα ασχοληθήκαμε με *συνδυαστικά* (combinational) *κυκλώματα*, των οποίων οι εξοδοί εξαρτώνται μόνο από τις τρέχουσες εισόδους. Τα *ακολουθιακά κυκλώματα* (sequential circuits) έχουν μνήμη: οι εξοδοί τους εξαρτώνται τόσο από τις τρέχουσες, όσο και από τις προηγούμενες εισόδους. Χρησιμοποιώντας τα συνδυαστικά κυκλώματα που αναπτύξαμε έως τώρα, μπορούμε να κατασκευάσουμε ακολουθιακά κυκλώματα, όπως μανδαλωτές (latches) και flip-flop. Τα στοιχεία αυτά λαμβάνουν μια είσοδο ρολογιού (CLK) και μια είσοδο δεδομένων (D), και παράγουν μια έξοδο (Q). Ένας *μανδαλωτής D* λέγεται ότι είναι *διαφανής* (transparent) όταν  $CLK = 1$ , πράγμα το οποίο σημαίνει ότι η έξοδος Q ακολουθεί την είσοδο D. Γίνεται *αδιαφανής* (opaque) όταν  $CLK = 0$ , πράγμα το οποίο σημαίνει ότι η έξοδος Q διατηρεί την προηγούμενη τιμή της και αγνοεί τις μεταβολές της εισόδου D. Ένα *ακμοπυροδότητο flip-flop* (edge-triggered flip-flop) αντιγράφει την είσοδο D στην έξοδο Q κατά την ανοδική ακμή του σήματος ρολογιού (CLK) και θυμάται την παλαιά τιμή της σε κάθε άλλη περίπτωση.



ΣΧΗΜΑ 1.30 Πολυπλέκτης 4:1.

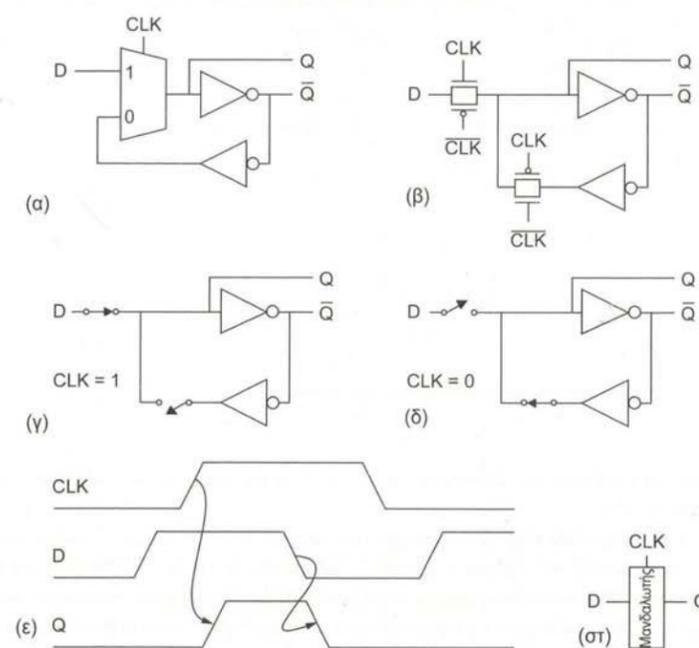
**1.4.9.1 Μανδαλωτές** Ένας *μανδαλωτής D* κατασκευασμένος με πολυπλέκτη 2 εισόδων και δύο αντιστροφείς παρουσιάζεται στο Σχήμα 1.31(α). Ο πολυπλέκτης μπορεί να κατασκευαστεί με ένα ζεύγος πωλών μετάδοσης, όπως βλέπετε στο Σχήμα 1.31(β), επειδή οι αντιστροφείς είναι αποκαταστάσιμοι. Αυτός ο μανδαλωτής παράγει επίσης τη συμπληρωματική έξοδο,  $\bar{Q}$ . Όταν  $CLK = 1$ , ο μανδαλωτής είναι διαφανής και το σήμα D τον διαρρέει, έως την έξοδο Q (Σχήμα 1.31(γ)). Όταν το CLK πέσει στο 0, ο μανδαλωτής γίνεται αδιαφανής. Δημιουργείται μια διαδρομή ανάδρασης γύρω από το ζεύγος των αντιστροφέων (Σχήμα 1.31(δ)), η οποία κατακρατά επί άπειρον την τρέχουσα κατάσταση της εξόδου Q.

Ο μανδαλωτής D είναι επίσης γνωστός ως *μανδαλωτής ευαίσθητος σε στάθμη* (level-sensitive latch), επειδή η κατάσταση της εξόδου εξαρτάται από τη στάθμη του σήματος ρολογιού, όπως παρουσιάζεται στο Σχήμα 1.31(ε). Το σύμβολο του Σχήματος 1.31(στ) αναπαριστά ένα μανδαλωτή ευαίσθητο σε θετική στάθμη (positive level-sensitive latch). Αντιστρέφοντας τις συνδέσεις ελέγχου του πολυπλέκτη προκύπτει ένας μανδαλωτής ευαίσθητος σε αρνητική στάθμη (negative level-sensitive latch).

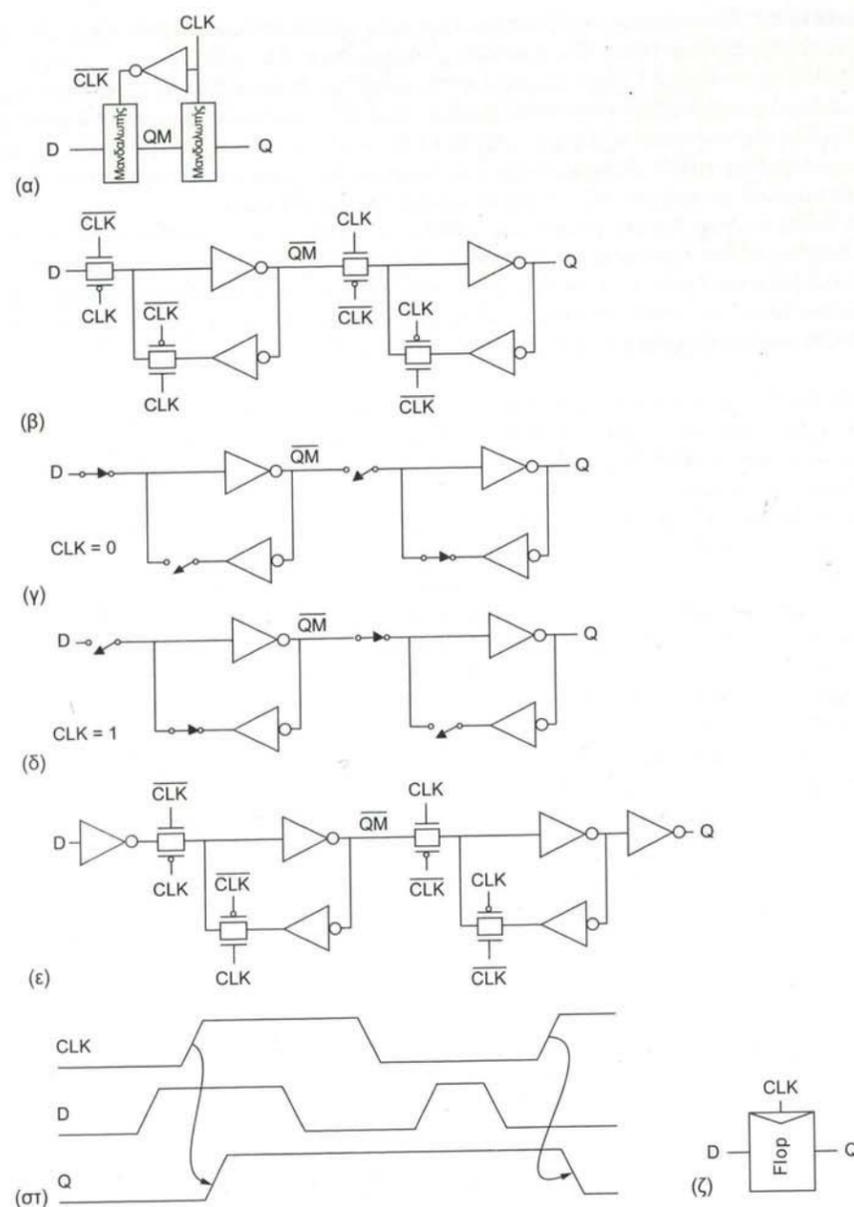
**1.4.9.2 Flip-Flop** Συνδυάζοντας δύο μανδαλωτές -έναν ευαίσθητο σε θετική στάθμη κι έναν ευαίσθητο σε αρνητική στάθμη-, δημιουργείται το *ακμοπυροδότητο flip-flop* (edge-triggered flip-flop) που παρουσιάζεται στα Σχήματα 1.32(α-β). Κατά σύμβαση, η πρώτη βαθμίδα του μανδαλωτή αποκαλείται master (κύριος) και η δεύτερη slave (υποτελής).

Για όσο χρόνο το CLK βρίσκεται σε χαμηλή στάθμη, η έξοδος του master μανδαλωτή αρνητικής στάθμης ( $\bar{Q}$ ) ακολουθεί την είσοδο D, ενώ ο slave μανδαλωτής θετικής στάθμης συγκρατεί την προηγούμενη τιμή (Σχήμα 1.32(γ)). Όταν το ρολόι μεταβαίνει από 0 σε 1, ο master μανδαλωτής γίνεται αδιαφανής και διατηρεί την τιμή που είχε η D κατά τη στιγμή μεταβολής του ρολογιού. Ο slave μανδαλωτής γίνεται διαφανής, περνώντας την αποθηκευμένη τιμή του master ( $\bar{Q}$ ) στην έξοδο του slave (Q). Η είσοδος D δεν μπορεί τώρα να επηρεάσει την έξοδο, επειδή ο master έχει αποσυνδεθεί από την είσοδο D (Σχήμα 1.32(δ)). Αντίστοιχα, όταν το ρολόι μεταβαίνει από 1 σε 0 ο slave διατηρεί την τιμή του και ο master αρχίζει να δειγματοληπτεί και πάλι την είσοδο.

Αν και χρησιμοποιήσαμε ένα πολυπλέκτη από πύλες μετάδοσης ως στάδιο εισόδου, μια καλή σχεδίαση θα απομόνωνε την είσοδο από την έξοδο με αντιστροφείς, όπως παρουσιάζεται στο Σχήμα 1.32(ε), για να διατηρήσει αυτό που αποκαλούμε *αρθρωτό χαρακτήρα* (modularity) του κυκλώματος. Το ζήτημα του



ΣΧΗΜΑ 1.31 CMOS μανδαλωτής D ευαίσθητος σε θετική στάθμη.

ΣΧΗΜΑ 1.32 Θετικά ακμοπυροδότητο  $D$  flip-flop CMOS.

αρθρωτού χαρακτήρα εξετάζεται στην Ενότητα 1.6.2, ενώ η ευρωστία των μανδαλωτών και καταχωρητών εξετάζεται στην Ενότητα 10.3.

Συμπερασματικά, αυτό το flip-flop αντιγράφει την είσοδο  $D$  στην έξοδο  $Q$  κατά την ανοδική ακμή του ρολογιού, όπως υποδεικνύει το Σχήμα 1.32(στ). Γι' αυτό και το εν λόγω στοιχείο αποκαλείται θετικά ακμοπυροδότητο flip-flop (αποκαλείται επίσης καταχωρητής  $D$ ,  $D$  flip-flop, ή master-slave flip-flop). Το Σχήμα 1.32(ζ) απεικονίζει το κυκλωματικό σύμβολο για το flip-flop. Αντιστρέφοντας τις πολικότητες του μανδαλωτή προκύπτει ένα αρνητικά ακμοπυροδότητο flip-flop. Μία συλλογή από  $D$  flip-flop που μοιρά-

ζονται μία κοινή είσοδο ρολογιού αποκαλείται καταχωρητής (register). Συχνά, το σχηματικό διάγραμμα ενός καταχωρητή σχεδιάζεται μ' ένα flip-flop με διαύλους πολλαπλών bit για τις  $D$  και  $Q$ .

Στην Ενότητα 10.2.5 θα δούμε ότι τα flip-flop μπορούν να υφίστανται αποτυχίες οφειλόμενες στο χρόνο διατήρησης (hold time), εάν το σύστημα έχει υπερβολική απόκλιση ρολογιού (clock skew) - για παράδειγμα, εάν ένα flip-flop πυροδοτείται νωρίς κι ένα άλλο πυροδοτείται αργά λόγω διακυμάνσεων στους χρόνους άφιξης του ρολογιού. Σε σχεδιάσεις βιομηχανικών συστημάτων αναλώνεται πολλή προσπάθεια σε προσομοιώσεις του χρονισμού για να εντοπιστούν τυχόν προβλήματα στους χρόνους διατήρησης. Σε περιπτώσεις που ο χρόνος σχεδίασης είναι πιο σημαντικός (π.χ., σ' ένα ακαδημαϊκό περιβάλλον), τα προβλήματα χρόνου διατήρησης μπορούν να αποφεύγονται συνολικά, με την κατανομή ενός ρολογιού δύο μη-επικαλυπτόμενων φάσεων. Το Σχήμα 1.33 παρουσιάζει το flip-flop χρονισμένο με ρολόι δύο μη-επικαλυπτόμενων φάσεων. Εφόσον οι φάσεις δεν επικαλύπτονται ποτέ, τουλάχιστον ένας μανδαλωτής θα είναι αδιαφανής ανά πάσα στιγμή, οπότε δεν μπορούν να υπάρχουν προβλήματα με τους χρόνους διατήρησης.

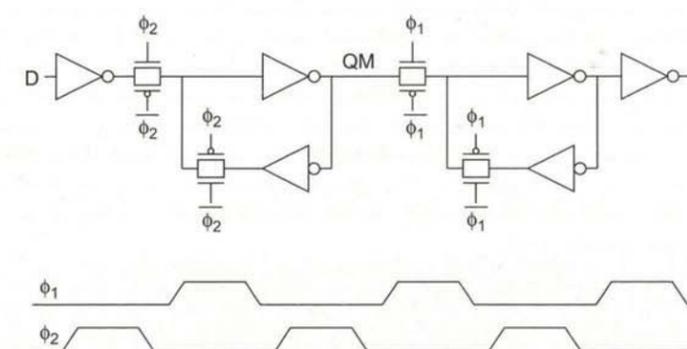
## 1.5 Φυσική Σχεδίαση και Κατασκευή CMOS

Τώρα που ξέρετε πώς να σχεδιάζετε λογικές πύλες και μανδαλωτές από τρανζίστορ, ας δούμε πώς κατασκευάζονται τα ίδια τα τρανζίστορ. Οι σχεδιαστές οφείλουν να κατανοούν τη φυσική υλοποίηση των κυκλωμάτων, επειδή έχει σημαντικότερη επίδραση στην απόδοση, την κατανάλωση ισχύος και το κόστος.

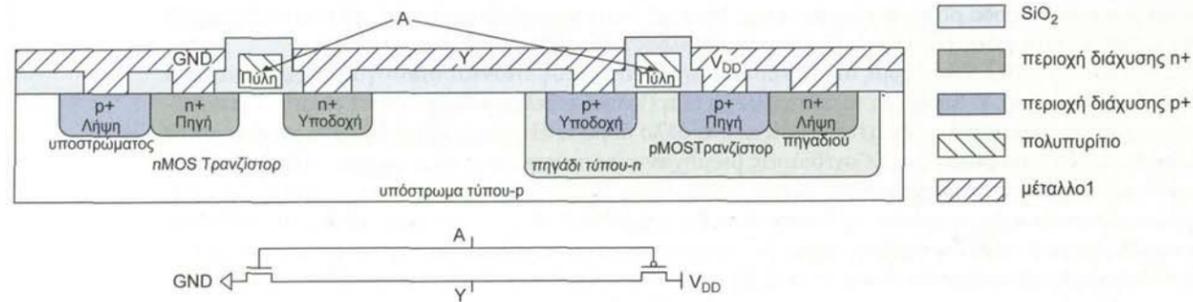
Τα τρανζίστορ κατασκευάζονται πάνω σε λεπτά δισκία πυριτίου, τα οποία εξυπηρετούν ως μηχανική στήριξη και λειτουργούν ως κοινό ηλεκτρικό σημείο - το αποκαλούμενο υπόστρωμα (substrate). Μπορούμε να εξετάσουμε τη φυσική σχεδίαση των τρανζίστορ από δύο οπτικές γωνίες: την κάτοψη (κοιτάζοντας ένα δισκίο από πάνω) και την εγκάρσια τομή (τεμαχίζοντας το δισκίο στο μέσον του τρανζίστορ και κοιτάζοντας το από το πλάι). Θα ξεκινήσουμε εξετάζοντας την εγκάρσια τομή ενός πλήρους αντιστροφέα CMOS. Στη συνέχεια θα εξετάσουμε την κάτοψη του ίδιου αντιστροφέα και θα ορίσουμε ένα σύνολο μασκών που χρησιμοποιούνται για την κατασκευή των διάφορων μερών του. Το μέγεθος των τρανζίστορ και των αγωγών διασύνδεσης υπαγορεύεται από τις διαστάσεις των μασκών και περιορίζεται από την ανάλυση της κατασκευαστικής διαδικασίας. Οι συνεχείς πρόοδοι που σημειώνονται στον τομέα της ανάλυσης τροφοδοτούν την εκθετική ανάπτυξη της βιομηχανίας των ημιαγωγών.

### 1.5.1 Εγκάρσια Τομή Αντιστροφέα

Το Σχήμα 1.34 παρουσιάζει την εγκάρσια τομή και το αντίστοιχο σχηματικό ενός αντιστροφέα. Στο διάγραμμα, ο αντιστροφέας είναι κατασκευασμένος πάνω σ' ένα υπόστρωμα  $p$ -τύπου. Επειδή το  $p$ MOS τρανζίστορ απαιτεί μία περιοχή σώματος  $n$ -τύπου, δημιουργείται με διάχυση ένα  $n$ -πηγάδι κοντά στο υπόστρωμα. Όπως αναφέραμε στην Ενότητα 1.3, το  $n$ MOS τρανζίστορ έχει έντονα νοθευμένες περιοχές



ΣΧΗΜΑ 1.33 CMOS flip-flop με δύο ρολόγια μη επικαλυπτόμενων φάσεων.



ΣΧΗΜΑ 1.34 Εγκάρσια τομή αντιστροφέα με ορατές τις επαφές πηγαδιού και υποστρώματος.

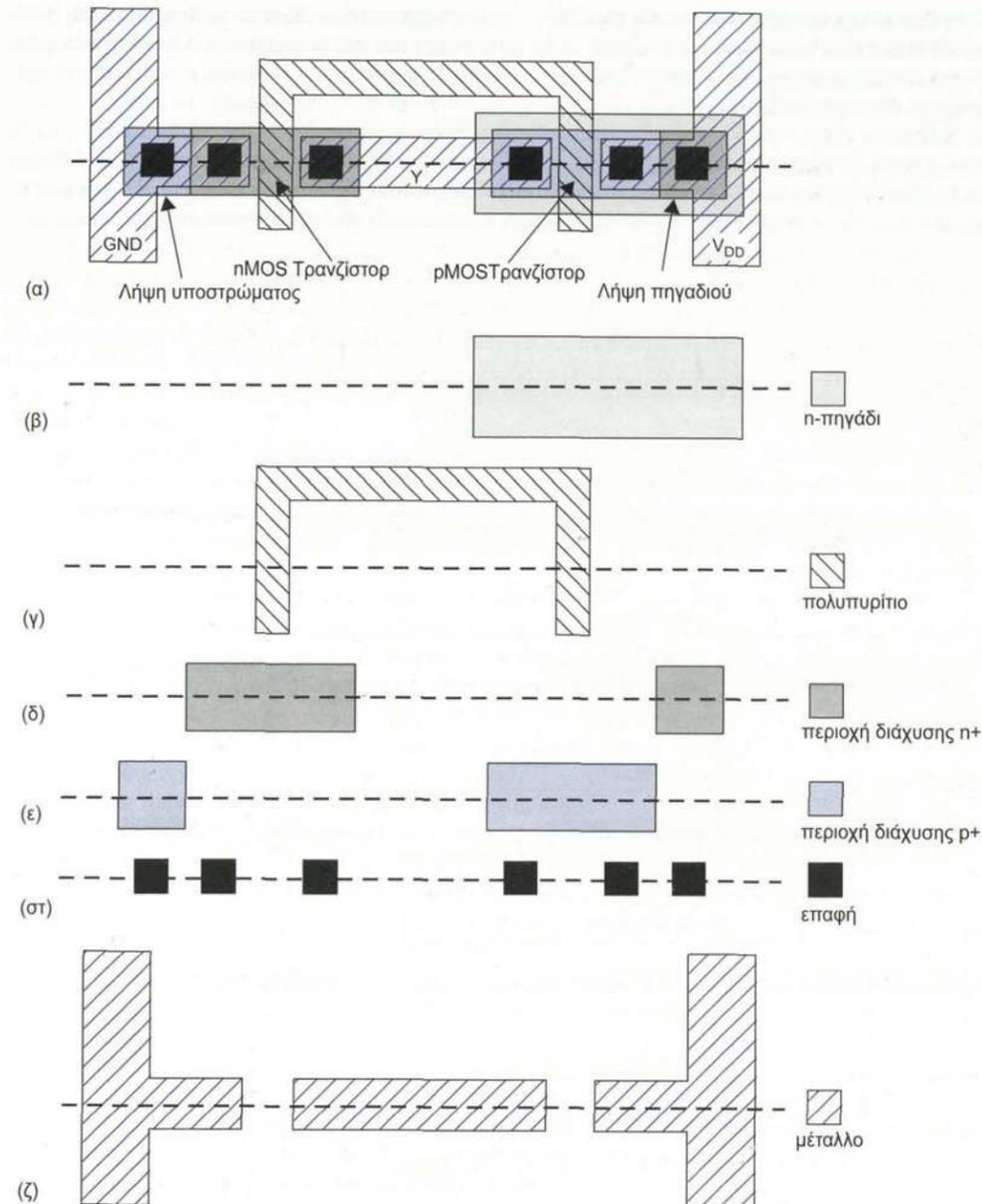
πηγής και υποδοχής n-τύπου και μία πύλη πολυπυριτίου πάνω σ' ένα λεπτό στρώμα από διοξείδιο του πυριτίου ( $SiO_2$ , αποκαλείται επίσης *οξείδιο πύλης*). Οι περιοχές διάχυσης n+ και p+ υποδεικνύουν έντονα νοθευμένο πυρίτιο n-τύπου και p-τύπου. Το pMOS τρανζίστορ είναι μία παρόμοια δομή με περιοχές πηγής και υποδοχής p-τύπου. Οι πύλες πολυπυριτίου των δύο τρανζίστορ συνδέονται μαζί σε κάποιο σημείο εκτός της σελίδας και σχηματίζουν την είσοδο A. Η πηγή του nMOS τρανζίστορ συνδέεται σε μία μεταλλική γραμμή γείωσης και η πηγή του pMOS τρανζίστορ συνδέεται σε μία μεταλλική γραμμή  $V_{DD}$ . Οι υποδοχές των δύο τρανζίστορ συνδέονται με μέταλλο για να σχηματίσουν την έξοδο Y. Ένα παχύ στρώμα  $SiO_2$ , το αποκαλούμενο *οξείδιο πεδίου* (field oxide) εμποδίζει το μέταλλο να βραχυκυκλωθεί με άλλες στρώσεις εκτός από τα σημεία όπου έχουν χαραχτεί επαφές (contacts).

Μια ένωση (επαφή) μεταξύ μετάλλου και ελαφρώς νοθευμένου ημιαγωγού σχηματίζει μια *διόδο Schottky*, η οποία άγει ρεύμα μόνο προς μία κατεύθυνση. Όταν ο ημιαγωγός είναι περισσότερο νοθευμένος, σχηματίζει καλή ωμική επαφή με το μέταλλο και παρέχει χαμηλή αντίσταση για αμφίδρομη ροή ρεύματος. Το υπόστρωμα πρέπει να είναι συνδεδεμένο σε χαμηλό δυναμικό, ώστε να αποφεύγεται η ορθή πόλωση της επαφής p-n μεταξύ του p-τύπου υποστρώματος και της n+ πηγής ή υποδοχής του nMOS. Παρόμοια, το n-πηγάδι πρέπει να είναι συνδεδεμένο σε υψηλό δυναμικό. Αυτό επιτυγχάνεται προσθέτοντας στο υπόστρωμα και στο πηγάδι επαφές υψηλού βαθμού νόθευσης (αποκαλούνται λήψεις ή απαγωγές [taps]), για τη σύνδεση των GND και  $V_{DD}$  στο υπόστρωμα και στο n-πηγάδι, αντίστοιχα.

### 1.5.2 Η Διαδικασία Κατασκευής

Παρά την πολυπλοκότητά τους, τα ολοκληρωμένα είναι εκπληκτικά φθηνά, επειδή όλα τα τρανζίστορ και οι αγωγοί διασύνδεσης μπορούν να εκτυπώνονται περίπου με τον ίδιο τρόπο που τυπώνεται ένα βιβλίο. Για την κατασκευή τους χρησιμοποιείται μια αλληλουχία βημάτων, με τα οποία καθορίζονται οι στρώσεις του ολοκληρωμένου, μέσω μιας διαδικασίας που αποκαλείται *φωτολιθογραφία*. Επειδή σε κάθε βήμα υφίσταται επεξεργασία ολόκληρο το δισκίο, το οποίο περιέχει πολλά ολοκληρωμένα, το κόστος του ολοκληρωμένου είναι ανάλογο με την επιφάνεια που καταλαμβάνει και όχι με τον αριθμό των τρανζίστορ. Χάρη στις εξελίξεις της διαδικασίας κατασκευής, οι μηχανικοί μπορούν να κατασκευάζουν μικρότερα τρανζίστορ και να τοποθετούν περισσότερα τρανζίστορ στην ίδια επιφάνεια, με αποτέλεσμα κάθε τρανζίστορ να γίνεται ολοένα και πιο φθινό. Τα μικρότερα τρανζίστορ είναι επίσης ταχύτερα, επειδή τα ηλεκτρόνια δεν χρειάζεται να διασχίζουν τόσο μεγάλη απόσταση από την πηγή στην υποδοχή, ενώ καταναλώνουν λιγότερη ενέργεια επειδή χρειάζονται λιγότερα ηλεκτρόνια για τη φόρτιση των πυλών. Αυτό εξηγεί την αξιοθαύμαστη τάση των υπολογιστών και των ηλεκτρονικών να γίνονται ταυτόχρονα φθινότερα και αποδοτικότερα σε κάθε γενιά.

Ο αντιστροφέας μπορεί να καθοριστεί με μια (υποθετική) ομάδα έξι μασκών: n-πηγάδι, πολυπυρίτιο, n+ διάχυση, p+ διάχυση, επαφές και μέταλλο (για λόγους που σχετίζονται με τη διαδικασία κατασκευής και αναφέρονται στο Κεφάλαιο 3, οι πραγματικές μάσκες είναι συνήθως πολυπλοκότερες). Οι μάσκες καθορίζουν πού θα κατασκευαστούν τα κυκλώματα πάνω στο ολοκληρωμένο. Το Σχήμα 1.35(α) παρουσιάζει την κάτοψη των έξι μασκών. Η εγκάρσια τομή του αντιστροφέα στο Σχήμα 1.34 πραγματοποιήθηκε κατά μήκος της διακεκομμένης γραμμής. Αφιέρωσε λίγο χρόνο για να κατανοήσετε πώς σχετίζονται μεταξύ



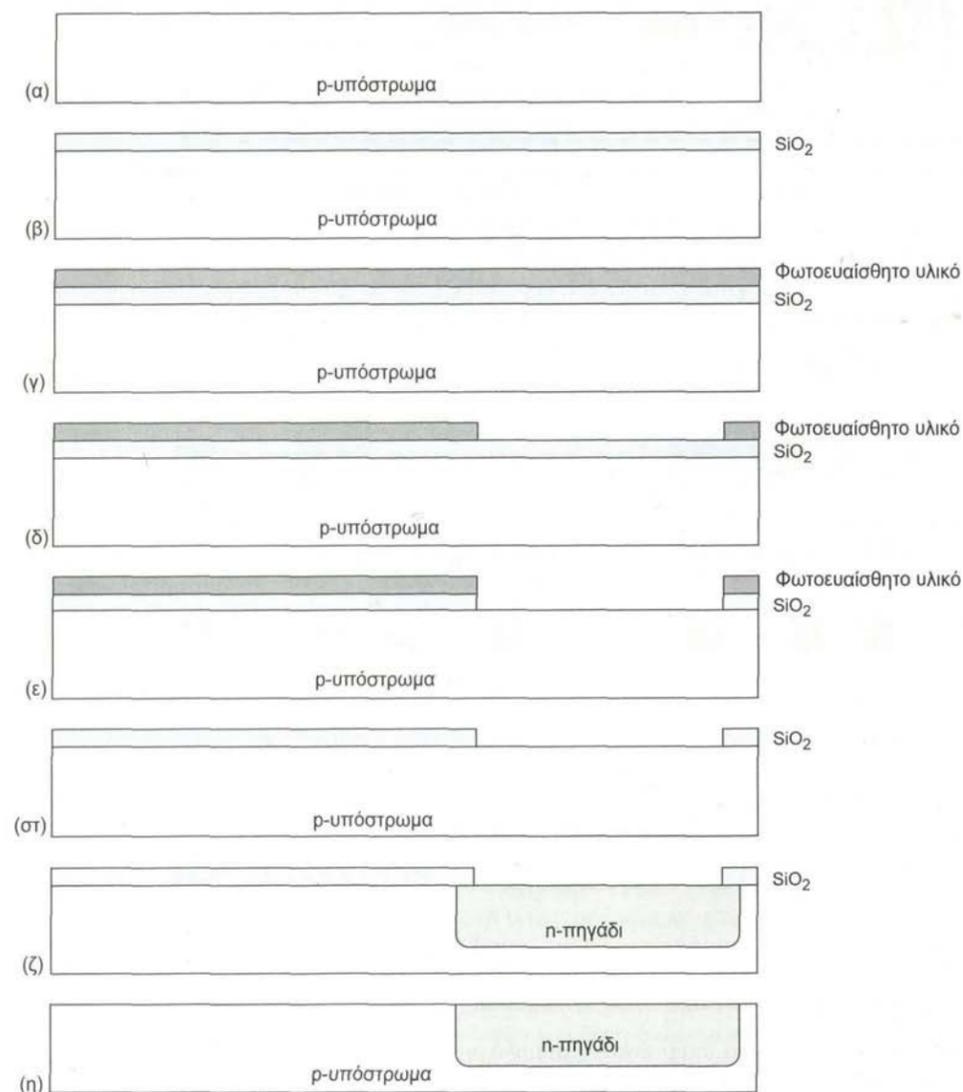
ΣΧΗΜΑ 1.35 Οι μάσκες για την κατασκευή του αντιστροφέα.

τους η κάτοψη και η εγκάρσια τομή· αυτό είναι πολύ σημαντικό για την κατανόηση της φυσικής σχεδίασης των ολοκληρωμένων.

Εδώ θα εξετάσουμε μία πολύ απλή διαδικασία κατασκευής για να κατανοήσετε τα βασικά. Η διαδικασία ξεκινά με τη δημιουργία ενός n-πηγαδιού σ' ένα γυμνό δισκίο πυριτίου p-τύπου. Το Σχήμα 1.36 παρουσιάζει τομές του δισκίου μετά από κάθε βήμα επεξεργασίας που εμπλέκεται στο σχηματισμό του n-πηγαδιού. Το Σχήμα 1.36(α) παρουσιάζει το γυμνό υπόστρωμα πριν από την επεξεργασία. Ο σχηματισμός των n-πηγαδιών απαιτεί την προσθήκη αρκετής ποσότητας υλικών νόθευσης της Ομάδας V στο υπόστρωμα του πυριτίου, ώστε να αλλάξει από p-τύπου σε n-τύπου στην περιοχή του πηγαδιού. Για να καθορίσουμε ποιες περιοχές θα λάβουν n-πηγάδια, δημιουργούμε ένα προστατευτικό στρώμα οξειδίου πάνω

απ' όλο το δισκίο και κατόπιν αφαιρούμε το οξείδιο από τα σημεία όπου θέλουμε τα πηγάδια. Στη συνέχεια προσθέτουμε τα υλικά νόθευσης n-τύπου· αυτά μπλοκάρονται από το οξείδιο, αλλά εισέρχονται στο υπόστρωμα και σχηματίζουν τα πηγάδια εκεί όπου δεν υπάρχει οξείδιο. Ακολουθεί μια αναλυτικότερη περιγραφή αυτών των βημάτων.

Κατ' αρχήν, το δισκίο *οξειδώνεται* σε κλίβανο υψηλής θερμοκρασίας (συνήθως 900° - 1.200°C), αναγκάζοντας έτσι το Si να αντιδράσει με το O<sub>2</sub> για να σχηματιστεί SiO<sub>2</sub> στην επιφάνεια του δισκίου (Σχήμα 1.36(β)). Το οξείδιο πρέπει να έχει το κατάλληλο μοτίβο (pattern) για να οριστεί το n-πηγάδι. Ένα οργανικό φωτοευαίσθητο υλικό (photoresist)<sup>2</sup>, το οποίο μαλακώνει στα σημεία όπου εκτίθενται στο φως, απλώνεται



ΣΧΗΜΑ 1.36 Τομές που απεικονίζουν τη διαδικασία κατασκευής του n-πηγαδιού.

<sup>2</sup> Οι μηχανικοί έχουν πειραματιστεί με πολλά οργανικά πολυμερή. Το 1958, οι Brumford και Walker ανέφεραν ότι το ζελέ (Jello™) θα μπορούσε να χρησιμοποιηθεί για τις μάσκες. Μετά από εκτενείς δοκιμές με διάφορα ζελέ, συμπέραναν ότι το καλύτερο αποτέλεσμα δίνει το λεμόνι.

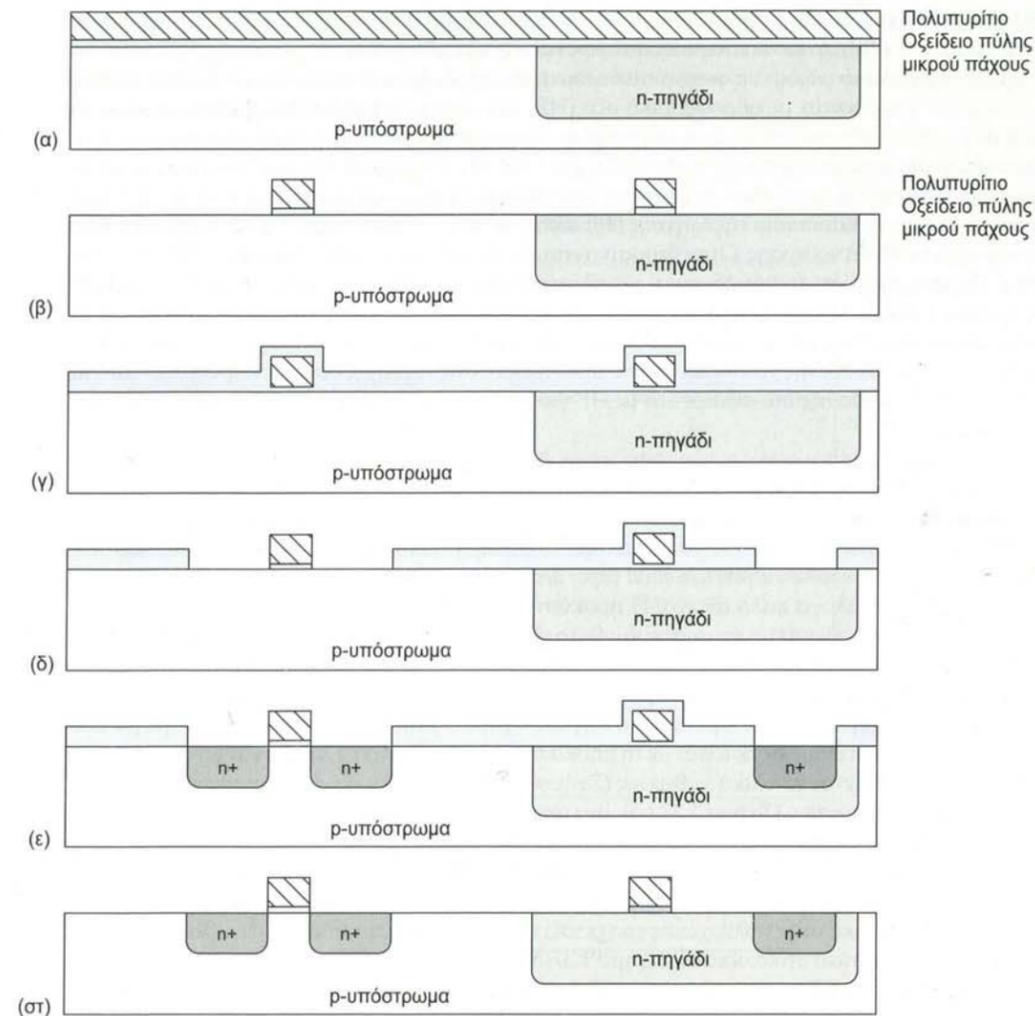
με στροβιλισμό πάνω στο δισκίο (Σχήμα 1.36(γ)). Το φωτοευαίσθητο υλικό εκτίθεται μέσω της μάσκας n-πηγαδιού (Σχήμα 1.36(β)), η οποία επιτρέπει στο φως να περάσει μόνο στις περιοχές όπου θα έπρεπε να είναι το πηγάδι. Το μαλακό μέρος του φωτοευαίσθητου αφαιρείται, αποκαλύπτοντας το οξείδιο (Σχήμα 1.36(δ)). Το οξείδιο χαράσσεται με υδροφθορικό οξύ (HF) στα σημεία όπου δεν προστατεύεται από το φωτοευαίσθητο υλικό (Σχήμα 1.36(ε)) και κατόπιν το υπόλοιπο φωτοευαίσθητο υλικό αφαιρείται μ' ένα μείγμα οξέων που αποκαλείται *χαράκτης πηγάδα* (Σχήμα 1.36(στ)). Το πηγάδι σχηματίζεται εκεί όπου το υπόστρωμα δεν καλύπτεται με οξείδιο. Δύο τρόποι προσθήκης υλικών νόθευσης είναι η διάχυση και η εμφύτευση ιόντων. Με τη διαδικασία της *διάχυσης (diffusion)*, το δισκίο τοποθετείται σ' έναν κλίβανο μ' ένα αέριο που περιέχει τα υλικά νόθευσης. Όταν θερμαίνονται, τα άτομα των υλικών νόθευσης διαχέονται στο υπόστρωμα. Παρατηρήστε ότι το πηγάδι είναι μεγαλύτερο από την οπή στο οξείδιο λόγω της *πλευρικής διάχυσης* (Σχήμα 1.36(ζ)). Με την *εμφύτευση ιόντων (ion implantation)*, τα ιόντα νόθευσης επιταχύνονται μέσω ενός ηλεκτρικού πεδίου και εκτοξεύονται στο υπόστρωμα. Και με τις δύο μεθόδους, το στρώμα οξειδίου εμποδίζει τα υλικά νόθευσης να εισέλθουν στο υπόστρωμα, στις περιοχές όπου δεν προορίζονται για πηγάδι. Τέλος, το υπόλοιπο οξείδιο αφαιρείται με HF για να μείνει το γυμνό δισκίο με τα πηγάδια στις κατάλληλες θέσεις.

Στη συνέχεια σχηματίζονται οι πύλες των τρανζιστορ. Αυτές αποτελούνται από πολυκρυσταλλικό πυρίτιο, το οποίο γενικά αποκαλείται *πολυπυρίτιο (polysilicon)*, πάνω από ένα λεπτό στρώμα οξειδίου. Το λεπτό οξείδιο αναπτύσσεται μέσα σε κλίβανο. Κατόπιν το δισκίο τοποθετείται σ' έναν αντιδραστήρα με αέριο σιλάνιο (SiH<sub>4</sub>) και θερμαίνεται ξανά για να αναπτύξει το στρώμα πολυπυριτίου μέσω μιας διαδικασίας που αποκαλείται *χημική εναιώρηση ατμού (chemical vapor deposition)*. Το πολυπυρίτιο είναι πολύ νοθευμένο για να σχηματίσει έναν εύλογα καλό αγωγό. Η προκύπτουσα τομή παρουσιάζεται στο Σχήμα 1.37(α). Όπως και πριν, το δισκίο καλύπτεται με φωτοευαίσθητο υλικό και αποτυπώνεται η μάσκα πολυπυριτίου (Σχήμα 1.35(γ)), αφήνοντας τις πύλες πολυπυριτίου πάνω από το λεπτό οξείδιο πύλης (Σχήμα 1.37(β)).

Στη συνέχεια εισάγονται με διάχυση οι περιοχές n<sup>+</sup> για να δημιουργήσουν την ενεργή περιοχή του τρανζιστορ και την επαφή πηγαδιού. Όμοια με το πηγάδι, σχηματίζεται ένα προστατευτικό στρώμα από οξείδιο (Σχήμα 1.37(γ)) και σχηματοποιείται με τη μάσκα n-διάχυσης (Σχήμα 1.35(δ)) για να αποκαλύψει τις περιοχές όπου χρειάζονται τα υλικά νόθευσης (Σχήμα 1.37(δ)). Αν και συνήθως οι περιοχές n<sup>+</sup> σχηματίζονται με εμφύτευση ιόντων (Σχήμα 1.37(ε)), στο παρελθόν σχηματίζονταν με διάχυση και γι' αυτό αποκαλούνται *n-διάχυση*. Παρατηρήστε ότι η πύλη πολυπυριτίου πάνω στο nMOS τρανζιστορ εμποδίζει τη διάχυση, με αποτέλεσμα η πηγή και υποδοχή να διαχωρίζονται μ' ένα κανάλι κάτω από την πύλη. Η διαδικασία αυτή αποκαλείται *αυτο-ευθυγραμμισμένη* επειδή η πηγή και υποδοχή του τρανζιστορ σχηματίζονται αυτόματα γειτονικά στην πύλη, χωρίς να χρειάζεται να ευθυγραμμιστούν με ακρίβεια οι μάσκες. Τέλος, αφαιρείται το προστατευτικό οξείδιο (Σχήμα 1.37(στ)).

Η διαδικασία επαναλαμβάνεται για τη μάσκα p-διάχυσης (Σχήμα 1.35(ε)) και δίνει τη δομή του Σχήματος 1.38(α). Για τις μάσκες χρησιμοποιείται οξείδιο, όπως και παραπάνω. Το οξείδιο πεδίου αναπτύσσεται για τη μόνωση του δισκίου από το μέταλλο και σχηματοποιείται με την μάσκα επαφών (Σχήμα 1.35(στ)), η οποία αφήνει τις τομές των επαφών όπου θα τοποθετηθεί μέταλλο για να έρθει σε επαφή με τη διάχυση ή το πολυπυρίτιο (Σχήμα 1.38(β)). Τέλος, απλώνεται αλουμίνιο σε ολόκληρο το δισκίο, γεμίζοντας τις τομές των επαφών. Το μέταλλο σχηματοποιείται με τη μάσκα μετάλλου (Σχήμα 1.35(ζ)) και χαράσσεται με πλάσμα εκτός από τις περιοχές όπου θα μείνουν οι αγωγοί διασύνδεσης (Σχήμα 1.38(γ)). Στο σημείο αυτό ολοκληρώνεται η διαδικασία κατασκευής.

Οι σύγχρονες διαδικασίες κατασκευής είναι πολύπλοκες, επειδή πρέπει να δημιουργούν σύνθετες κατατομές νόθευσης γύρω από το κανάλι του τρανζιστορ και να εκτυπώσουν χαρακτηριστικά τα οποία είναι μικρότερα από το μήκος κύματος του φωτός που χρησιμοποιείται στη λιθογραφία. Ωστόσο, οι μάσκες γι' αυτά τα βήματα επεξεργασίας μπορούν να δημιουργούνται αυτόματα από την απλή ομάδα μασκών που μόλις εξετάσαμε. Οι σύγχρονες τεχνολογίες κατασκευής μπορεί να χρησιμοποιούν 5 έως 10 ή περισσότερες στρώσεις μετάλλου, οπότε τα βήματα μετάλλου και επαφών πρέπει να επαναλαμβάνονται για κάθε στρώση. Η κατασκευή ολοκληρωμένων έχει πλέον γίνει κοινό αγαθό και διάφορα εργοστάσια κατασκευάζουν σχέδια από μία βασική ομάδα μασκών.

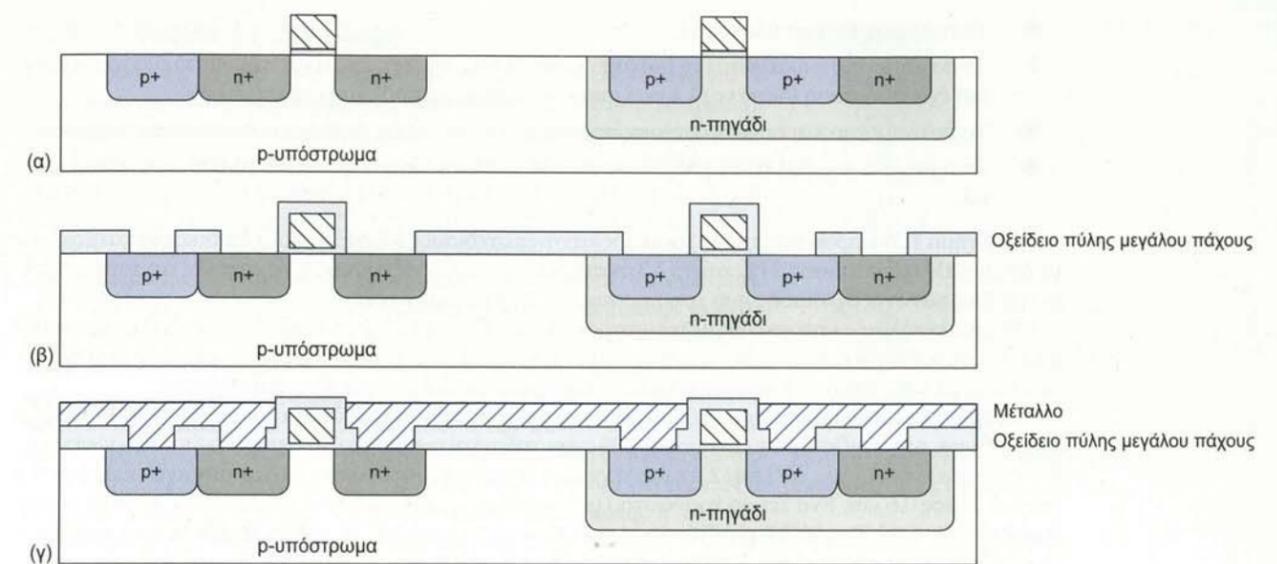


ΣΧΗΜΑ 1.37 Τομές που υποδεικνύουν τα στάδια κατασκευής πολυπυριτίπου και περιοχής διάχυσης  $n$ .

### 1.5.3 Κανόνες Φυσικής Σχεδίασης

Οι κανόνες φυσικής σχεδίασης περιγράφουν πόσο μικρά μπορούν να είναι τα χαρακτηριστικά και πόσο κοντά μπορούν να συσκευάζονται αξιόπιστα τα τρανζίστορ σε μία συγκεκριμένη τεχνολογία κατασκευής. Οι βιομηχανικοί κανόνες σχεδίασης προδιαγράφονται συνήθως σε μικρόμετρα. Αυτό δυσκολεύει τη μετάβαση από μία τεχνολογία κατασκευής σε μία άλλη, πιο προηγμένη, επειδή δεν κλιμακώνονται όλοι οι κανόνες με τον ίδιο τρόπο.

Διάφορες πανεπιστημιακές σχολές απλοποιούν τη σχεδίαση χρησιμοποιώντας κλιμακούμενους κανόνες σχεδίασης επαρκώς συντηρητικούς ώστε να είναι εφαρμόσιμοι σε πολλές διαδικασίες κατασκευής. Οι Mead και Conway [Mead 80] έκαναν δημοφιλείς τους βασισμένους στο  $\lambda$  κανόνες σχεδίασης, μια παράμετρο που χαρακτηρίζει την ανάλυση της διαδικασίας. Το  $\lambda$  γενικά είναι το μισό από το ελάχιστο μήκος καναλιού του σχεδιασμένου τρανζίστορ. Αυτό το μήκος είναι η απόσταση μεταξύ της πηγής και της υποδοχής ενός τρανζίστορ και καθορίζεται από το ελάχιστο πλάτος ενός αγωγού πολυπυριτίου. Για παράδειγμα, μία τεχνολογία κατασκευής στα 180 nm έχει ελάχιστο πλάτος πολυπυριτίου (και άρα μήκος



ΣΧΗΜΑ 1.38 Τομές που υποδεικνύουν τα στάδια κατασκευής της περιοχής διάχυσης  $p$ , των επαφών και του μετάλλου.

τρανζίστορ) 0.18  $\mu\text{m}$  και χρησιμοποιεί κανόνες σχεδίασης με  $\lambda=0.09 \mu\text{m}$ . Οι βασισμένοι στο  $\lambda$  κανόνες είναι κατ' ανάγκη συντηρητικοί, επειδή στρογγυλοποιούν τις διαστάσεις προς τα επάνω, ως ακέραια πολλαπλάσια του  $\lambda$ . Ωστόσο, διευκολύνουν σημαντικά την κλιμάκωση της φυσικής σχεδίασης, δεδομένου ότι επιτρέπουν τη μεταφορά ενός φυσικού σχεδίου σε μια νέα τεχνολογία κατασκευής καθορίζοντας απλώς και μόνο μια νέα τιμή για το  $\lambda$ . Σ' αυτό το κεφάλαιο θα παρουσιάσουμε κανόνες σχεδίασης βασισμένους στο  $\lambda$ . Το πιθανό πλεονέκτημα πυκνότητας που παρέχουν οι μικρομετρικοί κανόνες θυσιάζεται για χάρη της απλότητας και της εύκολης δυνατότητας κλιμάκωσης των βασισμένων στο  $\lambda$  κανόνων. Οι σχεδιαστές συχνά περιγράφουν μια τεχνολογία κατασκευής βάσει μεγέθους, ή χαρακτηριστικής διάστασης, στοιχείου (*feature size*), το οποίο αναφέρεται στο ελάχιστο μήκος τρανζίστορ, οπότε το  $\lambda$  είναι το μισό της χαρακτηριστικής διάστασης στοιχείου.

Δυστυχώς, κάτω από τα 180 nm οι κανόνες σχεδίασης γίνονται τόσο πολύπλοκοι και εξαρτώμενοι από την εκάστοτε κατασκευαστική διεργασία, που η κλιμάκωσή τους είναι δύσκολη υπόθεση. Ωστόσο, η γνώση και η εμπειρία που αποκτά κανείς από ένα απλό σύνολο κλιμακούμενων κανόνων συνεχίζει να αποτελεί πολύτιμη βάση για την κατανόηση πολύπλοκότερων κανόνων. Στο Κεφάλαιο 3 θα εξετάσουμε με περισσότερη λεπτομέρεια ορισμένους εξαρτώμενους από την τεχνολογία κατασκευής κανόνες.

Η MOSIS [Pina02] είναι μία χαμηλού κόστους υπηρεσία προτυποποίησης που συλλέγει σχεδιάσεις από ακαδημαϊκούς, εμπορικούς και κυβερνητικούς πελάτες και τις συναθροίζει σ' ένα σύνολο από μάσκες, με στόχο τη μείωση του κόστους και τη δημιουργία όγκων παραγωγής επαρκών για να προσελκύσουν τις εταιρείες κατασκευής. Η MOSIS έχει αναπτύξει μία ομάδα από κλιμακούμενους, βασισμένους στο  $\lambda$  κανόνες σχεδίασης που καλύπτουν ένα ευρύ πεδίο τεχνολογιών κατασκευής. Οι κανόνες περιγράφουν το ελάχιστο πλάτος για την αποφυγή διακοπών σε μία γραμμή, την ελάχιστη απόσταση για την αποφυγή βραχυκυκλωμάτων μεταξύ των γραμμών, και μία ελάχιστη επικάλυψη η οποία διασφαλίζει ότι δύο στρώσεις επικαλύπτονται πλήρως. Ένα συντηρητικό αλλά εύκολο στη χρήση σύνολο κανόνων φυσικής σχεδίασης με δύο μεταλλικές στρώσεις σε μία τεχνολογία κατασκευής  $n$ -πηγαδιού είναι το ακόλουθο:

- Το μέταλλο και η διάχυση έχουν ελάχιστο πλάτος και απόσταση  $4\lambda$ .
- Οι επαφές είναι  $2\lambda \times 2\lambda$  και πρέπει να περιβάλλονται από  $1\lambda$  στις στρώσεις που βρίσκονται πάνω και κάτω τους.

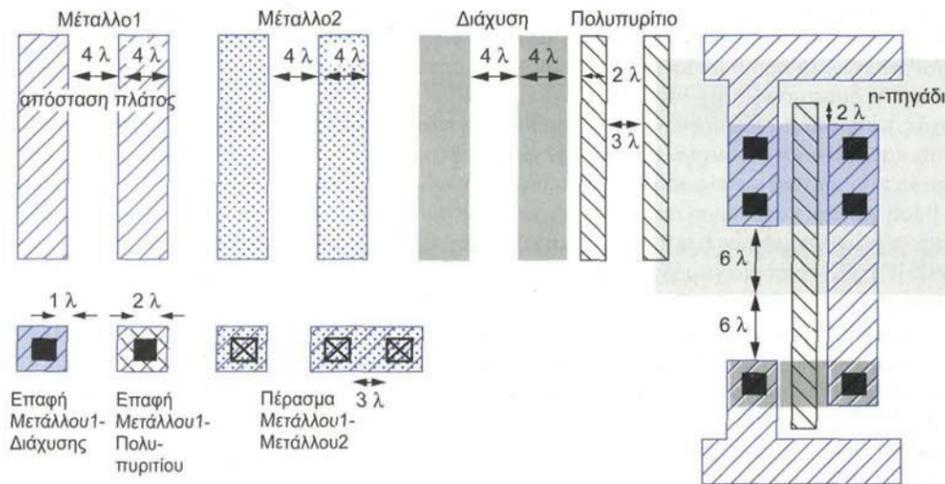
<sup>3</sup> Ορισμένοι κανόνες βασισμένοι στο  $\lambda$  των 180 nm χρησιμοποιούν στην πραγματικότητα  $\lambda=0.10 \mu\text{m}$  και κατόπιν συρρικνώνουν την πύλη κατά 20nm καθώς παράγουν μάσκες. Αυτό κρατάει τα μήκη πύλης στα 180 nm αλλά κάνει όλα τα άλλα χαρακτηριστικά ελαφρώς μεγαλύτερα.

- Το πολυπυρίτιο έχει πλάτος  $2\lambda$ .
- Το πολυπυρίτιο επικαλύπτει τη διάχυση κατά  $2\lambda$  στα σημεία όπου είναι επιθυμητό ένα τρανζίστορ και έχει απόσταση (διάκενο)  $1\lambda$  εκεί όπου δεν πρέπει να υπάρχουν τρανζίστορ.
- Το πολυπυρίτιο και οι επαφές έχουν απόσταση  $3\lambda$  από άλλες περιοχές πολυπυριτίου ή επαφές.
- Το n-πηγάδι περιβάλλει τα pMOS τρανζίστορ κατά  $6\lambda$  και αποφεύγει τα nMOS τρανζίστορ κατά  $6\lambda$ .

Το Σχήμα 1.39 παρουσιάζει τους βασικούς κανόνες σχεδίασης MOSIS για μια διαδικασία κατασκευής με δύο μεταλλικές στρώσεις. Η Ενότητα 3.3 αναπτύσσει λεπτομερώς αυτούς τους κανόνες και τους συγκρίνει με τους κανόνες σχεδίασης που χρησιμοποιούνται στη βιομηχανία.

Σε μια τεχνολογία κατασκευής με τρεις στρώσεις μετάλλου, το πάχος του τρίτου επιπέδου είναι τυπικά  $6\lambda$  και η απόσταση  $4\lambda$ . Γενικά, οι τεχνολογίες που χρησιμοποιούν περισσότερες στρώσεις συχνά χρησιμοποιούν μεγαλύτερο πάχος και πλάτος για την κορυφαία στρώση, με μικρότερη αντίσταση.

Οι διαστάσεις των τρανζίστορ καθορίζονται συνήθως βάσει του λόγου πλάτους προς μήκος ( $W/L$ ). Για παράδειγμα, τα τρανζίστορ του Σχήματος 1.39 σχηματίζονται εκεί που το πολυπυρίτιο διασταυρώνεται με την n-διάχυση και έχουν  $W/L=4/2$ . Σε μια τεχνολογία κατασκευής  $0.6\mu\text{m}$ , αυτό αντιστοιχεί σε πλάτος  $1.2\mu\text{m}$  και μήκος  $0.6\mu\text{m}$ . Ένα τέτοιο τρανζίστορ με επαφές ελάχιστου πλάτους αποκαλείται συνήθως μοναδιαίο τρανζίστορ<sup>4</sup>. Τα pMOS τρανζίστορ συχνά είναι πιο πλατιά από τα nMOS, επειδή οι σπές κινούνται πιο αργά από τα ηλεκτρόνια. Συνεπώς, το τρανζίστορ πρέπει να είναι πιο πλατύ για να μεταφέρει το ίδιο ρεύμα. Το Σχήμα 1.40(α) παρουσιάζει το φυσικό σχέδιο ενός μοναδιαίου αντιστροφέα μ' ένα μοναδιαίο nMOS τρανζίστορ κι ένα pMOS τρανζίστορ διπλάσιου μεγέθους. Το Σχήμα 1.40(β) παρουσιάζει το σχηματικό διάγραμμα του αντιστροφέα, αναφέροντας το λόγο  $W/L$  για κάθε τρανζίστορ. Στα ψηφιακά συστήματα, τα τρανζίστορ επιλέγονται κατά κανόνα ώστε να έχουν το ελάχιστο δυνατό μήκος, επειδή τα τρανζίστορ κοντού καναλιού είναι ταχύτερα και μικρότερα, ενώ καταναλώνουν λιγότερη ισχύ. Το Σχήμα 1.40(γ) παρουσιάζει μία συντομογραφία την οποία θα χρησιμοποιούμε συχνά και η οποία ορίζει πολλαπλάσια του μοναδιαίου πλάτους και θεωρεί δεδομένο το ελάχιστο μήκος.



ΣΧΗΜΑ 1.39 Απλοποιημένοι, βασισμένοι στο  $\lambda$  κανόνες σχεδίασης.

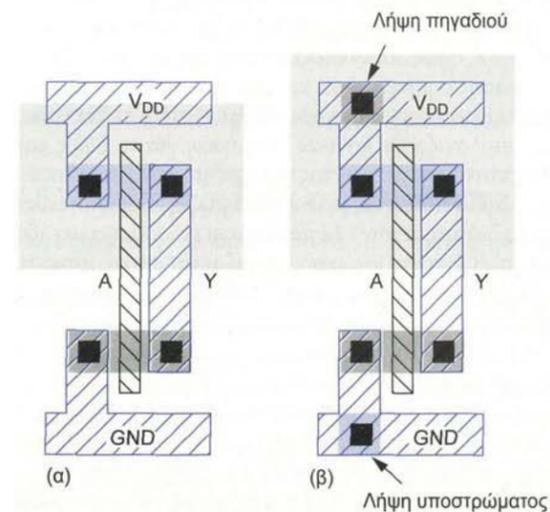
<sup>4</sup> Τα εξαιρετικά μικρά τρανζίστορ που παράγονται με τις σύγχρονες τεχνολογίες κατασκευής συμπεριφέρονται ελαφρώς διαφορετικά από τα αντίστοιχα μεγαλύτερου πλάτους. Επιπλέον, το τρανζίστορ δεν λειτουργεί εάν καταστραφεί οποιαδήποτε από τις επαφές. Οι σχεδιαστές σε βιομηχανικά περιβάλλοντα χρησιμοποιούν συνήθως ένα τρανζίστορ αρκετά πλατύ για δύο επαφές ( $9\lambda$ ) ως «μοναδιαίο», για να αποφεύγουν τέτοια προβλήματα.

### 1.5.4 Φυσικό Σχέδιο Πύλης

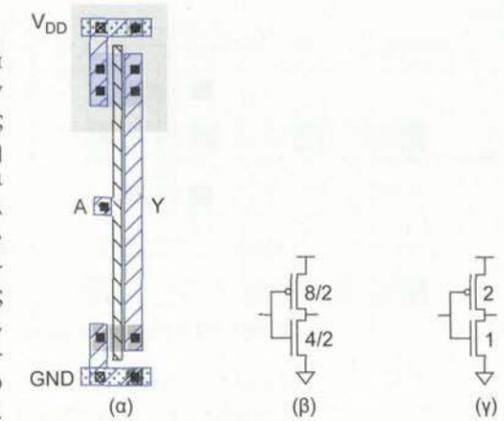
Θα μπορούσαμε να αναλώσουμε άφθονη εφευρετικότητα και χρόνο για να διερευνήσουμε διάφορες τοπολογίες φυσικής σχεδίασης που επιτρέπουν την ελαχιστοποίηση του μεγέθους μιας πύλης ή άλλου κυττάρου (cell), όπως π.χ. ένας αθροιστής ή στοιχείο μνήμης. Ωστόσο, για πολλές εφαρμογές, η απευθείας δημιουργία φυσικού σχεδίου είναι επαρκής και μπορεί να γίνει είτε αυτόματα, είτε με το χέρι. Αυτή η ενότητα παρουσιάζει ένα απλό στιλ φυσικής σχεδίασης, το οποίο βασίζεται στον κανόνα «γραμμής διάχυσης» που χρησιμοποιείται ευρέως για τυποποιημένα κύτταρα σε αυτοματοποιημένα συστήματα φυσικής σχεδίασης. Αυτό το στιλ χρησιμοποιεί τέσσερις οριζόντιες λωρίδες: μεταλλική γείωση στο κάτω άκρο, διάχυση n, διάχυση p, και μεταλλική τροφοδοσία στην κορυφή. Η τροφοδοσία και η γείωση αποκαλούνται επίσης γραμμές παροχής (supply rails). Οι γραμμές πολυπυριτίου εκτείνονται κατακόρυφα για το σχηματισμό των πυλών των τρανζίστορ. Μεταλλικοί αγωγοί εντός του κυττάρου συνδέουν κατάλληλα τα τρανζίστορ.

Το Σχήμα 1.41(α) παρουσιάζει ένα τέτοιο φυσικό σχέδιο για έναν αντιστροφέα. Η είσοδος  $A$  μπορεί να συνδέεται από πάνω, κάτω, ή αριστερά στο πολυπυρίτιο. Η έξοδος  $Y$  είναι διαθέσιμη στη δεξιά πλευρά του κυττάρου, σε μέταλλο. Θυμηθείτε ότι το p-υπόστρωμα και το n-πηγάδι πρέπει να συνδέονται στη γείωση και στην τροφοδοσία, αντίστοιχα. Το Σχήμα 1.41(β) παρουσιάζει τον ίδιο αντιστροφέα με επαφές πηγαδιού και υποστρώματος τοποθετημένες στις γραμμές παροχής ισχύος και γείωσης αντίστοιχα. Το Σχήμα 1.42 παρουσιάζει μία πύλη NAND 3 εισόδων. Παρατηρήστε ότι τα nMOS τρανζίστορ συνδέονται εν σειρά ενώ τα pMOS τρανζίστορ συνδέονται παράλληλα. Η τροφοδοσία και η γείωση εκτείνονται κατά  $2\lambda$  σε κάθε πλευρά, οπότε, εάν δύο πύλες συνορεύουν, τα περιεχόμενα θα χωρίζονται κατά  $4\lambda$ , ικανοποιώντας έτσι τους κανόνες σχεδίασης. Το ύψος του κυττάρου είναι  $36\lambda$  ή  $40\lambda$  εάν συνυπολογιστεί η απόσταση  $4\lambda$  μεταξύ του κυττάρου κι ενός άλλου αγωγού από πάνω του. Όλα αυτά τα παραδείγματα χρησιμοποιούν τρανζίστορ πλάτους  $4\lambda$ . Η επιλογή του πλάτους του τρανζίστορ περιγράφεται στα Κεφάλαια 4–5, ενώ τα στιλ διάταξης των κυττάρων εξετάζονται στην Ενότητα 14.7.

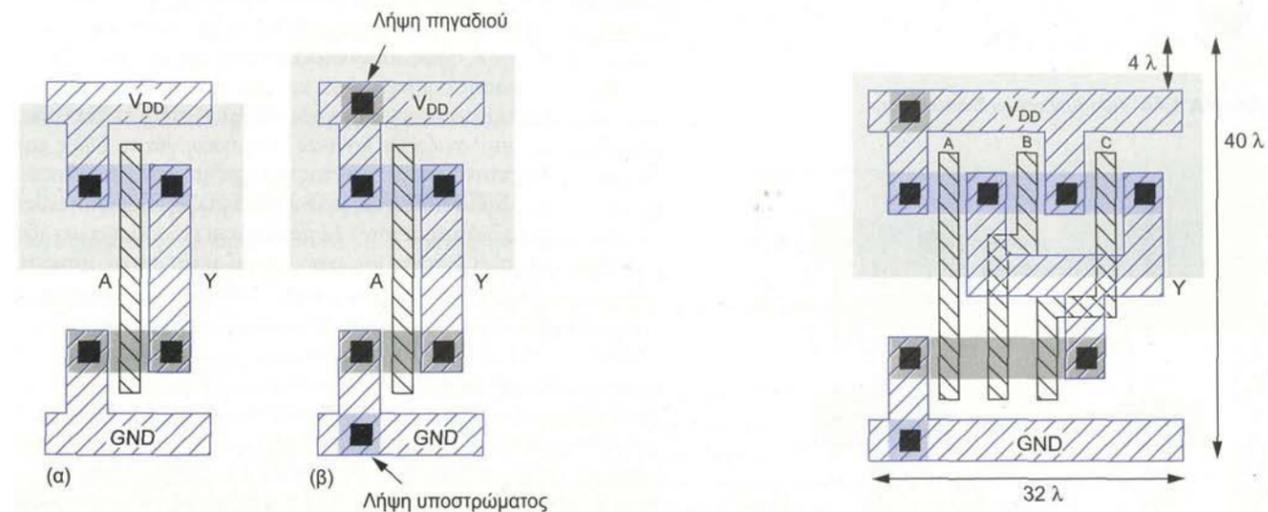
Αυτά τα κύτταρα σχεδιάστηκαν έτσι ώστε οι συνδέσεις της πύλης να κατασκευάζονται από πάνω προς τα κάτω σε πολυπυρίτιο. Σε σύγχρονα τυποποιημένα κύτταρα το πολυπυρίτιο γενικά δεν χρησιμοποιείται ως στρώση διασύνδεσης, οπότε το κύτταρο πρέπει να επιτρέπει επαφές μέταλλο1 με μέταλλο2 και



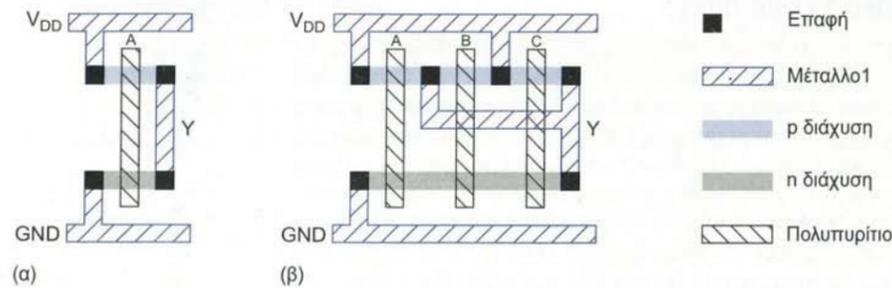
ΣΧΗΜΑ 1.41 Διάταξη των κυττάρων στον αντιστροφέα.



ΣΧΗΜΑ 1.40 Σχηματικό διάγραμμα του αντιστροφέα, με διαστάσεις.



ΣΧΗΜΑ 1.42 Τυπική διάταξη κυττάρων πύλης NAND 3 εισόδων.



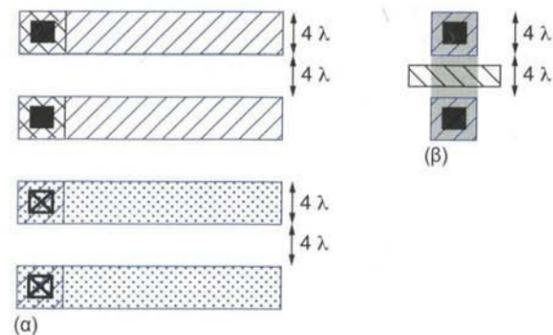
ΣΧΗΜΑ 1.43 Συμβολικά διαγράμματα για έναν αντιστροφέα και μια πύλη NAND 3 εισόδων.

μέταλλο1 με πολυπυρίτιο σε καθεμία από τις πύλες. Αν και αυτό αυξάνει το μέγεθος της πύλης, παρέχει ελεύθερη πρόσβαση σε όλους τους ακροδέκτες στις στρώσεις μετάλλου που χρησιμοποιούνται για διασύνδεση.

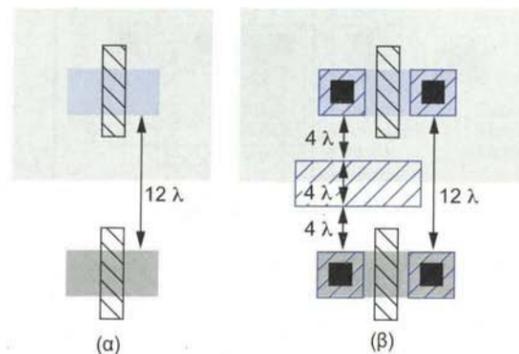
1.5.5 Συμβολικά Διαγράμματα

Δεδομένου ότι η φυσική σχεδίαση είναι χρονοβόρα διαδικασία, οι σχεδιαστές χρειάζονται γρήγορους τρόπους για να καταστρώνουν ένα φυσικό σχέδιο και να εκτιμούν την επιφάνειά του πριν δεσμευτούν σ' ένα φυσικό σχέδιο. Τα *συμβολικά διαγράμματα* (stick diagrams) είναι μια εύκολη λύση, επειδή δεν χρειάζεται να σχεδιάζονται υπό κλίμακα. Το Σχήμα 1.43 παρουσιάζει τα συμβολικά διαγράμματα για έναν αντιστροφέα και μία πύλη NAND 3 εισόδων. Αν και σ' αυτό το βιβλίο χρησιμοποιούμε διαγραμμίσεις, οι σχεδιαστές φυσικών σχεδίων χρησιμοποιούν χρωματιστά μολύβια ή μαρκαδόρους.

Με την εξάσκηση είναι εύκολο να εκτιμήσει κανείς την επιφάνεια που καταλαμβάνει ένα φυσικό σχέδιο από το αντίστοιχο συμβολικό, ακόμα κι αν το δεύτερο δεν είναι υπό κλίμακα. Αν και τα σχηματικά διαγράμματα επικεντρώνονται στα τρανζίστορ, η επιφάνεια του φυσικού σχεδίου καθορίζεται συνήθως από τους μεταλλικούς αγωγούς διασύνδεσης. Τα τρανζίστορ είναι απλώς μικρά συστατικά που μπορούν να τοποθετηθούν κάτω από τους αγωγούς. Ορίζουμε ως *ίχνος διασύνδεσης* (routing track) τον επαρκή χώρο για την τοποθέτηση ενός αγωγού και την αναγκαία απόσταση έως τον επόμενο αγωγό. Εάν οι αγωγοί έχουν πλάτος 4 λ και απόσταση 4 λ έως τον επόμενο αγωγό, το *βήμα απόστασης* (pitch) του ίχνους είναι 8 λ, όπως παρουσιάζεται στο Σχήμα 1.44(a). Αυτό το βήμα απόστασης αφήνει χώρο και για την τοποθέτηση ενός τρανζίστορ ανάμεσα στους αγωγούς (Σχήμα 1.44(β)). Συνεπώς, μπορούμε να υπολογίζουμε λογικές εκτιμήσεις για το ύψος και το πλάτος ενός κυττάρου μετρώντας τον αριθμό των μεταλλικών ιχνών και πολλαπλασιάζοντας επί 8 λ. Μία μικρή επιπλοκή είναι το απαιτούμενο διάστημα των 12 λ που πρέπει να υπάρχει μεταξύ των nMOS και pMOS τρανζίστορ που χωρίζονται από το πηγάδι, όπως παρουσιάζεται στο Σχήμα 1.45(a). Αυτή η απόσταση μπορεί να καταληφθεί από ένα επιπλέον ίχνος διασύνδεσης, όπως παρουσιάζεται στο Σχήμα 1.45(β). Συνεπώς, πρέπει να προϋπολογίζεται ένα επιπλέον ίχνος μεταξύ των nMOS και pMOS τρανζίστορ, ανεξάρτητα από το εάν χρησιμοποιούνται πραγματικά αγωγοί σ' αυτό το ίχνος. Το Σχήμα 1.46 υποδεικνύει πώς μετριοούνται τα ίχνη, για την εκτίμηση μιας NAND 3 εισόδων. Υπάρχουν 4 κατακόρυφα ίχνη αγωγών, τα οποία πολλαπλασιάζονται επί 8 λ ανά ίχνος μας δίνουν πλάτος κυττάρου 32 λ. Υπάρχουν πέντε οριζόντια ίχνη, τα οποία δίνουν ύψος κυττάρου 40 λ. Αν και τα



ΣΧΗΜΑ 1.44 Ύψη των ιχνών διασύνδεσης.



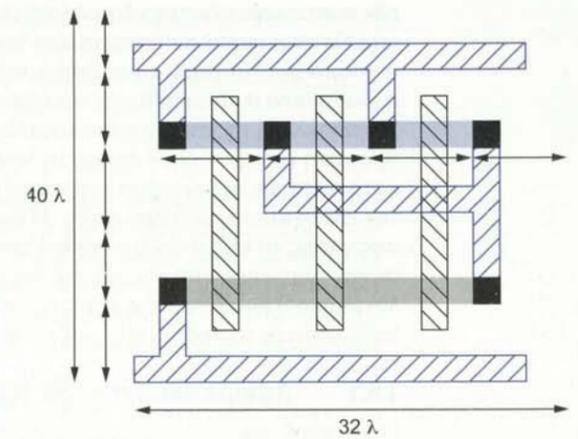
ΣΧΗΜΑ 1.45 Διαστήματα μεταξύ των nMOS και pMOS τρανζίστορ.

οριζόντια ίχνη δεν είναι σχεδιασμένα υπό κλίμακα, είναι εύκολο να μετρηθούν. Το Σχήμα 1.42 υποδεικνύει ότι το ακριβές φυσικό σχέδιο της πύλης NAND συμφωνεί με τις διαστάσεις που προβλέπει το συμβολικό διάγραμμα. Εάν τα τρανζίστορ είναι πιο πλατιά από 4 λ, το επιπλέον πλάτος πρέπει να συνυπολογιστεί στην εκτίμηση της επιφάνειας. Προφανώς, αυτές οι εκτιμήσεις είναι υπεραπλουστεύσεις των καθαυτῶν κανόνων σχεδίασης: θα πρέπει να δημιουργούνται δοκιμαστικά φυσικά σχέδια για τα κρίσιμης σημασίας κύτταρα.

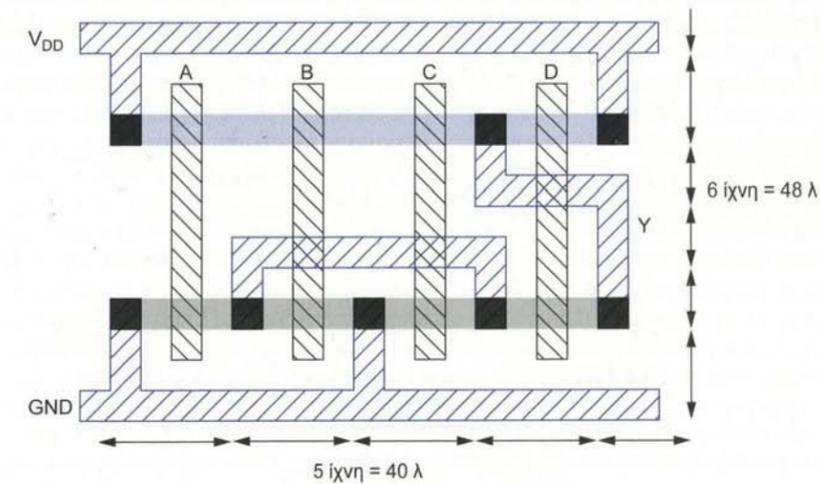
Παράδειγμα 1.3

Σχεδιάστε το συμβολικό φυσικό διάγραμμα για μια πύλη CMOS που υπολογίζει τη συνάρτηση  $Y = (A + B + C) \cdot D$  (δείτε το Σχήμα 1.18) και υπολογίστε το πλάτος και το ύψος του κυττάρου.

**ΛΥΣΗ:** Το Σχήμα 1.47 παρουσιάζει ένα συμβολικό διάγραμμα. Η μέτρηση των οριζόντιων και κατακόρυφων βημάτων απόστασης δίνει εκτιμώμενο μέγεθος κυττάρου 40 επί 48 λ.



ΣΧΗΜΑ 1.46 Υπολογισμός επιφάνειας για μια πύλη NAND 3 εισόδων.



ΣΧΗΜΑ 1.47 Σύνθετη CMOS πύλη για τη συνάρτηση  $Y = (A + B + C) \cdot D$ .

1.6 Επιμερισμός της Σχεδίασης

Στο σημείο αυτό, γνωρίζετε ότι τα MOS τρανζίστορ συμπεριφέρονται ως ελεγχόμενοι από τάση διακόπτες. Ξέρετε πώς να κατασκευάζετε λογικές πύλες από τρανζίστορ. Ξέρετε επίσης πώς κατασκευάζονται τα τρανζίστορ και πώς πρέπει να γίνεται η φυσική σχεδίαση που προδιαγράφει τη χωροθέτηση των τρανζίστορ και τις μεταξύ τους συνδέσεις. Πρακτικά, γνωρίζετε αρκετά ώστε να είστε σε θέση να κατασκευάσετε μόνοι σας απλά ολοκληρωμένα κυκλώματα.

Η μεγαλύτερη πρόκληση κατά τη σχεδίαση σύγχρονων συστημάτων VLSI δεν είναι η σχεδίαση κάθε τρανζίστορ ξεχωριστά, αλλά η διαχείριση της συνολικής πολυπλοκότητας ενός συστήματος. Οι σύγχρονες σχεδιάσεις *Συστήματος-σε-Ολοκληρωμένο* (System-On-Chip: SOC) συνδυάζουν μνήμες, επεξεργαστές, διεπαφές εισόδου/εξόδου (I/O) και ειδικού σκοπού λογική σ' ένα και μόνο ολοκληρωμένο. Χρησιμοποιούνται εκατοντάδες εκατομμύρια ή δισεκατομμύρια τρανζίστορ και το κόστος σχεδίασης ανέρχεται σε εκατομμύρια δολάρια (ή ακόμα περισσότερο). Η υλοποίηση ενός τέτοιου συστήματος πρέπει να επιμερίζεται στα μέλη μεγάλων ομάδων σχεδίασης και κάθε σχεδιαστής πρέπει να είναι πολύ παραγωγικός. Ωστόσο,

εάν ο καταμερισμός της υλοποίησης είναι πολύ άκαμπος, κάθε κομμάτι (μπλοκ) του συστήματος μπορεί να βελτιστοποιηθεί ανεξάρτητα από τα υπόλοιπα, πράγμα το οποίο οδηγεί σε φτωχά αποτελέσματα για το σύστημα ως ολότητα. Εν αντιθέσει, εάν λαμβάνονται υπόψη όλες οι αλληλεξαρτήσεις μεταξύ των εργασιών, η διαδικασία σχεδίασης θα εξελισσεται υπερβολικά αργά. Οι επόπτες σχεδιάσιμων έργων αντιμετωπίζουν την πρόκληση της επιλογής του κατάλληλου συμβιβασμού μεταξύ αυτών των δύο ακραίων περιπτώσεων. Η πρακτική εμπειρία, όσον αφορά τη λήψη αυτών των αποφάσεων, δεν είναι απλώς πολύτιμη, αλλά αναντικατάστατη. Οι ταλαντούχοι μηχανικοί με εμπειρία στη σχεδίαση πολλών συστημάτων είναι πολύτιμοι για την επιτυχία ενός μεγάλου έργου. Η διαδικασία σχεδίασης εξελισσεται περνώντας από διαδοχικά επίπεδα αφαίρεσης, με στόχο την απόκρυψη των αχρείαστων λεπτομερειών υλοποίησης έως τη στιγμή που θα καταστούν αναγκαίες. Η πρακτική της δομημένης σχεδίασης (η οποία χρησιμοποιείται επίσης στην ανάπτυξη λογισμικού) βασίζεται στις αρχές της ιεραρχίας, της κανονικότητας (regularity), της αρθρωτότητας (modularity) και της τοπικότητας (locality) για το χειρισμό της πολυπλοκότητας ενός έργου.

### 1.6.1 Αφαιρετικά Επίπεδα της Διαδικασίας Σχεδίασης

Η σχεδίαση ψηφιακών συστημάτων VLSI συχνά καταμερίζεται σε πέντε επίπεδα αφαίρεσης: σχεδίαση αρχιτεκτονικής, σχεδίαση μικροαρχιτεκτονικής, σχεδίαση λογικής, σχεδίαση κυκλωμάτων και φυσικό σχέδιο. Η αρχιτεκτονική περιγράφει τη λειτουργία του συστήματος. Για παράδειγμα, η αρχιτεκτονική μικροεπεξεργαστή x86 καθορίζει την ομάδα εντολών (instruction set), την ομάδα καταχωρητών (register set) και το μοντέλο μνήμης. Η μικροαρχιτεκτονική περιγράφει πώς επιμερίζεται η αρχιτεκτονική σε καταχωρητές και λειτουργικές μονάδες. Οι 80386, 80486, Pentium, Pentium II, Pentium III, Pentium 4, Core, Core 2, Atom, Celeron, Cyrix III, AMD Athlon και Phenom είναι όλες μικροαρχιτεκτονικές που παρέχουν διαφορετικούς συμβιβασμούς μεταξύ απόδοσης και πλήθους τρανζιστορ για την αρχιτεκτονική x86. Η λογική περιγράφει πώς κατασκευάζονται οι λογικές μονάδες. Για παράδειγμα, υπάρχουν διάφορες σχεδιάσεις λογικής για τον 32-bit αθροιστή στη μονάδα εκτέλεσης ακέραιων πράξεων του x86: ο αθροιστής μετάδοσης κρατουμένου (ripple carry), ο αθροιστής πρόβλεψης κρατουμένου (lookahead carry) και ο αθροιστής επιλογής κρατουμένου (carry select). Η σχεδίαση κυκλωμάτων περιγράφει πώς χρησιμοποιούνται τα τρανζιστορ για να υλοποιήσουν τη λογική. Για παράδειγμα, ένας αθροιστής πρόβλεψης κρατουμένου μπορεί να χρησιμοποιεί στατικά κυκλώματα CMOS, κυκλώματα λογικής διαδοχικής επίδρασης (domino), ή τρανζιστορ περάσματος. Τα κυκλώματα μπορούν να προσαρμόζονται με γνώμονα την υψηλή απόδοση ή τη χαμηλή κατανάλωση ισχύος. Η σχεδίαση στο φυσικό επίπεδο περιγράφει το φυσικό σχέδιο (layout) του ολοκληρωμένου. Τα ίδια βήματα χρησιμοποιούνται και κατά τη σχεδίαση αναλογικών και RF κυκλωμάτων VLSI, αλλά με διαφορετικά επίπεδα αφαίρεσης.

Αυτά τα στοιχεία είναι εκ φύσεως αλληλένδετα και επηρεάζουν όλους τους στόχους της σχεδίασης. Για παράδειγμα, οι επιλογές της μικροαρχιτεκτονικής και της λογικής εξαρτώνται σε πολύ μεγάλο βαθμό από τον αριθμό των τρανζιστορ που μπορούν να τοποθετηθούν στο ολοκληρωμένο, ο οποίος, με τη σειρά του, εξαρτάται από τη φυσική σχεδίαση και την τεχνολογία κατασκευής. Κατά παρόμοιο τρόπο, μία πρωτοποριακή σχεδίαση η οποία μειώνει τις προσπελάσεις της κρυφής (cache) μνήμης από δύο κύκλους σε έναν μπορεί να επηρεάσει την επιλογή μικροαρχιτεκτονικής. Η επιλογή της συχνότητας ρολογιού εξαρτάται από μια πολύπλοκη αλληλεπίδραση μεταξύ μικροαρχιτεκτονικής, λογικής, σχεδίασης κυκλωμάτων και φυσικής σχεδίασης. Οι διοχετεύσεις (pipelines) μεγαλύτερου βάρους επιτρέπουν μεν υψηλότερες συχνότητες, αλλά οδηγούν σε μεγαλύτερες επιβαρύνσεις στην απόδοση όταν οι λειτουργίες που εισέρχονται νωρίς στη διοχέτευση εξαρτώνται από λειτουργίες που εισέρχονται αργότερα στη διοχέτευση. Πολλές λειτουργίες μπορούν να υλοποιούνται με πολλαπλές διαφορετικές σχεδιάσεις λογικής και κυκλωμάτων, οι οποίες αντιπροσωπεύουν διαφορετικούς συμβιβασμούς μεταξύ απόδοσης, επιφάνειας, κατανάλωσης ισχύος και κόστους. Τα εξειδικευμένα (ή κατά παραγγελία, custom) φυσικά σχέδια οδηγούν μεν σε περισσότερο συμπαγή και γρήγορα κυκλώματα και χαμηλότερα κόστη κατασκευής, αλλά ενέχουν τεράστιο κόστος εργασίας. Οι αυτοματοποίηση της διαδικασίας σχεδίασης μέσω εργαλείων CAD μπορεί να μειώσει το κόστος εργασίας και να επιταχύνει την παρουσίαση του τελικού προϊόντος στην αγορά.

Για τον αποτελεσματικό χειρισμό αυτών των αλληλεξαρτήσεων, η σχεδίαση μικροαρχιτεκτονικής/λογικής/κυκλωμάτων και η φυσική σχεδίαση πρέπει να διεξάγονται, τουλάχιστον κατά ένα μέρος τους, παράλληλα. Οι υπεύθυνοι μικροαρχιτεκτονικής βασίζονται στις μελέτες των κυκλωμάτων και του φυσικού σχεδίου για να εκτιμήσουν το κόστος των προτεινόμενων χαρακτηριστικών της μικροαρχιτεκτονικής. Ορισμένες φορές οι μηχανικοί κατατάσσονται σε κατηγορίες, ως «κοντοί και χοντροί» ή «ψηλοί και αδύνατοι» (χαρακτηρισμοί που δεν έχουν καμιά σχέση με το φυσικό βάρος τους). Οι «ψηλοί και αδύνατοι» μηχανικοί γνωρίζουν

κάτι για ένα ευρύ φάσμα θεμάτων. Οι «κοντοί και χοντροί» γνωρίζουν πολλά για ένα πολύ συγκεκριμένο (μη-ευρύ) πεδίο. Η σχεδίαση ψηφιακών συστημάτων VLSI ευνοεί τους ψηλούς και αδύνατους μηχανικούς που μπορούν να αξιολογήσουν πώς οι επιλογές που γίνονται για ένα μέρος του συστήματος επηρεάζουν άλλα μέρη του.

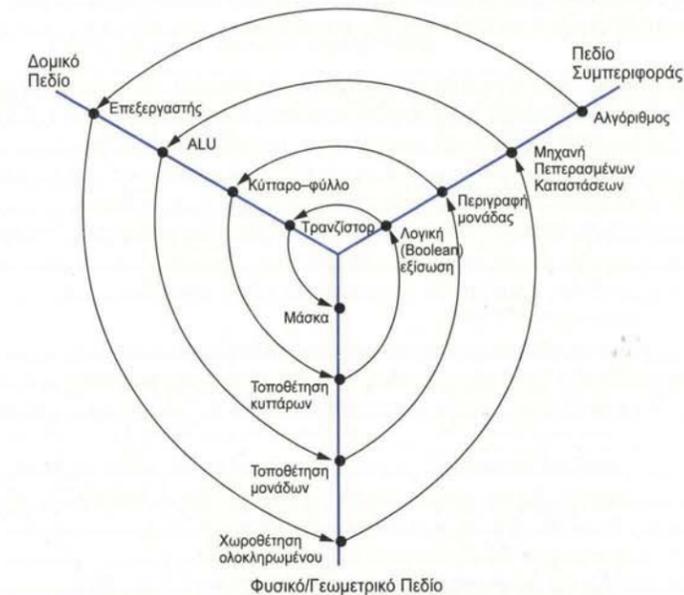
### 1.6.2 Δομημένη Σχεδίαση

Η ιεραρχία είναι ένα εργαλείο κρίσιμης σημασίας για τη διαχείριση πολύπλοκων συστημάτων. Ένα μεγάλο σύστημα μπορεί να επιμεριστεί ιεραρχικά σε πολλαπλούς πυρήνες. Κάθε πυρήνας κατασκευάζεται από διάφορες μονάδες. Κάθε μονάδα, με τη σειρά της, αποτελείται από πολλαπλά λειτουργικά μπλοκ<sup>5</sup>. Αυτά, με τη σειρά τους κατασκευάζονται από κύτταρα, τα οποία, τελικά, κατασκευάζονται από τρανζιστορ. Το σύστημα γίνεται ευκολότερα κατανοητό στο κορυφαίο επίπεδο, αντιμετωπίζοντας τις μονάδες ως μαύρα κουτιά με καλά ορισμένες διεπαφές και λειτουργίες, παρά εξετάζοντας κάθε τρανζιστορ ξεχωριστά. Η ιεραρχία διευκολύνει επίσης την επαναχρησιμοποίηση σχεδιάσεων: ένα μπλοκ μπορεί να σχεδιαστεί και να ελεγχθεί μία φορά, αλλά να χρησιμοποιηθεί σε πολλές θέσεις. Η λογική, κυκλωματική και φυσική θεώρηση μιας σχεδίασης θα πρέπει να βασίζονται στην ίδια ιεραρχία, για ευκολότερη επαλήθευσή της. Η ιεραρχία σχεδίασης μπορεί να αντιμετωπιστεί ως δέντρο με ρίζα το ίδιο το ολοκληρωμένο και φύλλα τα αρχικά κύτταρα.

Η κανονικότητα βοηθά στη διαχείριση της σχεδιαστικής πολυπλοκότητας, διότι σχεδιάζεται ο ελάχιστος αριθμός διαφορετικών μπλοκ. Αφού σχεδιαστεί και επαληθευτεί ένα μπλοκ, μπορεί να επαναχρησιμοποιηθεί σε πολλές θέσεις. Η αρθρωτότητα απαιτεί από τα μπλοκ να έχουν καλά ορισμένες διεπαφές ώστε να αποφεύγονται απρόβλεπτες αλληλεπιδράσεις. Η τοπικότητα απαιτεί την κράτηση των πληροφοριών στο σημείο χρήσης τους, χωρικά και χρονικά. Η δομημένη σχεδίαση αναλύεται στην Ενότητα 14.2.

### 1.6.3 Πεδία: Συμπεριφοράς, Δομικό και Φυσικό

Ένας εναλλακτικός τρόπος θεώρησης του καταμερισμού της διαδικασίας σχεδίασης απεικονίζεται με το χάρτη-Y του Σχήματος 1.48 [Gajski83, Kang03]. Οι ακτινικές γραμμές στο χάρτη-Y αντιπροσωπεύουν τρία ξεχωριστά πεδία σχεδίασης: συμπεριφοράς (behavioral), δομικό (structural) και φυσικό (physical). Αυτά τα



ΣΧΗΜΑ 1.48 Χάρτης Y (αναπαράγεται από την εργασία [Kang03] με την άδεια του ομίλου The McGraw-Hill Companies).

<sup>5</sup> Ορισμένοι σχεδιαστές χρησιμοποιούν τον όρο «module» (άρθρωμα) τόσο για τις μονάδες όσο και για τα λειτουργικά μπλοκ.

πεδία μπορούν να χρησιμοποιηθούν για να περιγράψουν τη σχεδίαση σχεδόν οποιουδήποτε συστήματος και αποτελούν ένα ευρύ σύστημα ταξινόμησης για την περιγραφή της διαδικασίας σχεδίασης. Μέσα σε κάθε πεδίο υπάρχει ένας αριθμός επιπέδων αφαίρεσης, τα οποία ξεκινούν από ένα πολύ υψηλό επίπεδο και τελικά φτάνουν στα μεμονωμένα στοιχεία που απαιτούνται για την υλοποίηση της λειτουργίας που περιγράφεται στο υψηλό επίπεδο (τα τρανζίστορ στην περίπτωση ενός ολοκληρωμένου).

Το πεδίο συμπεριφοράς προσδιορίζει τη συγκεκριμένη λειτουργία ενός συστήματος. Για παράδειγμα, στο υψηλότερο επίπεδο μπορεί να δηλώσουμε ότι το ζητούμενο είναι η κατασκευή μιας γεννήτριας τόνων αφής για ένα τηλέφωνο. Αυτή η συμπεριφορά μπορεί να αποσαφηνιστεί διαδοχικά για να περιγραφεί με περισσότερη ακρίβεια τι πρέπει να γίνει προκειμένου να κατασκευαστεί μία γεννήτρια τόνων (π.χ., επιθυμητές συχνότητες, στάθμες εξόδου, επιτρεπόμενη παραμόρφωση κ.λπ.).

Σε κάθε επίπεδο αφαίρεσης μπορεί να αναπτυχθεί μία αντίστοιχη δομική περιγραφή. Το δομικό πεδίο προσδιορίζει τον τρόπο με τον οποίο συνδέονται τα διάφορα αρθρώματα (modules, δομικές μονάδες) του κυκλώματος ώστε να επιτυγχάνουν μία συγκεκριμένη συμπεριφορά του συστήματος. Για παράδειγμα, στο πιο υψηλό επίπεδο, μία γεννήτρια τόνων αφής μπορεί να αποτελείται από ένα πληκτρολόγιο, μία γεννήτρια τόνων, έναν ενισχυτή ήχου, μία μπαταρία κι ένα ηχείο. Τελικά, σε χαμηλότερα επίπεδα αφαίρεσης περιγράφονται οι μεμονωμένες συνδέσεις των πυλών και κατόπιν των τρανζίστορ που απαιτούνται για την κατασκευή της γεννήτριας τόνων.

Για κάθε επίπεδο αφαίρεσης, η περιγραφή στο φυσικό πεδίο εξηγεί πώς πρέπει να κατασκευαστεί αυτό το επίπεδο αφαίρεσης. Για τα υψηλά επίπεδα μπορεί να συνίσταται σ' ένα μηχανικό σχέδιο, το οποίο υποδεικνύει πώς πρέπει να συνδεθούν το πληκτρολόγιο, το κύκλωμα της γεννήτριας, η μπαταρία και τα ηχεία στο κουτί του συστήματος. Στο κορυφαίο επίπεδο του ολοκληρωμένου μπορεί να είναι η χωροθέτηση, ενώ σε χαμηλότερα επίπεδα η πραγματική γεωμετρία των μεμονωμένων τρανζίστορ.

Θεωρήστε τη διαδικασία σχεδίασης σαν μετασχηματισμούς από το ένα πεδίο στο άλλο, διατηρώντας ωστόσο την ισοδυναμία των πεδίων. Οι περιγραφές συμπεριφοράς μετασχηματίζονται σε δομικές περιγραφές, οι οποίες, με τη σειρά τους, μετασχηματίζονται σε περιγραφές του φυσικού πεδίου. Αυτοί οι μετασχηματισμοί μπορούν να γίνονται είτε χειροκίνητα, είτε αυτοματοποιημένα. Σε κάθε περίπτωση, μια συνήθης πρακτική είναι να επαληθεύεται ο μετασχηματισμός από το ένα πεδίο στο άλλο, με κάποια διαδικασία ελέγχου. Αυτό διασφαλίζει ότι ο στόχος της σχεδίασης μεταφέρεται σωστά μεταξύ των πεδίων. Ο ιεραρχικός καθορισμός κάθε πεδίου με διαδοχικά επίπεδα αφαίρεσης αυξανόμενης λεπτομέρειας επιτρέπει το σχεδιασμό εξαιρετικά μεγάλων συστημάτων.

Η αυστηρή περιγραφή των πεδίων και των επιπέδων αφαίρεσης αποσκοπεί στον ορισμό μιας επακριβούς διαδικασίας σχεδίασης, με την οποία η τελική λειτουργία του συστήματος μπορεί να αναχθεί στην αρχική περιγραφή συμπεριφοράς. Δε θα πρέπει να υπάρχει ευκαιρία για την παραγωγή εσφαλμένου σχεδίου. Εάν παρουσιαστούν ανωμαλίες, η διαδικασία σχεδίασης προσαρμόζεται ώστε αυτές να μην επανεμφανιστούν στο μέλλον. Ο σχεδιαστής θα πρέπει να αποκτήσει αυστηρή πειθαρχία ως προς τη διαδικασία σχεδίασης και πλήρη γνώση κάθε μετασχηματισμού, ώστε να αποκλείεται κάθε περίπτωση αποτυχίας. Συνήθως, αυτά τα βήματα είναι πλήρως αυτοματοποιημένα στις σύγχρονες διαδικασίες σχεδίασης, αλλά είναι σημαντικό να γνωρίζουμε το υπόβαθρό τους ώστε να μπορούμε να διορθώνουμε τυχόν σφάλματα όταν δεν οδηγούν στο επιθυμητό αποτέλεσμα.

Ο χάρτης-Y μπορεί να χρησιμοποιηθεί για την αναπαράσταση κάθε πεδίου και των μετασχηματισμών μεταξύ των πεδίων σε διάφορα επίπεδα αφαίρεσης. Καθώς η διαδικασία σχεδίασης προχωρά από τους εξωτερικούς προς τους εσωτερικούς δακτυλίους, μεταβαίνει από υψηλότερα σε χαμηλότερα επίπεδα αφαίρεσης και ιεραρχίας.

Στο μεγαλύτερο μέρος του, το υπόλοιπο αυτού του κεφαλαίου αποτελεί μια μελέτη σχεδίασης ενός απλού μικροεπεξεργαστή, η οποία αποσκοπεί στο να γίνουν καλύτερα κατανοητές οι διάφορες απόψεις της διαδικασίας σχεδίασης συστημάτων VLSI. Θα ξεκινήσουμε περιγράφοντας την αρχιτεκτονική και τη μικροαρχιτεκτονική του επεξεργαστή. Στη συνέχεια θα εξετάσουμε τη λογική σχεδίαση και τις γλώσσες περιγραφής υλικού. Ο επεξεργαστής κατασκευάζεται με στατικά κυκλώματα CMOS, τα οποία εξετάσαμε στην Ενότητα 1.4, ενώ περιγράφεται επίσης η σχεδίαση σε επίπεδο τρανζίστορ και οι μορφές των περιγραφών netlist. Στη συνέχεια θα εξετάσουμε το φυσικό σχέδιο του επεξεργαστή, τη χωροθέτηση και την εκτίμηση επιφάνειας. Η επαλήθευση της σχεδίασης είναι πολύ σημαντική και διεξάγεται σε κάθε επίπεδο της ιεραρχίας, για κάθε στοιχείο της σχεδίασης. Το φυσικό σχέδιο μετατρέπεται σε μάσκες, μέσω των οποίων μπορεί να κατασκευαστεί το ολοκληρωμένο κύκλωμα. Τα δύο τελικά βήματα είναι η συσκευασία και η δοκιμή του ολοκληρωμένου.

## 1.7 Παράδειγμα: Ένα Απλός Μικροεπεξεργαστής MIPS

Θα εξετάσουμε μια 8-bit υλοποίηση της αρχιτεκτονικής μικροεπεξεργαστή MIPS των Patterson & Hennessy [Patterson04, Harris07] επειδή έχει μελετηθεί ευρέως και είναι σχετικά απλός, ενώ παράλληλα είναι αρκετά μεγάλος ώστε να δίνει μια καλή εικόνα της ιεραρχικής σχεδίασης. Σ' αυτή την ενότητα περιγράφεται η αρχιτεκτονική και η μικροαρχιτεκτονική πολλαπλών κύκλων που θα υλοποιηθεί. Εάν δεν είστε εξοικειωμένοι με την αρχιτεκτονική υπολογιστών, μπορείτε να θεωρήσετε τον επεξεργαστή MIPS σαν ένα μαύρο κουτί και να προχωρήσετε στην Ενότητα 1.8.

Μία ομάδα από εργαστηριακές ασκήσεις, διαθέσιμες στον ιστότοπο [www.cmosvlsi.com](http://www.cmosvlsi.com), έχουν σχεδιαστεί με στόχο να σας εξοικειώσουν με τη διαδικασία σχεδίασης VLSI. Ουσιαστικά, κατασκευάζετε το μικροεπεξεργαστή μόνοι σας, χρησιμοποιώντας μια δωρεάν, ανοικτού κώδικα εφαρμογή CAD με όνομα *Electric*.

### 1.7.1 Η Αρχιτεκτονική MIPS

Η αρχιτεκτονική MIPS32 είναι μια απλή αρχιτεκτονική RISC στα 32 bit με σχετικά λίγες ιδιομορφίες. Η δική μας υλοποίηση της αρχιτεκτονικής χρησιμοποιεί 32-bit κωδικοποίηση εντολών αλλά μόνο οκτώ καταχωρητές γενικού σκοπού των 8 bit, με ονόματα \$0 - \$7. Επίσης χρησιμοποιούμε ένα μετρητή προγράμματος (PC) των 8 bit. Ο καταχωρητής \$0 είναι "καλωδιωμένος" (hardwired) ώστε να περιέχει τον αριθμό 0. Οι εντολές είναι οι ADD, SUB, AND, OR, SLT, ADDI, BEQ, J, LB και SB.

Η λειτουργία και η κωδικοποίηση κάθε εντολής δίνονται στον Πίνακα 1.7. Κάθε εντολή κωδικοποιείται χρησιμοποιώντας ένα από τα τρία πρότυπα: R, I, και J. Οι εντολές R-τύπου (βασίζόμενες σε καταχωρητή) χρησιμοποιούνται για αριθμητικές πράξεις και καθορίζουν δύο καταχωρητές προέλευσης κι έναν καταχωρητή προορισμού. Οι εντολές I-τύπου χρησιμοποιούνται όταν καθορίζονται μία 16-bit σταθερά (γνωστή ως *immediate* [άμεση]) και δύο καταχωρητές. Οι εντολές J-τύπου (jumps, μεταβάσεις) αφιερώνουν το μεγαλύτερο μέρος της λέξης εντολής σ' έναν 26-bit προορισμό μετάβασης. Η μορφή κάθε κωδικοποίησης ορίζεται στο Σχήμα 1.49. Τα έξι πιο σημαντικά bit σε όλες τις μορφές είναι ο κώδικας λειτουργίας (operation code-op). Όλες οι εντολές R-τύπου μοιράζονται το op=000000 και χρησιμοποιούν έξι επιπλέον bits λειτουργίας (funct bits) για τη διαφοροποίηση των λειτουργιών.

ΠΙΝΑΚΑΣ 1.7 Το υποστηριζόμενο υποσύνολο εντολών MIPS

Εντολή	Λειτουργία	Κωδικοποίηση	op	funct
add \$1, \$2, \$3	Πρόσθεση: \$1 → \$2+\$3	R	000000	100000
sub \$1, \$2, \$3	αφαίρεση: \$1 → \$2-\$3	R	000000	100010
and \$1, \$2, \$3	bitwise and: \$1 → \$2 and \$3	R	000000	100100
or \$1, \$2, \$3	bitwise or: \$1 → \$2 or \$3	R	000000	100101
slt \$1, \$2, \$3	θέσε λιγότερο από: \$1 → 1 if \$2 < \$3 \$1 → 0 διαφορετικά	R	000000	101010
addi \$1, \$2	πρόσθεση άμεσα: \$1 → \$2+imm	I	001000	μ/δ <sup>β</sup>
beq \$1, \$2, imm	διακλάδωση εάν ίσο: PC → PC+imm × 4 <sup>α</sup>	I	001000	μ/δ
j destination	μετάβαση σε προορισμό: PC_destination <sup>α</sup>	J	000010	μ/δ
lb \$1, imm(\$2)	φόρτωση (load) byte: \$1 → mem[\$2+imm]	I	100000	μ/δ
sb \$1, imm(\$2)	αποθήκευση (store) byte: mem[\$2+imm] → \$1	I	101000	μ/δ

α. Από τεχνικής απόψεως, οι διευθύνσεις MIPS καθορίζονται σε bytes. Οι εντολές απαιτούν μια λέξη των 4 byte και πρέπει να ξεκινούν από διευθύνσεις που είναι πολλαπλάσια του 4. Για την αποτελεσματικότερη χρήση των bits εντολών στην πλήρη, 32-bit αρχιτεκτονική MIPS, οι σταθερές διακλάδωσης και μετάβασης καθορίζονται σε λέξεις και πρέπει να πολλαπλασιάζονται επί 4 (μετατόπιση αριστερά κατά 2 bits) για να μετατραπούν σε διευθύνσεις byte.

β Μη διαθέσιμο.

Μορφή	Παράδειγμα	Κωδικοποίηση					
R	add \$rd, \$ra, \$rb	6	5	5	5	5	6
		0	ra	rb	rd	0	funct
I	beq \$ra, \$rb, imm	6	5	5	16		
		op	ra	rb	imm		
J	j dest	6	26				
		op	dest				

ΣΧΗΜΑ 1.49 Μορφές κωδικοποίησης εντολών.

Μπορούμε να γράψουμε προγράμματα για τον επεξεργαστή MIPS σε *συμβολική γλώσσα (assembly)*, όπου κάθε γραμμή του προγράμματος περιέχει μία εντολή, όπως οι ADD και BEQ. Ωστόσο, το hardware του MIPS τελικά πρέπει να διαβάσει το πρόγραμμα σαν μία σειρά από αριθμούς των 32 bit που αποκαλούνται *γλώσσα μηχανής*. Ένας *συμβολομεταφραστής (assembler)* αυτοματοποιεί την επίπονη διαδικασία της μετάφρασης από συμβολική γλώσσα σε γλώσσα μηχανής χρησιμοποιώντας τις κωδικοποιήσεις που ορίζονται στον Πίνακα 1.7 και στο Σχήμα 1.49. Η συγγραφή προγραμμάτων σε συμβολική γλώσσα είναι επίπονη διαδικασία και γι' αυτό οι προγραμματιστές δουλεύουν συνήθως σε κάποια *γλώσσα υψηλού επιπέδου*, όπως η C ή η Java. Ένας *μεταγλωττιστής (compiler)* μεταφράζει το πρόγραμμα από *πηγαίο κώδικα (source code)*, γραμμένο σε μια γλώσσα υψηλού επιπέδου, στον κατάλληλο *αντικειμενικό κώδικα (object code)* μιας γλώσσας μηχανής.

**Παράδειγμα 1.4**

Το Σχήμα 1.50 παρουσιάζει ένα απλό πρόγραμμα σε C για τον υπολογισμό του n-οστού αριθμού Fibonacci,  $f_n$ , ο οποίος ορίζεται αναδρομικά για  $n > 0$  ως  $f_n = f_{n-1} + f_{n-2}$ ,  $f_{-1} = -1$ ,  $f_0 = 1$ . Μεταφράστε το πρόγραμμα σε συμβολική γλώσσα του MIPS και σε γλώσσα μηχανής.

**ΛΥΣΗ:** Το Σχήμα 1.51 παρουσιάζει το πρόγραμμα σε συμβολική γλώσσα, με σχόλια. Το Σχήμα 1.52 παρουσιάζει το πρόγραμμα μεταφρασμένο σε γλώσσα μηχανής.

```
int fib(void)
{
    int n = 8;          /* υπολογισμός n-οστού αριθμού Fibonacci */
    int f1 = 1, f2 = -1; /* οι δύο αμέσως προηγούμενοι αριθμοί Fibonacci */

    while (n != 0) {   /* επανάληψη έως n = 0 */
        f1 = f1 + f2;
        f2 = f1 - f2;
        n = n - 1;
    }
    return f1;
}
```

ΣΧΗΜΑ 1.50 Κώδικας C για το πρόγραμμα υπολογισμού αριθμών Fibonacci.

**1.7.2 Μικροαρχιτεκτονική MIPS πολλαπλών κύκλων**

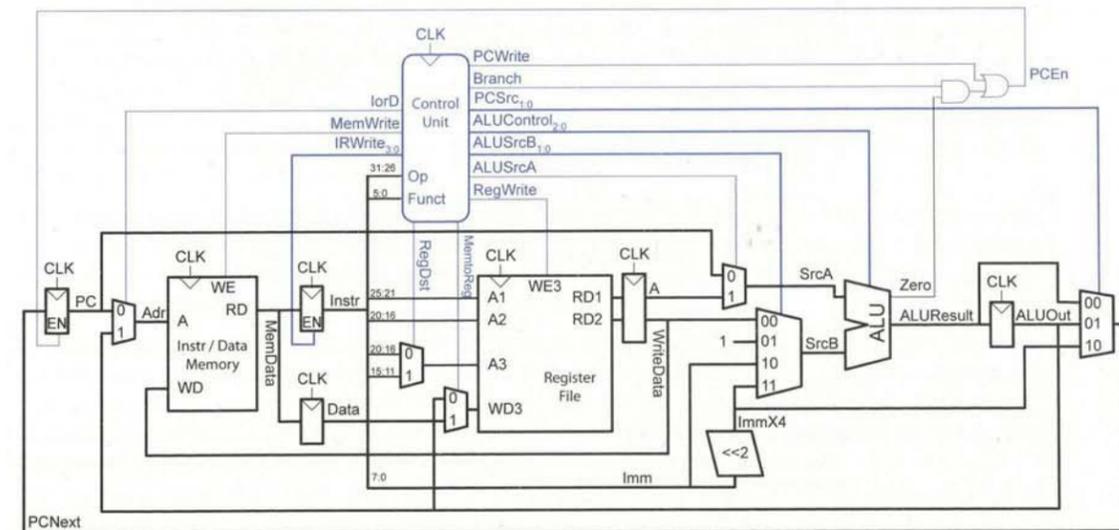
Θα υλοποιήσουμε τη μικροαρχιτεκτονική MIPS πολλαπλών κύκλων που περιγράφεται στο Κεφάλαιο 5 του [Patterson04] και στο Κεφάλαιο 7 του [Harris07], κατάλληλα τροποποιημένη για την επεξεργασία δεδομένων των 8 bit. Η μικροαρχιτεκτονική απεικονίζεται στο Σχήμα 1.53. Οι ανοιχτόχρωμες γραμμές υποδεικνύουν μεμονωμένα σήματα, ενώ οι έντονες γραμμές υποδεικνύουν διαύλους. Η λογική ελέγχου και τα σήματα τονίζονται με μπλε χρώμα, ενώ ο χειριστής δεδομένων επισημαίνεται με μαύρο. Γενικά, τα σήματα ελέγχου οδηγούν τα σήματα επιλογής των πολυπλεκτών και τα σήματα ενεργοποίησης των καταχωρητών ώστε να καθοδηγήσουν το χειριστή δεδομένων στην εκτέλεση μιας εντολής.

```
# fib.asm
# χρήση καταχωρητών: $3: n $4: f1 $5: f2
# επιστρέφεται η τιμή που γράφεται στη διεύθυνση 255
fib:  addi $3, $0, 8      # αρχικοποίηση n=8
      addi $4, $0, 1    # αρχικοποίηση f1 = 1
      addi $5, $0, -1  # αρχικοποίηση f2 = -1
loop: beq $3, $0, end  # βρόχος εάν n = 0
      add $4, $4, $5   # f1 = f1 + f2
      sub $5, $4, $5   # f2 = f1 - f2
      addi $3, $3, -1  # n = n - 1
      j loop           # επανάληψη έως το τέλος
end:  sb $4, 255($0)   # αποθήκευση αποτελέσματος στη διεύθυνση 255
```

ΣΧΗΜΑ 1.51 Κώδικας assembly για το πρόγραμμα υπολογισμού αριθμών Fibonacci.

Εντολή	Δυαδική κωδικοποίηση	Δεκαεξαδική κωδικοποίηση
addi \$3, \$0, 8	001000 00000 00011 0000000000001000	20030008
addi \$4, \$0, 1	001000 00000 00100 0000000000000001	20040001
addi \$5, \$0, -1	001000 00000 00101 1111111111111111	2005ffff
beq \$3, \$0, end	000100 00011 00000 0000000000000100	10600004
add \$4, \$4, \$5	000000 00100 00101 00100 00000 100000	00852020
sub \$5, \$4, \$5	000000 00100 00101 00101 00000 100010	00852822
addi \$3, \$3, -1	001000 00011 00011 1111111111111111	2063ffff
j loop	000010 0000000000000000000000000011	08000003
sb \$4, 255(\$0)	101000 00000 00100 0000000011111111	a00400ff

ΣΧΗΜΑ 1.52 Κώδικας γλώσσας μηχανής για το πρόγραμμα υπολογισμού αριθμών Fibonacci.



ΣΧΗΜΑ 1.53 Μικροαρχιτεκτονική MIPS πολλαπλών κύκλων (δασκευή από [Patterson04] & [Harris07], με την άδεια του Elsevier).



εντολές τύπου R εκτελούνται με τον ίδιο ακριβώς τρόπο, εκτός του ότι ο αποκωδικοποιητής λαμβάνει ένα διαφορετικό κωδικό Funct (IR bits 5:0) και άρα παράγει ένα διαφορετικό σήμα AluControl. Το αποτέλεσμα τοποθετείται στον καταχωρητή ALUOut.

Τέλος, το αποτέλεσμα πρέπει να εγγραφεί πίσω στο αρχείο καταχωρητών, στην κατάσταση 10. Τα δεδομένα έρχονται από τον καταχωρητή ALUOut, οπότε MemtoReg=0. Ο καταχωρητής προορισμού καθορίζεται στα bit 15:11 της εντολής, οπότε RegDst=1. Η εντολή RegWrite πρέπει να επιβεβαιωθεί για να εκτελεστεί η εγγραφή. Στη συνέχεια, ο έλεγχος της FSM επιστρέφει στην κατάσταση 0 για την προσκόμιση της επόμενης εντολής.

### 1.8 Λογική Σχεδίαση

Ξεκινάμε τη λογική σχεδίαση ορίζοντας τη διεπαφή κορυφαίου επιπέδου του ολοκληρωμένου και το διάγραμμα βαθμίδων. Στη συνέχεια, αποσυνθέτουμε ιεραρχικά τις μονάδες μέχρι να φτάσουμε στα κύτταρα-φύλλα. Καθορίζουμε τη λογική με μία Γλώσσα Περιγραφής Υλικού (Hardware Description Language, HDL), η οποία παρέχει υψηλότερο επίπεδο αφάιρεσης από τα σχηματικά διαγράμματα ή το φυσικό σχέδιο. Συχνά, αυτός ο κώδικας αποκαλείται περιγραφή RTL (Register Transfer Level).

#### 1.8.1 Διεπαφές Κορυφαίου Επιπέδου

Οι εισοδοί και οι έξοδοι κορυφαίου επιπέδου αναφέρονται στον Πίνακα 1.9. Σ' αυτό το παράδειγμα χρησιμοποιούμε ένα σύστημα ρολογιού δύο φάσεων, για την αποφυγή προβλημάτων με τους χρόνους διατήρησης. Το Reset αρχικοποιεί το μετρητή προγράμματος (PC) στο μηδέν και την FSM ελέγχου στην αρχική κατάσταση.

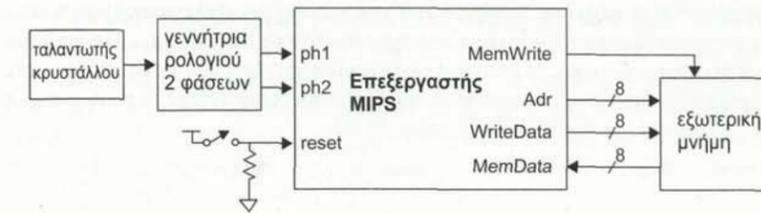
ΠΙΝΑΚΑΣ 1.9 Είσοδοι και έξοδοι κορυφαίου επιπέδου

Είσοδοι	Έξοδοι
ph1	MemWrite
ph2	Adr [ 7:0 ]
reset	WriteData [ 7:0 ]
MemData [ 7:0 ]	

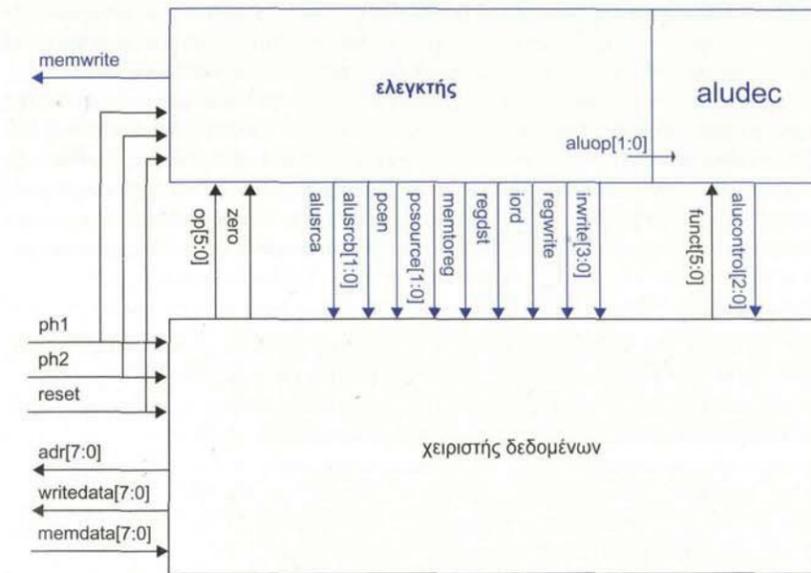
Τα υπόλοιπα σήματα χρησιμοποιούνται για μία 8-bit διεπαφή επικοινωνίας με μνήμη (υποθέτοντας ότι η μνήμη βρίσκεται εκτός ολοκληρωμένου). Ο επεξεργαστής στέλνει μία 8-bit διεύθυνση και, προαιρετικά, επιβεβαιώνει την MemWrite. Σ' έναν κύκλο ανάγνωσης (read) η μνήμη επιστρέφει μία τιμή στις γραμμές MemData, ενώ σ' έναν κύκλο εγγραφής (write) η μνήμη δέχεται είσοδο από το WriteData. Σε πολλά συστήματα, τα MemData και WriteData μπορούν να συνδυάζονται σ' έναν και μόνο διάλοδο δύο κατευθύνσεων, αλλά για το παράδειγμά μας θα διατηρήσουμε τη διεπαφή του Σχήματος 1.53. Το Σχήμα 1.55 παρουσιάζει ένα πολύ απλό σύστημα υπολογιστή, υλοποιημένο με τον επεξεργαστή MIPS, εξωτερική μνήμη, ένα διακόπτη reset και μία γεννήτρια ρολογιού.

#### 1.8.2 Διάγραμμα Βαθμίδων

Το ολοκληρωμένο διαχωρίζεται σε δύο μονάδες κορυφαίου επιπέδου: τον ελεγκτή και το χειριστή δεδομένων, όπως επιδεικνύει το διάγραμμα βαθμίδων του Σχήματος 1.56. Ο ελεγκτής περιέχει την FSM ελέγχου, τον αποκωδικοποιητή της ALU και τις δύο πύλες που χρησιμοποιούνται για τον υπολογισμό του PCen. Ο αποκωδικοποιητής της ALU απαρτίζεται από συνδυαστική λογική για τον καθορισμό του ALUControl. Ο 8-bit χειριστής δεδομένων αποτελεί το υπόλοιπο του ολοκληρωμένου. Μπορεί να θεωρηθεί ως μια συλλογή από φέτες σε επίπεδο λέξης ή bit (wordslice και bitslice, αντίστοιχα). Μια wordslice είναι μια στήλη που περιέχει ένα 8-bit flip-flop, έναν αθροιστή, έναν πολυπλέκτη, ή κάποιο άλλο στοιχείο. Για παράδειγμα, το



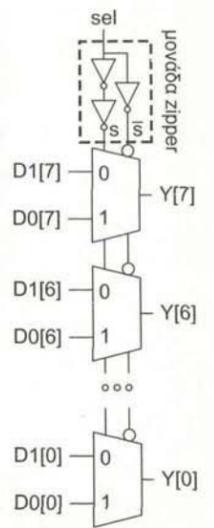
ΣΧΗΜΑ 1.55 Σύστημα υπολογιστή με τον επεξεργαστή MIPS.



ΣΧΗΜΑ 1.56 Διάγραμμα βαθμίδων κορυφαίου επιπέδου.

Σχήμα 1.57 παρουσιάζει μια wordslice για έναν 2:1 πολυπλέκτη των 8 bit: περιέχει οκτώ μεμονωμένους πολυπλέκτες 2:1, μαζί με μια μονάδα zipper, η οποία περιλαμβάνει έναν απομονωτή κι έναν αντιστροφέα για την οδήγηση του σήματος true και του συμπληρωματικού του στους οκτώ πολυπλέκτες<sup>6</sup>. Η ενσωμάτωση αυτών των οδηγιών στη μονάδα zipper εξοικονομεί χώρο συγκριτικά με την σύνδεση ενός αντιστροφέα σε κάθε πολυπλέκτη. Εναλλακτικά, ο χειριστής δεδομένων μπορεί να θεωρηθεί ως οκτώ γραμμές αποτελούμενες από bitslices. Κάθε bitslice έχει ένα bit από κάθε στοιχείο, μαζί με τους οριζόντιους αγωγούς που συνδέουν μεταξύ τους τα bits.

Ο διαχωρισμός του ολοκληρωμένου επηρεάζεται από το φυσικό σχέδιο. Ο χειριστής δεδομένων περιέχει τα περισσότερα από τα τρανζίστορ και έχει δομή αυξημένης κανονικότητας. Μπορούμε να επιτύχουμε υψηλή πυκνότητα με σχετικά μέτρια σχεδιαστική προσπάθεια, σχεδιάζοντας με το χέρι ένα bitslice του χειριστή δεδομένων και κατόπιν αντιγράφοντάς το οκτώ φορές. Η κατασκευή χειριστών δεδομένων με χρήση wordslices είναι συνήθως ευκολότερη, επειδή συγκεκριμένες δομές, όπως το κύκλωμα ανίχνευσης μηδενός στην ALU, δεν είναι πανομοιότυπες σε κάθε bitslice. Ωστόσο, το να σκέφτεστε με όρους των bitslices είναι ένας εξαιρετικός τρόπος για το σχεδιασμό των αγωγών διασύνδεσης σε όλη την έκταση του χειριστή δεδομένων. Ο ελεγκτής είναι πολύ λιγότερο δομημένος. Είναι



ΣΧΗΜΑ 1.57 2:1 πολυπλέκτες των 8 bit.

<sup>6</sup> Σ' αυτό το παράδειγμα, η μονάδα zipper παρουσιάζεται στην επάνω πλευρά. Σε μεγαλύτερου πλάτους διαδρομές δεδομένων, η μονάδα zipper τοποθετείται ορισμένες φορές στο μέσον της wordslice, έτσι ώστε να οδηγεί αγωγούς μικρότερου μήκους. Η ονομασία zipper (φερμουσάρι) οφείλεται στο γεγονός ότι η όλη διάταξη δείχνει σαν αθλητική μπλούζα με φερμουσάρι στο μέσον.

κουραστικό να μεταφράσουμε μία FSM σε πύλες με το χέρι, και σ' ένα νέο σχέδιο, ο ελεγκτής είναι το πιο πιθανό μέρος όπου θα εντοπιστούν σφάλματα ή θα γίνουν αλλαγές της τελευταίας στιγμής. Για το λόγο αυτό θα καθορίσουμε τον ελεγκτή πιο αφαιρετικά, με μία γλώσσα περιγραφής υλικού, και τον παράγουμε αυτόματα χρησιμοποιώντας εργαλεία σύνθεσης και τοποθέτησης & διασύνδεσης (place & route), ή μια προγραμματιζόμενη διάταξη λογικής (programmable logic array, PLA).

### 1.8.3 Ιεραρχία

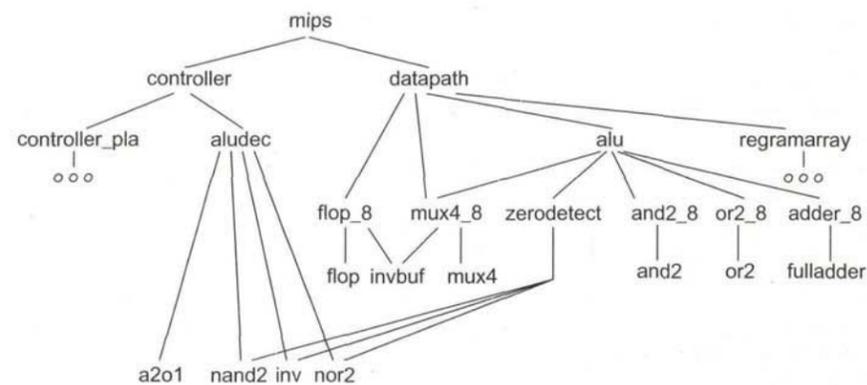
Ο καλύτερος τρόπος για να σχεδιάσει κανείς πολύπλοκα συστήματα είναι να τα αποσυνθέσει σε απλούστερα μέρη. Το Σχήμα 1.58 παρουσιάζει την ιεραρχία σχεδίασης για τον επεξεργαστή MIPS. Ο ελεγκτής περιλαμβάνει τα controller\_pla και aludec, τα οποία κατασκευάζονται από μία βιβλιοθήκη τυποποιημένων κυττάρων, όπως NAND, NOR και μανδαλωτές. Ο χειριστής δεδομένων αποτελείται από wordslices των 8 bit, καθένα εκ των οποίων κατασκευάζεται συνήθως από τυποποιημένα κύτταρα όπως αθροιστές, πολυπλέκτες και flip-flop. Ορισμένα από αυτά τα κύτταρα επαναχρησιμοποιούνται σε πολλαπλές θέσεις.

Η ιεραρχία της σχεδίασης δεν είναι υποχρεωτικό να είναι πανομοιότυπη στη λογική, κυκλωματική και φυσική σχεδίαση. Για παράδειγμα, στη λογική θεωρήση, η μνήμη θα πρέπει να αντιμετωπίζεται ως ένα μαύρο κουτί, ενώ σε επίπεδο κυκλωματικής υλοποίησης μπορεί να έχει έναν αποκωδικοποιητή, μία διάταξη κυττάρων, πολυπλέκτες στηλών, κ.α. Ωστόσο, οι διαφορετικές ιεραρχίες περιπλέκουν την επαλήθευση, επειδή πρέπει να εξομαλυνθούν έως το σημείο όπου συμφωνούν. Σε πρακτικό επίπεδο, είναι καλύτερο να κάνουμε τις ιεραρχίες λογικής, κυκλωματικής και φυσικής σχεδίασης να συμφωνούν όσο το δυνατόν περισσότερο.

### 1.8.4 Γλώσσες Περιγραφής Υλικού

Οι σχεδιαστές χρειάζονται ταχύτατη πληροφόρηση για το εάν μια λογική σχεδίαση είναι σωστή. Η μετάφραση των διαγραμμάτων βαθμίδων και των διαγραμμάτων μετάβασης μιας μηχανής πεπερασμένων καταστάσεων σε σχηματικά κυκλωμάτων είναι χρονοβόρα και επιρρεπής στα σφάλματα. Πριν προχωρήσουμε σε όλη αυτή τη διαδικασία, θα πρέπει να ξέρουμε εάν η υψηλού επιπέδου σχεδίαση έχει σημαντικά σφάλματα, τα οποία απαιτούν πλήρη επανασχεδίαση. Οι γλώσσες περιγραφής υλικού (HDL) παρέχουν έναν τρόπο καθορισμού της σχεδίασης σε υψηλότερο επίπεδο αφάιρεσης, για την αύξηση της παραγωγικότητας των σχεδιαστών. Αρχικά δημιουργήθηκαν για σκοπούς τεκμηρίωσης και προσομοίωσης, αλλά χρησιμοποιούνται πλέον για τη σύνθεση πυλών απευθείας από την περιγραφή HDL.

Οι δύο δημοφιλέστερες γλώσσες HDL είναι οι Verilog και VHDL. Η Verilog αναπτύχθηκε από την Advanced Integrated Design Systems (αργότερα μετονομάστηκε σε Gateway Design Automation) το 1984 και έγινε ένα de facto ανοιχτό πρότυπο της βιομηχανίας από το 1991. Το 2005, οι επεκτάσεις της System-Verilog προτυποποιήθηκαν και ορισμένες από αυτές χρησιμοποιούνται στο παρόν βιβλίο. Η VHDL, τα αρχικά της οποίας προέρχονται από το VHSIC Hardware Description Language, όπου το VHSIC ήταν ένα έργο του (αμερικανικού) Υπουργείου Αμύνης πάνω σε Ολοκληρωμένα Κυκλώματα Πολύ Υψηλής Ταχύτητας (Very High Speed Integrated Circuits), το οποίο αναπτύχθηκε από μία επιτροπή υπό κυβερνη-



ΣΧΗΜΑ 1.58 Ιεραρχία σχεδίασης για τον επεξεργαστή MIPS.

τική χορηγία. Όπως θα περίμενε κανείς βάσει της προέλευσής τους, η Verilog είναι λιγότερο φλύαρη και πιο κοντά στη σύνταξη της C, ενώ η VHDL υποστηρίζει κάποιες μορφές αφάιρεσης χρήσιμες για μεγάλα έργα που ανατίθενται σε ομάδες. Πολλές εταιρείες της Silicon Valley χρησιμοποιούν την Verilog, ενώ εταιρείες άμυνας και τηλεπικοινωνιών συχνά χρησιμοποιούν την VHDL. Καμία από τις δύο γλώσσες δεν προσφέρει κάποιο καθοριστικό πλεονέκτημα έναντι της άλλης, γι' αυτό και η βιομηχανία υποχρεούται να υποστηρίξει και τις δύο. Στο Παράρτημα Α θα βρείτε σύντομα διδακτικά βοηθήματα για τις Verilog και VHDL. Τα παραδείγματα σ' αυτό το βιβλίο δίνονται σε Verilog χάριν συντομίας.

Κατά τη συγγραφή μιας περιγραφής σε κάποια HDL, είναι σημαντικό να θυμάστε ότι αυτό που περιγράφουμε είναι υλικό το οποίο λειτουργεί παράλληλα, και όχι λογισμικό που εκτελείται ακολουθιακά. Υπάρχουν δύο γενικά στιλ γραφής HDL κώδικα. Η δομική (structural) HDL καθορίζει πώς πρέπει να συντίθεται ένα κύτταρο από άλλα κύτταρα ή πρωτογενείς πύλες και τρανζίστορ. Η συμπεριφορική (behavioral) HDL καθορίζει τι κάνει ένα κύτταρο.

Ένας λογικός προσομοιωτής (logic simulator) προσομοιώνει κώδικα HDL· μπορεί να αναφέρει εάν τα αποτελέσματα ταιριάζουν με τα προσδοκώμενα και να εμφανίσει κυματομορφές, οι οποίες χρησιμοποιούνται στη διόρθωση προβλημάτων. Ένα εργαλείο λογικής σύνθεσης αντιστοιχίζει τον κώδικα της συμπεριφορικής HDL σε μία βιβλιοθήκη (library) πυλών που αποκαλούνται τυποποιημένα κύτταρα (standard cells) για την ελαχιστοποίηση της επιφάνειας, καλύπτοντας ταυτόχρονα κάποιους περιορισμούς χρόνου. Μόνο ένα υποσύνολο δομών της HDL είναι συνθέσιμες (σ' αυτές θα δώσουμε ιδιαίτερη έμφαση στο παράρτημα). Για παράδειγμα, οι εντολές για είσοδο/έξοδο αρχείων που χρησιμοποιούνται σε προγράμματα επαλήθευσης ή δοκιμής (testbenches) δεν είναι, προφανώς, συνθέσιμες. Γενικά, η λογική σύνθεση παράγει κυκλώματα τα οποία δεν είναι ούτε τόσο πυκνά ούτε τόσο γρήγορα όσο αυτά που κατασκευάζει με το χέρι ένας έμπειρος σχεδιαστής. Ωστόσο, οι τεχνολογίες κατασκευής ολοκληρωμένων σήμερα είναι τόσο προηγμένες, που τα παραγόμενα με σύνθεση κυκλώματα είναι αρκετά καλά για την πλειονότητα των Ολοκληρωμένων Κυκλωμάτων Ειδικού Σκοπού (Application Specific Integrated Circuits, ASIC) που κατασκευάζονται σήμερα. Το φυσικό σχέδιο μπορεί να παράγεται αυτόματα, χρησιμοποιώντας εργαλεία τοποθέτησης & διασύνδεσης (place & route).

Τα μοντέλα VHDL και Verilog για τον επεξεργαστή MIPS παρατίθενται στο Παράρτημα Α. Στην Verilog, κάθε κύτταρο αποκαλείται δομική μονάδα (module). Οι είσοδοι και οι έξοδοι δηλώνονται περίπου όπως και σ' ένα πρόγραμμα C και δίνεται ο αριθμός των bit για τους διαύλους. Τα εσωτερικά σήματα πρέπει επίσης να δηλώνονται, με τρόπο ανάλογο με τη δήλωση τοπικών μεταβλητών. Ο επεξεργαστής περιγράφεται ιεραρχικά χρησιμοποιώντας δομική Verilog στα υψηλότερα επίπεδα και συμπεριφορική Verilog για τα κύτταρα-φύλλα. Για παράδειγμα, η δομική μονάδα του ελεγκτή υποδεικνύει πώς καθορίζεται μία μηχανή πεπερασμένων καταστάσεων στην συμπεριφορική Verilog, ενώ η δομική μονάδα ALUControl υποδεικνύει πώς καθορίζεται πολύπλοκη συνδυαστική λογική. Ο χειριστής δεδομένων καθορίζεται δομικά, βάσει των wordslices, τα οποία κατόπιν περιγράφονται συμπεριφορικά.

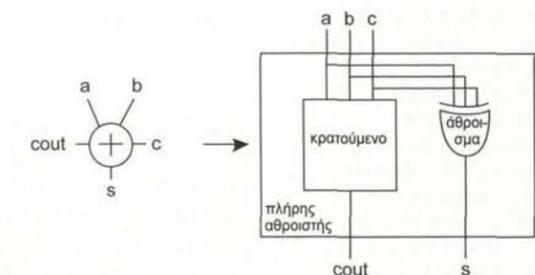
Για σκοπούς παρουσίασης, η wordslice για τον 8-bit αθροιστή θα μπορούσε να περιγραφεί δομικά ως αθροιστής διάδοσης κρατούμενου, αποτελούμενος από οκτώ διαδοχικούς πλήρεις αθροιστές. Ο πλήρης αθροιστής θα μπορούσε να εκφραστεί δομικά ως ένα υποκύκλωμα αθροίσματος και κρατούμενου. Με τη σειρά τους, τα υποκύκλωμα του αθροίσματος και του κρατούμενου μπορούν να εκφραστούν βάσει της συμπεριφοράς τους. Το μπλοκ του πλήρους αθροιστή παρουσιάζεται στο Σχήμα 1.59, ενώ το υποκύκλωμα κρατούμενου διερευνάται περισσότερο στην Ενότητα 1.9.

```

module adder(input logic [7:0] a, b,
             input logic c,
             output logic [7:0] s,
             output logic cout);

wire [6:0] carry;

```



ΣΧΗΜΑ 1.59 Πλήρης αθροιστής.

```

fulladder fa0(a[0], b[0], c,      s[0], carry[0]);
fulladder fa1(a[1], b[1], carry[0], s[1], carry[1]);
fulladder fa2(a[2], b[2], carry[1], s[2], carry[2]);
...
fulladder fa7(a[7], b[7], carry[6], s[7], cout);
endmodule

module fulladder(input logic a, b, c,
                 output logic s, cout);

    sum s1(a, b, c, s);
    carry c1(a, b, c, cout);
endmodule

module carry(input logic a, b, c,
             output logic cout);

```

## 1.9 Σχεδίαση Κυκλώματος

Η σχεδίαση κυκλωμάτων έχει ως αντικείμενο τη διεύθυνση των τρανζιστορ με τρόπο ώστε να εκτελούν μια συγκεκριμένη λογική λειτουργία, ή συνάρτηση. Δοθείσης μιας σχεδίασης κυκλώματος, μπορούμε να υπολογίσουμε την καθυστέρηση και την κατανάλωση ισχύος. Το κύκλωμα μπορεί να αναπαρασταθεί μ' ένα σχηματικό διάγραμμα, ή ως περιγραφή netlist (κομβικός κατάλογος), σε μορφή κειμένου. Κοινές μορφές netlist (σε επίπεδο τρανζιστορ) είναι αυτές των Verilog και SPICE. Οι περιγραφές netlist της Verilog χρησιμοποιούνται για λειτουργική επαλήθευση της σχεδίασης, ενώ αυτές του SPICE περιλαμβάνουν περισσότερη λεπτομέρεια, η οποία είναι αναγκαία για την προσομοίωση της λειτουργίας του κυκλώματος και τον υπολογισμό της καθυστέρησης και της κατανάλωσης ισχύος.

Επειδή ένα υλοποιημένο με πύλες τρανζιστορ είναι καλός μονωτής, μπορεί να μοντελοποιηθεί μ' έναν πυκνωτή,  $C$ . Όταν το τρανζιστορ είναι ON, ρέει μια ποσότητα ρεύματος  $I$  μεταξύ πηγής και υποδοχής. Τόσο το ρεύμα όσο και η χωρητικότητα είναι σε αναλογία με το πλάτος του τρανζιστορ.

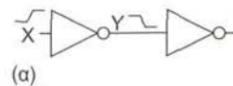
Η καθυστέρηση μιας λογικής πύλης καθορίζεται από το ρεύμα που αυτή μπορεί να αποδώσει και τη χωρητικότητα που οδηγεί, όπως υποδεικνύει το Σχήμα 1.60, για την περίπτωση ενός αντιστροφέα που οδηγεί έναν άλλο αντιστροφέα. Η χωρητικότητα (ο πυκνωτής) φορτίζεται ή εκφορτίζεται σύμφωνα με τη θεμελιώδη εξίσωση

$$I = C \frac{dV}{dt}$$

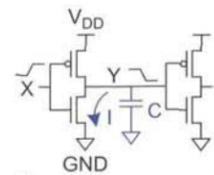
Εάν εφαρμοστεί μέσο ρεύμα  $I$ , ο χρόνος  $t$  που απαιτείται για μεταγωγή από τη στάθμη 0 στη στάθμη  $V_{DD}$  είναι

$$t = \frac{C}{I} V_{DD}$$

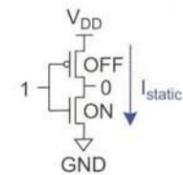
Συνεπώς, η καθυστέρηση αυξάνεται ανάλογα με τη χωρητικότητα φορτίου και μειώνεται ανάλογα με το ρεύμα οδήγησης. Για να κατανοήσετε αυτούς τους υπολογισμούς, θα πρέπει να εμβαθύνετε περισσότερο, σ' ένα επίπεδο πιο κάτω από το μοντέλο του τρανζιστορ ως διακόπτη. Στο Κεφάλαιο 2 θα εξετάσουμε λεπτομερέστερα μοντέλα για το τρανζιστορ, τα οποία συνοπολογίζουν το ρεύμα και τη χωρητικότητα. Ένας από τους στόχους της σχεδίασης κυκλωμάτων είναι η επιλογή των τρανζιστορ με κατάλληλα πλάτη, ώστε να καλύπτονται οι απαιτήσεις που έχουν τεθεί για την καθυστέρηση. Οι μέθοδοι που χρησιμοποιούνται για το σκοπό αυτό εξετάζονται στο Κεφάλαιο 4.



(α)



(β)



(γ)

**ΣΧΗΜΑ 1.60** Εκτίμηση της καθυστέρησης και της κατανάλωσης ισχύος για ένα κύκλωμα: (α) ζεύγος αντιστροφέων, (β) μοντέλο σε επίπεδο τρανζιστορ, το οποίο υποδεικνύει τη χωρητικότητα και το ρεύμα κατά τη μεταγωγή, (γ) ρεύμα διαρροής κατά τη λειτουργία σε κατάσταση ηρεμίας.

Για τη φόρτιση και εκφόρτιση του χωρητικού φορτίου απαιτείται ενέργεια. Αυτή η ενέργεια αποκαλείται δυναμική ισχύς, επειδή καταναλώνεται κατά τη διάρκεια που το κύκλωμα αλλάζει ενεργά κατάσταση. Η δυναμική ισχύς που καταναλώνεται όταν φορτίζεται και εκφορτίζεται ένας πυκνωτής σε συχνότητα  $f$  είναι

$$P_{\text{dynamic}} = CV_{DD}^2 f$$

Ακόμα κι όταν η πύλη δεν μεταβάλλεται, καταναλώνει ένα ποσό στατικής ισχύος. Λόγω φαινομένων διαρροής, ακόμα κι όταν ένα τρανζιστορ είναι OFF ρέει μια μικρή ποσότητα ρεύματος  $I$  μεταξύ τροφοδοσίας και γείωσης, με αποτέλεσμα να υπάρχει κατανάλωση στατικής ισχύος ίση με

$$P_{\text{static}} = I_{\text{static}} V_{DD}$$

Στο Κεφάλαιο 5 θα μελετήσουμε αναλυτικά το θέμα της ισχύος.

Μία συγκεκριμένη λογική συνάρτηση μπορεί να υλοποιηθεί με πολλούς τρόπους. Το ερώτημα είναι εάν η συνάρτηση πρόκειται να υλοποιηθεί με πύλες AND, OR, NAND ή NOR. Ποιος θα πρέπει να είναι ο βαθμός οδήγησης εισόδου (fan-in) και ο βαθμός οδήγησης εξόδου (fan-out) για κάθε πύλη; Τι πλάτος πρέπει να έχουν τα τρανζιστορ σε κάθε πύλη; Αυτές και άλλες επιλογές επηρεάζουν την ταχύτητα, την κατανάλωση ισχύος και την επιφάνεια του συστήματος και εντάσσονται στο πεδίο της σχεδίασης κυκλωμάτων.

Όπως προαναφέραμε, σε πολλές μεθοδολογίες σχεδίασης, τα εργαλεία λογικής σύνθεσης κάνουν αυτόματα αυτές τις επιλογές, αναζητώντας την καλύτερη υλοποίηση μεταξύ των διαθέσιμων τυποποιημένων κυττάρων. Για πολλές εφαρμογές, η σύνθεση είναι αρκετά καλή. Όταν ένα σύστημα έχει κρίσιμες απαιτήσεις υψηλής ταχύτητας ή χαμηλής κατανάλωσης ισχύος, ή πρόκειται να παραχθεί σε όγκους που αιτιολογούν την επιπλέον προσπάθεια σχεδιασμού, η εξειδικευμένη (custom) σχεδίαση γίνεται σημαντική για τα κρίσιμα μέρη του ολοκληρωμένου.

Οι σχεδιαστές κυκλωμάτων συχνά σχεδιάζουν σχηματικά σε επίπεδο τρανζιστορ ή/και πυλών. Για παράδειγμα, το Σχήμα 1.61 παρουσιάζει δύο εναλλακτικές σχεδιάσεις για το κύκλωμα του κρατούμενου σ' έναν πλήρη αθροιστή. Η σχεδίαση σε επίπεδο πυλών του Σχήματος 1.61(α) απαιτεί 26 τρανζιστορ και τέσσερα στάδια καθυστερήσεων πύλης (θυμηθείτε ότι οι AND και οι OR κατασκευάζονται από NAND και NOR που ακολουθούνται από αντιστροφείς). Η σχεδίαση σε επίπεδο τρανζιστορ του Σχήματος 1.61(β) απαιτεί μόνο 12 τρανζιστορ και δύο στάδια καθυστερήσεων πύλης, υποδεικνύοντας τα οφέλη της βελτιστοποίησης των κυκλωματικών σχεδιασμών για την εκμετάλλευση της τεχνολογίας CMOS.

Από αυτά τα σχηματικά δημιουργούνται οι περιγραφές netlist για σκοπούς προσομοίωσης και επαλήθευσης. Μία κοινή μορφή netlist είναι η δομική HDL. Η σχεδίαση σε επίπεδο πυλών μπορεί να παράγει την ακόλουθη netlist:

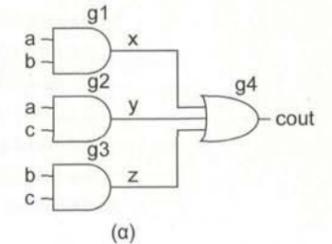
```

module carry(input logic a, b, c,
             output logic cout);

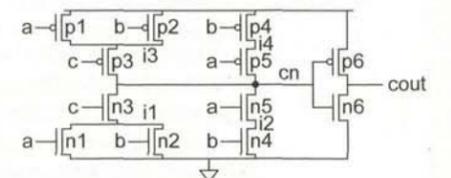
    logic x, y, z;

    and g1(x, a, b);
    and g2(y, a, c);
    and g3(z, b, c);
    or g4(cout, x, y, z);
endmodule

```



(α)



(β)

**ΣΧΗΜΑ 1.61** Το υποκύκλωμα για το κρατούμενο.

Αυτή είναι μία δομική περιγραφή ανεξάρτητη από την τεχνολογία, επειδή χρησιμοποιεί γενικευμένες πύλες, χωρίς να καθορίζονται επακριβώς οι υλοποιήσεις των πύλων. Ακολουθεί η netlist σε επίπεδο τρανζίστορ:

```
module carry(input logic a, b, c,
             output tri cout);
```

```
    tri    i1, i2, i3, i4, cn;
    supply0 gnd;
    supply1 vdd;
```

```
    tranif1 n1(i1, gnd, a);
    tranif1 n2(i1, gnd, b);
    tranif1 n3(cn, i1, c);
    tranif1 n4(i2, gnd, b);
    tranif1 n5(cn, i2, a);
    tranif0 p1(i3, vdd, a);
    tranif0 p2(i3, vdd, b);
    tranif0 p3(cn, i3, c);
    tranif0 p4(i4, vdd, b);
    tranif0 p5(cn, i4, a);
    tranif1 n6(cout, gnd, cn);
    tranif0 p6(cout, vdd, cn);
endmodule
```

Τα τρανζίστορ περιγράφονται ως εξής:

Τύπος-τρανζίστορ όνομα(υποδοχή, πηγή, πύλη);

Το tranif1 αντιστοιχεί σε nMOS τρανζίστορ που άγουν (ON) όταν η πύλη είναι 1, ενώ το tranif0 αντιστοιχεί σε pMOS τρανζίστορ που άγουν (ON) όταν η πύλη είναι 0. Στο Παράρτημα θα βρείτε λεπτομερή παρουσίαση των netlist της Verilog.

Με την περιγραφή που έχει παραχθεί έως τώρα, εξακολουθούμε να μην έχουμε τις πληροφορίες που απαιτούνται για τον καθορισμό της ταχύτητας ή της κατανάλωσης ισχύος της πύλης. Πρέπει να καθορίσουμε το μέγεθος των τρανζίστορ και την παρασιτική χωρητικότητα. Επειδή η Verilog σχεδιάστηκε ως γλώσσα επιπέδου διακοπών/επιπέδου πύλων, είναι ανεπαρκής για δομικές περιγραφές σε τέτοιο βαθμό λεπτομέρειας. Για το λόγο αυτό, στρεφόμαστε σε μία άλλη κοινή δομική γλώσσα που χρησιμοποιείται από το εργαλείο προσομοίωσης SPICE. Ο καθορισμός του υποκυκλώματος του κρατουμένου σε επίπεδο τρανζίστορ μπορεί να διατυπωθεί ως εξής:

```
.SUBCKT CARRY A B C COUT VDD GND
MN1 I1 A GND GND NMOS W=2U L=0.6U AD=1.8P AS=3P
MN2 I1 B GND GND NMOS W=2U L=0.6U AD=1.8P AS=3P
MN3 CN C I1 GND NMOS W=2U L=0.6U AD=3P AS=3P
MN4 I2 B GND GND NMOS W=2U L=0.6U AD=0.9P AS=3P
MN5 CN A I2 GND NMOS W=2U L=0.6U AD=3P AS=0.9P
MP1 I3 A VDD VDD PMOS W=4U L=0.6U AD=3.6P AS=6P
MP2 I3 B VDD VDD PMOS W=4U L=0.6U AD=3.6P AS=6P
MP3 CN C I3 VDD PMOS W=4U L=0.6U AD=6P AS=6P
```

```
MP4 I4 B VDD VDD PMOS W=4U L=0.6U AD=1.8P AS=6P
MP5 CN A I4 VDD PMOS W=4U L=0.6U AD=6P AS=1.8P
MN6 COUT CN GND GND NMOS W=4U L=0.6U AD=6P AS=6P
MP6 COUT CN VDD VDD PMOS W=8U L=0.6U AD=12P AS=12P
CI1 I1 GND 6FF
CI3 I3 GND 9FF
CA A GND 12FF
CB B GND 12FF
CC C GND 6FF
CCN CN GND 12FF
CCOUT COUT GND 6FF
.ENDS
```

Τα τρανζίστορ περιγράφονται με γραμμές που ξεκινούν με το M, ως εξής:

```
Mname drain gate source body type W=width L=length
      AD=drain area AS=source area
```

Παρά το γεγονός ότι έως τώρα οι διακοπές MOS παρουσιάζονται ως στοιχεία τριών ακροδεκτών (πύλη, πηγή και υποδοχή), στην πραγματικότητα είναι στοιχεία τεσσάρων ακροδεκτών, με το υπόστρωμα ή το πηγάδι να συμπεριφέρεται ως ακροδέκτης σώματος. Η σύνδεση του σώματος δεν αναφέρεται στην Verilog, αλλά απαιτείται στο SPICE. Η παράμετρος type καθορίζει εάν το τρανζίστορ είναι στοιχείο τύπου p ή n. Οι παράμετροι πλάτους, μήκους και επιφάνειας καθορίζουν τις φυσικές διαστάσεις των πραγματικών τρανζίστορ. Οι χρησιμοποιούμενες μονάδες είναι U (micro,  $10^{-6}$ ), P (pico,  $10^{-12}$ ) και F (femto,  $10^{-15}$ ). Οι πυκνωτές περιγράφονται με γραμμές που ξεκινούν με το C, ως εξής:

```
Cname node1 node2 value
```

Σ' αυτή την περιγραφή, το μοντέλο MOS του SPICE υπολογίζει τις εγγενείς παρασιτικές χωρητικότητες του τρανζίστορ MOS, χρησιμοποιώντας τις καθοριζόμενες διαστάσεις στοιχείου. Οι πρόσθετες δηλώσεις για τη χωρητικότητα στην παραπάνω περιγραφή υποδεικνύουν την επιπλέον χωρητικότητα διασύνδεσης που δεν είναι εγγενής στη δομή του στοιχείου. Αυτή εξαρτάται από το φυσικό σχέδιο της πύλης. Οι μεγάλοι μήκους αγωγοί συνεισφέρουν επίσης στην αντίσταση, γεγονός το οποίο αυξάνει την καθυστέρηση. Σε επίπεδο κυκλώματος της δομικής προδιαγραφής, δίνονται όλες οι συνδέσεις που είναι απαραίτητες για τον πλήρη χαρακτηρισμό της πύλης κρατουμένου με όρους ταχύτητας, ισχύος και συνδεσιμότητας. Το Κεφάλαιο 8 περιγράφει τα μοντέλα του SPICE.

## 1.10 Φυσική Σχεδίαση

### 1.10.1 Χωροθέτηση

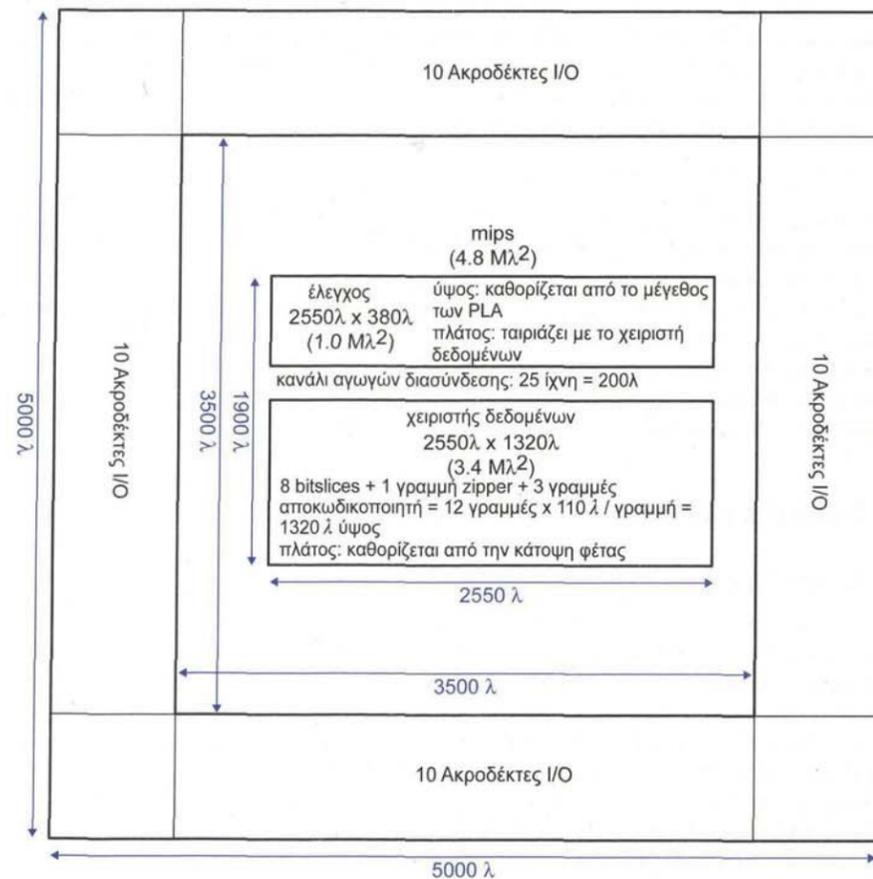
Η φυσική σχεδίαση ξεκινά με τη χωροθέτηση (floorplan). Η χωροθέτηση εκτιμά την επιφάνεια των σημαντικότερων μονάδων του ολοκληρωμένου και καθορίζει τη σχετική τοποθέτησή τους. Η χωροθέτηση είναι ουσιάδης επειδή μας επιτρέπει να εξακριβώσουμε εάν ένα προτεινόμενο σχέδιο θα χωρέσει στην προϋπολογιζόμενη επιφάνεια του ολοκληρωμένου, καθώς και να εκτιμήσουμε τα μήκη και τη συμφόρηση των αγωγών. Για το λόγο αυτό, θα πρέπει να γίνεται μια κατ' αρχήν χωροθέτηση αμέσως μόλις προδιαγραφεί, έστω και χαλαρά, η λογική. Ως συνήθως, αυτή η διαδικασία περιλαμβάνει ανάδραση και μέσω αυτής μας δίνει πληροφόρηση. Σε πολλές περιπτώσεις, η χωροθέτηση μπορεί να υποδείξει αλλαγές στη λογική (και τη μικροαρχιτεκτονική), οι οποίες, με τη σειρά τους, θα επιφέρουν αλλαγές στη χωροθέτηση. Για παράδειγμα, υποθέστε ότι οι υπεύθυνοι για τη μικροαρχιτεκτονική θεωρούν ότι μια μνήμη cache απαιτεί χρόνο προσπέλασης 2 κύκλων. Εάν η χωροθέτηση δείξει ότι η μνήμη cache μπορεί να τοποθετηθεί δίπλα στις μονάδες εκτέλεσης στο χειριστή δεδομένων, ο χρόνος προσπέλασής της θα μπορούσε να μειωθεί σε 1

κύκλο. Αυτό θα επέτρεπε στους σχεδιαστές να μειώσουν τη χωρητικότητα της μνήμης cache, παρέχοντας ωστόσο την ίδια απόδοση. Μετά από αυτή τη μείωση, η χωροθέτηση πρέπει να επανεξεταστεί, με στόχο την αξιοποίηση του νέου χώρου που κατέστη διαθέσιμος κοντά στο χειριστή δεδομένων. Καθώς ένα πολύπλοκο σχέδιο αρχίζει να οριστικοποιείται, η χωροθέτηση συνήθως υποδιαιρείται ιεραρχικά για να περιγράψει τα λειτουργικά μπλοκ εντός των μονάδων.

Η δυσκολία της χωροθέτησης έγκειται στην εκτίμηση του μεγέθους κάθε μονάδας χωρίς να απαιτηθεί λεπτομερής σχεδίαση του ολοκληρωμένου (η οποία θα βασιζόταν στη χωροθέτηση και στα μήκη των καλωδίων). Σ' αυτή την ενότητα θα υποθέσουμε ότι έχουν γίνει κάποιες καλές εκτιμήσεις και θα περιγράψουμε πώς ακριβώς δείχνει μια χωροθέτηση. Στις επόμενες ενότητες θα περιγράψουμε τα είδη των συστατικών που μπορεί να περιλαμβάνει μια χωροθέτηση και να προτείνουμε τρόπους για τον υπολογισμό των μεγεθών τους.

Το Σχήμα 1.62 παρουσιάζει τη χωροθέτηση ενός ολοκληρωμένου για τον επεξεργαστή MIPS που περιλαμβάνει το πλαίσιο ακροδεκτών (padframe). Τα μπλοκ κορυφαιού επιπέδου είναι ο ελεγκτής και ο χειριστής δεδομένων. Ένα κανάλι αγωγών τοποθετείται ανάμεσα στα δύο μπλοκ ώστε να παρέχει χώρο για τη δρομολόγηση σημάτων ελέγχου στο χειριστή δεδομένων. Ο χειριστής δεδομένων διαχωρίζεται σε wordslices. Το πλαίσιο ακροδεκτών περιλαμβάνει 40 ακροδέκτες εισόδου/εξόδου, οι οποίοι είναι καλωδιωμένοι στις ακίδες πάνω στη συσκευασία του ολοκληρωμένου. Οι 29 ακροδέκτες χρησιμοποιούνται για σήματα, ενώ οι υπόλοιποι είναι για τις  $V_{DD}$  και GND.

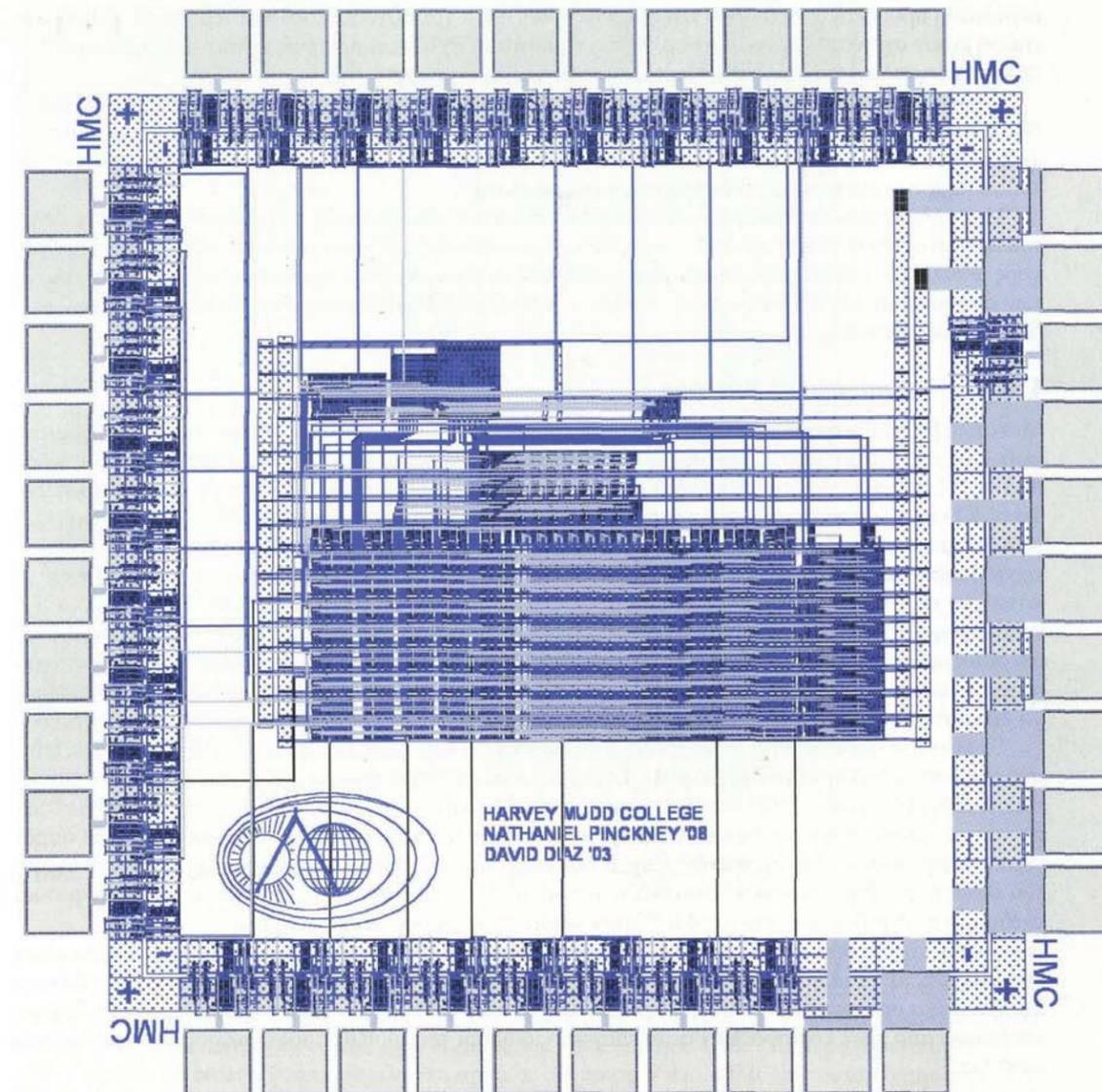
Η χωροθέτηση σχεδιάζεται υπό κλίμακα και οχολάζεται με διαστάσεις. Το ολοκληρωμένο σχεδιάζεται για μια τεχνολογία 0.6  $\mu\text{m}$  πάνω σε ψηφίδα 1.5 x 1.5 mm, οπότε η διάσταση της ψηφίδας είναι 5000  $\lambda$  ανά πλευρά.



ΣΧΗΜΑ 1.62 Χωροθέτηση για τον επεξεργαστή MIPS.

Επειδή κάθε ακροδέκτης είναι 750  $\lambda$  x 350  $\lambda$ , η μέγιστη δυνατή επιφάνεια του πυρήνα μέσα στο πλαίσιο ακροδεκτών είναι 3500  $\lambda$  x 3500  $\lambda$  = 12.25 Mλ<sup>2</sup>. Λόγω του καναλιού αγωγών, η πραγματική επιφάνεια του πυρήνα, 4.8 Mλ<sup>2</sup>, είναι μεγαλύτερη από το άθροισμα των επιφανειών των μπλοκ. Αυτό το σχέδιο αποκαλείται *περιορισμένο από τους ακροδέκτες (pad-limited)*, επειδή οι ακροδέκτες εισόδου/εξόδου καθορίζουν την επιφάνεια του ολοκληρωμένου. Τα περισσότερα εμπορικά ολοκληρωμένα είναι *περιορισμένα από τον πυρήνα (core-limited)*, επειδή η επιφάνεια του ολοκληρωμένου καθορίζεται από τη λογική, εξαιρώντας τους ακροδέκτες. Γενικά, τα μπλοκ σε μία χωροθέτηση θα πρέπει να είναι ορθογώνια επειδή είναι δύσκολο για ένα σχεδιαστή να τοποθετήσει τα μπλοκ λογικής μέσα σε περιοχές ακανόνιστου σχήματος (αν και ορισμένα προγράμματα CAD τα καταφέρνουν μια χαρά).

Το Σχήμα 1.63 παρουσιάζει το πραγματικό φυσικό σχέδιο του ολοκληρωμένου. Παρατηρήστε τους 40 ακροδέκτες E/E στην περίμετρο. Ακριβώς μέσα από το πλαίσιο ακροδεκτών υπάρχουν δακτύλιοι μετάλλου 2,  $V_{DD}$  και GND που επισημαίνονται με + και -.



ΣΧΗΜΑ 1.63 Το φυσικό σχέδιο του επεξεργαστή MIPS.

Οι δομές πάνω στο ολοκληρωμένο μπορούν να κατηγοριοποιηθούν σε *τυχαία λογική, χειριστές δεδομένων, διατάξεις, αναλογικά υποσυστήματα και υποσυστήματα εισόδου/εξόδου (I/O)*. Οι δομές τυχαίας λογικής, όπως ο αποκωδικοποιητής της ALU, έχουν ελάχιστη δομή. Οι χειριστές δεδομένων επενεργούν σε λέξεις πολλαπλών bit και εκτελούν περίπου την ίδια λειτουργία σε κάθε bit, οπότε απαρτίζονται από πολλαπλές "φέτες λέξης" (wordsllices) των  $N$  bit. Οι διατάξεις, όπως π.χ. RAM, ROM και PLA, αποτελούνται από πανομοιότυπα κύτταρα που επαναλαμβάνονται στις δύο διαστάσεις. Η παραγωγικότητα μεγιστοποιείται εάν ένα φυσικό σχέδιο μπορεί να επαναχρησιμοποιηθεί ή να παραχθεί αυτόματα. Οι χειριστές δεδομένων και οι διατάξεις είναι καλά δομικά μπλοκ για ολοκληρωμένα VLSI, επειδή ένα προσεκτικά κατασκευασμένο κύτταρο επαναχρησιμοποιείται σε μία ή δύο διαστάσεις. Υπάρχουν αυτοματοποιημένες γεννήτριες φυσικού σχεδίου για διατάξεις μνήμης και μπλοκ τυχαίας λογικής, αλλά δεν είναι εξίσου αναπτυγμένες για τους χειριστές δεδομένων. Γι' αυτό και πολλές μεθοδολογίες σχεδίασης αγνοούν τις δυνατότητες οργανωμένης δόμησης των χειριστών δεδομένων και αντ' αυτού τους σχεδιάζουν με εργαλεία τυχαίας λογικής, εκτός εάν η απόδοση ή η κατανάλωση επιφάνειας είναι ζωτικής σημασίας. Τα αναλογικά κυκλώματα απαιτούν σε κάθε περίπτωση προσεκτικό σχεδιασμό και προσομοίωση, αλλά χρειάζονται πολύ λιγότερη φυσική σχεδίαση επειδή έχουν σχετικά λίγα τρανζίστορ. Τέλος, τα κύτταρα E/E είναι συνήθως βελτιστοποιημένα για την εκάστοτε τεχνολογία κατασκευής και παρέχονται από το δημιουργό της.

Τυπικά, οι χειριστές δεδομένων κατασκευάζονται με τυποποιημένα κύτταρα, όπως αντιστροφείς, πύλες NAND και flip-flop. Τα τυποποιημένα κύτταρα αυξάνουν την παραγωγικότητα, επειδή κάθε κύτταρο χρειάζεται να σχεδιαστεί και να επαληθευτεί μόνο μια φορά. Συνήθως, χρησιμοποιούνται βιβλιοθήκες τυποποιημένων κυττάρων από διάφορους κατασκευαστές.

Μια άλλη σημαντική απόφαση που λαμβάνεται κατά τη διάρκεια της χωροθέτησης είναι η επιλογή του προσανατολισμού των στρώσεων μετάλλου. Η χωροθέτηση του MIPS χρησιμοποιεί οριζόντιους αγωγούς μετάλλου1, κατακόρυφους αγωγούς μετάλλου2 και οριζόντιους αγωγούς μετάλλου3. Η εναλλαγή των διευθύνσεων μεταξύ διαδοχικών στρώσεων μετάλλου διευκολύνει τις διασταυρώσεις αγωγών από διαφορετικές στρώσεις.

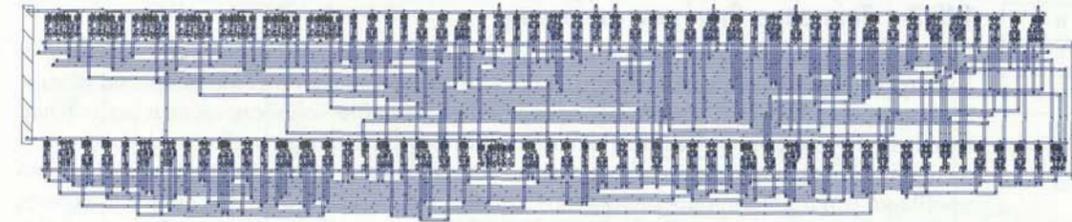
### 1.10.2 Τυποποιημένα Κύτταρα

Μια απλή βιβλιοθήκη τυποποιημένων κυττάρων παρουσιάζεται στο τέλος της εισαγωγής. Οι γραμμές τροφοδοσίας και γείωσης διατρέχουν οριζόντια τη στρώση μετάλλου1. Αυτές οι γραμμές τροφοδοσίας έχουν πλάτος 8  $\lambda$  (για μεταφορά περισσότερου ρεύματος) και διαχωρίζονται κατά 90  $\lambda$  από κέντρο σε κέντρο. Τα nMOS τρανζίστορ είναι τοποθετημένα στα κάτω 40  $\lambda$  του κυττάρου, ενώ τα pMOS τρανζίστορ είναι τοποθετημένα στα επάνω 50  $\lambda$ . Συνεπώς, τα κύτταρα μπορούν να συνδέονται μέσω στήριξης με τις γραμμές τροφοδοσίας και ταιριάσματος με το n-πηγάδι. Οι επαφές υποστρώματος και πηγαδιού είναι τοποθετημένες κάτω από τις γραμμές τροφοδοσίας. Είσοδοι και εξοδοί παρέχονται στη στρώση μετάλλου2, η οποία έχει κατακόρυφο προσανατολισμό. Κάθε κύτταρο έχει πλάτος πολλαπλάσιο των 8  $\lambda$ , έτσι ώστε να παρέχεται ακέραιος αριθμός ιχνών μετάλλου2. Το πολυπυρίτιο διατρέχει το κύτταρο κατακόρυφα για το σχηματισμό πωλών, ενώ οι στρώσεις διάχυσης και μετάλλου1 το διατρέχουν οριζόντια, αν και το μέταλλο1 μπορεί επίσης να έχει κατακόρυφο προσανατολισμό για εξοικονόμηση χώρου όταν δεν παρεμποδίζει άλλες συνδέσεις.

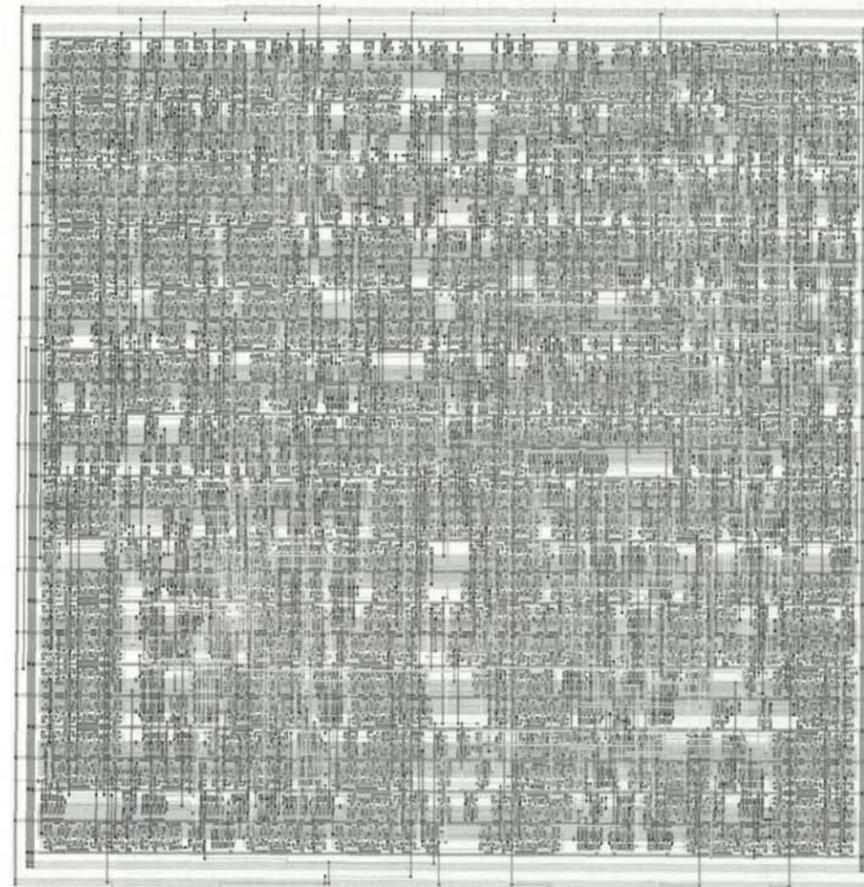
Τα κύτταρα παρατίθενται σε γραμμές. Κατακόρυφα, η κάθε γραμμή απέχει τουλάχιστον κατά 110  $\lambda$  από τη βάση της προηγούμενης γραμμής. Σε μια κατασκευή 2 στρώσεων, οι οριζόντιοι μεταλλικοί αγωγοί τοποθετούνται σε *κανάλια διασύνδεσης (routing channels)* μεταξύ των γραμμών. Ο αριθμός των αγωγών που πρέπει να διασυνδεθούν καθορίζει το ύψος των καναλιών διασύνδεσης. Συχνά, το φυσικό σχέδιο παράγεται με εργαλεία αυτόματης τοποθέτησης & διασύνδεσης. Το Σχήμα 1.64 παρουσιάζει το φυσικό σχέδιο του ελεγκτή που δημιουργήθηκε από ένα τέτοιο εργαλείο. Σημειώστε ότι σ' αυτό και σε επόμενα φυσικά σχέδια, το n-πηγάδι γύρω από τα pMOS τρανζίστορ συνήθως δεν θα εμφανίζεται.

Όταν είναι διαθέσιμες περισσότερες στρώσεις μετάλλων, η διασύνδεση υλοποιείται πάνω από τα κύτταρα και τα κανάλια αγωγών δεν χρειάζονται. Για παράδειγμα, σε μια κατασκευή 3 στρώσεων, το μέταλλο3 έχει οριζόντιο προσανατολισμό με ύψος 10  $\lambda$ . Συνεπώς, 11 οριζόντια ίχνη μπορούν να διέρχονται πάνω από κάθε κύτταρο. Εάν αυτό επαρκεί για όλους τους οριζόντιους αγωγούς, δεν χρειάζονται κανάλια.

Τα εργαλεία αυτόματης σύνθεσης και τοποθέτησης & διασύνδεσης έχουν αναπτυχθεί αρκετά ώστε να αντιστοιχίζουν ολόκληρα σχέδια σε τυποποιημένα κύτταρα. Το Σχήμα 1.65 παρουσιάζει τον 8-bit επεξερ-



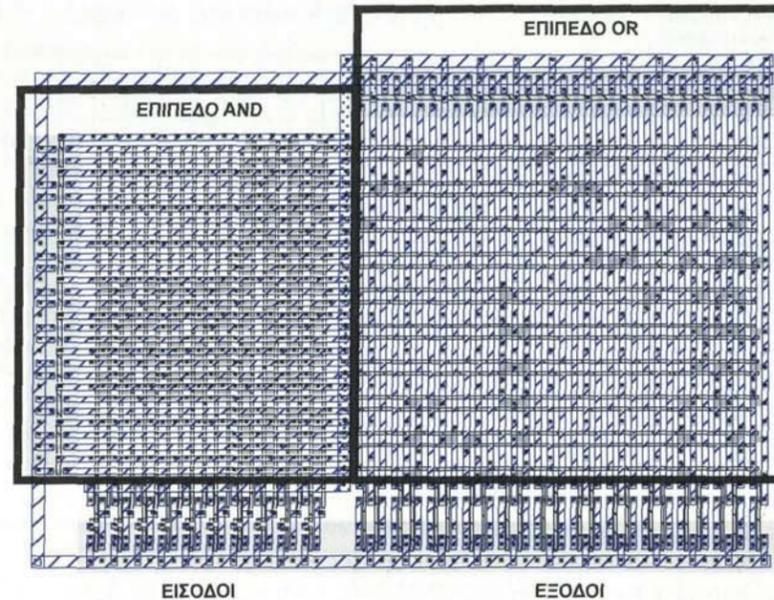
ΣΧΗΜΑ 1.64 Το φυσικό σχέδιο του ελεγκτή του MIPS (συνθετιμένο σχέδιο).



ΣΧΗΜΑ 1.65 Ο επεξεργαστής MIPS (συνθετιμένο σχέδιο).

γαστή MIPS όπως έχει συντεθεί από το VHDL μοντέλο που δίνεται στο Παράρτημα (A.12), με χρήση μιας βιβλιοθήκης κυττάρων στα 130 nm με επτά στρώσεις μετάλλου. Συγκρινόμενο με το Σχήμα 1.63, το παραγόμενο με σύνθεση σχέδιο είναι ελάχιστα δομημένο, εκτός από τις 26 γραμμές τυποποιημένων κυττάρων που διακρίνονται κάτω από τους αγωγούς. Η επιφάνεια είναι περίπου 4 Μλ<sup>2</sup>. Τα παραγόμενα με σύνθεση σχέδια τείνουν να είναι λίγο πιο μεγάλα και αργά σε σύγκριση μ' ένα καλό, επί τούτου δημιουργημένο σχέδιο, αλλά απαιτούν κατά μία τάξη μεγέθους λιγότερη σχεδιαστική προσπάθεια.





ΣΧΗΜΑ 1.69 Δομή PLA για την FSM.

να εκτιμήσει την κατανάλωση επιφάνειας ενός μπλοκ σε σύγκριση με την κατανάλωση επιφάνειας ενός συγκρίσιμου μπλοκ που σχεδίασε στο παρελθόν. Εάν δεν υπάρχουν δεδομένα για μια τέτοια σύγκριση, ο Πίνακας 1.10 παραθέτει ορισμένες τυπικές τιμές. Διασφαλίστε τις κατάλληλες προβλέψεις για μεγάλα κανάλια αγωγών διασύνδεσης, σε βήμα απόστασης  $8 \lambda$ /ίχνος. Προφανώς, μεγαλύτερα τρανζίστορ καταλαμβάνουν μεγαλύτερη επιφάνεια, γεγονός το οποίο πρέπει να συνυπολογιστεί στις εκτιμήσεις επιφάνειας, ως συνάρτηση των  $W$  και  $L$  (πλάτος και μήκος). Για τις μνήμες, μην παραλείψετε τις προβλέψεις για τους αποκωδικοποιητές και τα άλλα περιφερειακά κυκλώματα, τα οποία συχνά χρειάζονται τόσο επιφάνεια, όση και τα bits της μνήμης. Τα νούμερα μπορεί να διαφέρουν στη δική σας περίπτωση, αλλά γενικά οι χειριστές δεδομένων και οι δομές PLA επιτυγχάνουν υψηλότερες πυκνότητες από τα τυποποιημένα κύτταρα.

ΠΙΝΑΚΑΣ 1.10 Τυπικές πυκνότητες φυσικών σχεδίων

Στοιχείο	Επιφάνεια
τυχαία λογική (κατασκευή σε 2 στρώσεις μετάλλου)	1000 - 1500 $\lambda^2$ /τρανζίστορ
χειριστής δεδομένων	250 - 750 $\lambda^2$ /τρανζίστορ ή $6 WL + 360 \lambda^2$ /τρανζίστορ
SRAM	1000 $\lambda^2$ /bit
DRAM (σε επεξεργασία DRAM)	100 $\lambda^2$ /bit
ROM	100 $\lambda^2$ /bit

Εάν υπάρχει διαθέσιμος χρόνος, σχεδόν πάντα είναι δυνατό να γλιτώσουμε λίγα  $\lambda$  από κάποια σημεία του σχεδίου. Ωστόσο, τέτοιες προσπάθειες σπανίως αξίζουν τον κόπο, εκτός κι αν ένα στοιχείο επαναλαμβάνεται τόσες πολλές φορές που συνιστά σημαντικό ποσοστό της επιφάνειας του ολοκληρωμένου, ή εάν σφάλματα στη χωροθέτηση κατέληξαν σε πολύ λίγο χώρο για ένα μπλοκ, το οποίο θα πρέπει να σμικρυνθεί για να μπορέσει να κατασκευαστεί το ολοκληρωμένο. Μια συνετή προσέγγιση είναι να γίνονται συντηρητικές εκτιμήσεις της κατανάλωσης επιφάνειας κατά τη χωροθέτηση, κυρίως εάν υπάρχει ενδεχόμενο να προστεθεί περισσότερη λειτουργικότητα σ' ένα μπλοκ.

Ορισμένοι κατασκευαστές βιβλιοθηκών κυτάρων καθορίζουν τις πυκνότητες τυπικά διασυνδεδεμένων τυποποιημένων κυτάρων σε  $kgates^7$  ανά τετραγωνικό χιλιοστό. Συνήθως, μία πύλη ορίζεται ως στατική CMOS NAND ή NOR 3 εισόδων με έξι τρανζίστορ. Μια τεχνολογία κατασκευής 65nm ( $\lambda \approx 0.03 \mu m$ ) με οκτώ στρώσεις μετάλλου μπορεί να επιτύχει πυκνότητα της τάξης 160-500  $kgates/mm^2$  για τυχαία λογική. Αυτό αντιστοιχεί περίπου σε 370-1160  $\lambda^2$ /τρανζίστορ. Οι τεχνολογίες κατασκευής με πολλές στρώσεις μετάλλου αποκτούν υψηλή πυκνότητα επειδή δεν απαιτούνται κανάλια διασύνδεσης.

### 1.11 Επαλήθευση Σχεδίασης

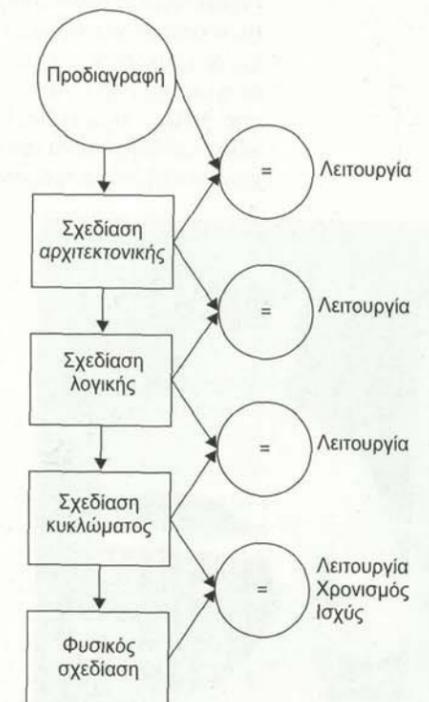
Τα ολοκληρωμένα κυκλώματα είναι πλέον τόσο πολύπλοκα που μπορούμε εκ του ασφαλούς να υποθέσουμε ότι εάν υπάρχει κάτι που μπορεί να προκαλέσει πρόβλημα, τότε πιθανότατα θα το προκαλέσει. Η επαλήθευση της σχεδίασης είναι ζωτική για την πρόληψη των σφαλμάτων πριν από την κατασκευή και συνήθως αντιστοιχεί στο ένα τρίτο έως το μισό της συνολικής προσπάθειας που αναλώνεται για ένα ολοκληρωμένο.

Καθώς οι αναπαραστάσεις της σχεδίασης γίνονται ολοένα και πιο λεπτομερείς, ο χρόνος επαλήθευσης αυξάνεται. Δεν είναι πρακτικό να προσομοιώνουμε ένα ολόκληρο τσιπ σ' έναν προσομοιωτή επιπέδου κυκλώματος, όπως το SPICE, για ένα μεγάλο αριθμό κύκλων με στόχο να αποδείξουμε ότι η φυσική σχεδίαση είναι σωστή. Αντ' αυτού, η σχεδίαση ελέγχεται συνήθως ως προς τη λειτουργικότητά της σε επίπεδο αρχιτεκτονικής, με ένα μοντέλο διατυπωμένο σε κάποια γλώσσα όπως η C, καθώς και σε επίπεδο λογικής, με προσομοίωση της περιγραφής HDL. Στη συνέχεια, ελέγχονται τόσο τα κυκλώματα, για να διασφαλιστεί ότι αποτελούν πιστή αναπαράσταση της λογικής, όσο και το φυσικό σχέδιο, για να διασφαλιστεί ότι αποτελεί πιστή αναπαράσταση των κυκλωμάτων, όπως υποδεικνύει το Σχήμα 1.70. Επιπλέον, τα κυκλώματα και το φυσικό σχέδιο πρέπει να ικανοποιούν τις προδιαγραφές χρόνου και ισχύος.

Ένα πρόγραμμα δοκιμής (*testbench*) χρησιμοποιείται για να επαληθεύσει ότι η λογική είναι σωστή. Το πρόγραμμα δοκιμής δημιουργεί ένα υπόδειγμα (*instance*) της υπό δοκιμή λογικής. Διαβάζει ένα αρχείο με συνδυασμούς εισόδων και αναμενόμενων εξόδων, οι οποίοι αποκαλούνται *διανύσματα δοκιμής* (*test vectors*), τα εφαρμόζει στην υπό δοκιμή μονάδα και αναφέρει τις αναντιστοιχίες που θα βρει. Στο Παράρτημα (A.12) θα βρείτε ένα παράδειγμα προγράμματος δοκιμής για την επαλήθευση της λογικής του επεξεργαστή MIPS.

Υπάρχουν πολλές τεχνικές για την επαλήθευση κυκλωμάτων. Εάν η λογική παράγεται συνθετικά, με βάση μια βιβλιοθήκη κυτάρων, η netlist επιπέδου πυλών που παράγεται μετά από τη σύνθεση μπορεί να διατυπωθεί σε HDL και να προσομοιωθεί χρησιμοποιώντας τα ίδια διανύσματα δοκιμής. Εναλλακτικά, μια netlist επιπέδου τρανζίστορ μπορεί να προσομοιωθεί έναντι του διανύσματος δοκιμής, αν και αυτό μπορεί να οδηγήσει σε δύσκολα διαχειρίσιμες συνθήκες ανταγωνισμού σε ακολουθιακά κυκλώματα. Υπάρχουν επίσης ισχυρά εργαλεία *τυπικής επαλήθευσης* (*formal verification*), τα οποία αποδεικνύουν ότι ένα κύκλωμα εκτελεί την ίδια λογική (Boolean) συνάρτηση με τη σχετιζόμενη λογική. Τα «εξωτικά» κυκλώματα πρέπει να προσομοιώνονται εξονυχιστικά, ώστε να διασφαλίζεται ότι εκτελούν την επιδιωκόμενη λογική και έχουν επαρκή περιθώρια θορύβου. Πολλοί από τους κινδύνους που διατρέχουν τα κυκλώματα περιγράφονται σε όλη την έκταση του βιβλίου.

Τα εργαλεία σύγκρισης *φυσικού έναντι σχηματικού σχεδίου* (*Layout vs. Schematic, LVS*) ελέγχουν τα τρανζίστορ ενός φυσικού σχεδίου για να διασφαλίσουν ότι είναι συνδεδεμένα με τον ίδιο τρόπο όπως και στο σχηματικό του κυκλώματος. Οι *Ελεγκτές Κανόνων Σχεδίασης* (*Design Rule Checkers, DRC*) επαληθεύουν ότι η φυσική σχεδίαση ικανοποιεί τους κανόνες σχεδίασης. Οι *Ελεγκτές Ηλεκτρικών Κανόνων* (*Electric Rule Checkers, ERC*) εκτελούν λεπτομερείς ελέγχους για άλλα πιθανά προβλήματα, όπως π.χ. τα προβλήματα θορύβου ή ηλεκτρομετανάστευσης, τα οποία θα εξετάσουμε παρακάτω σ' αυτό το βιβλίο.



ΣΧΗΜΑ 1.70 Η αλληλουχία σχεδίασης και επαλήθευσης.

<sup>7</sup> 1 kgate = 1000 πύλες

### 1.12 Κατασκευή, Συσκευασία και Δοκιμή

Αφού ολοκληρωθεί η σχεδίαση, το ολοκληρωμένο προετοιμάζεται για την κατασκευή. Η διαδικασία αυτή αποκαλείται tape out, από την παλαιά πρακτική της εγγραφής των προδιαγραφών των μασκών σε μαγνητική ταινία. Σήμερα, οι περιγραφές των μασκών στέλνονται ηλεκτρονικά στον κατασκευαστή. Δύο κοινές μορφές για την περιγραφή των μασκών είναι η Caltech Interchange Format (CIF) [Mead80] (χρησιμοποιείται συνήθως σε ακαδημαϊκά περιβάλλοντα) και η Calma GDS II Stream Format (GDS) [Calma84] (χρησιμοποιείται στη βιομηχανία).

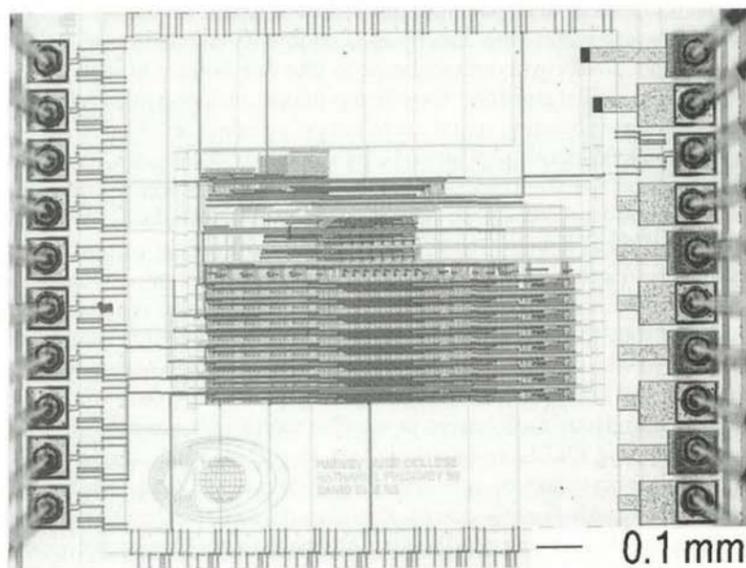
Οι μάσκες δημιουργούνται με χάραξη ενός μοτίβου χρωμίου πάνω σε γυαλί, με μια δέσμη ηλεκτρονίων. Το σύνολο μασκών που απαιτεί μια νανομετρική τεχνολογία κατασκευής μπορεί να είναι εξαιρετικά ακριβό. Για παράδειγμα, το κόστος των μασκών για ένα μεγάλο ολοκληρωμένο σε τεχνολογία 180 nm μπορεί να ανέλθει στις διακόσιες πενήντα χιλιάδες δολάρια. Για μια τεχνολογία κατασκευής 65 nm, το κόστος του συνόλου μασκών μπορεί να ανέλθει στα τρία εκατομμύρια δολάρια περίπου. Η υπηρεσία Mosis στις Ηνωμένες Πολιτείες και οι αντίστοιχες EURO PRACTICE και VDEC στην Ευρώπη και την Ιαπωνία αναπτύσσουν ένα μεμονωμένο σύνολο μασκών, το οποίο καλύπτει πολλαπλές σχεδιάσεις τόσο από τον ακαδημαϊκό τομέα όσο και από τη βιομηχανία, αποσκοπώντας στον επιμερισμό του κόστους του μεταξύ πολλών πελατών.

Οι εγκαταστάσεις κατασκευής ολοκληρωμένων κυκλωμάτων (fabs) κοστίζουν δισεκατομμύρια δολάρια και καθίστανται απαραίτητες μέσα σε λίγα χρόνια. Ορισμένες μεγάλες εταιρείες διαθέτουν δικές τους εγκαταστάσεις κατασκευής, αλλά ένας διαρκώς αυξανόμενος αριθμός εταιρειών ημιαγωγών αναθέτουν την κατασκευή των ολοκληρωμένων τους σε εξωτερικούς συνεργάτες-εταιρείες όπως οι TSMC, UMC και IBM.

Πολλαπλά ολοκληρωμένα κατασκευάζονται ταυτόχρονα σ' ένα μεμονωμένο δισκίο πυριτίου, με τυπική διάμετρο 150-300 mm (6"-12"). Η κατασκευή απαιτεί πολλά βήματα εναπόθεσης, δημιουργίας μασκών, εγχάραξης και εμφύτευσης. Οι περισσότερες εγκαταστάσεις βελτιστοποιούν τις γραμμές παραγωγής τους περισσότερο για την απόδοση των δισκίων παρά για την ταχύτητα κατασκευής, γεγονός το οποίο οδηγεί σε χρόνους υλοποίησης έως 10 εβδομάδες. Το Σχήμα 1.71 παρουσιάζει έναν μηχανικό μέσα σε αποστειρωμένο χώρο, να κρατά ένα δισκίο 300 mm. Ειδικά φίλτρα εξαλείφουν το μεγαλύτερο μέρος της σκόνης ή άλλων σωματιδίων που θα μπορούσαν να καταστρέψουν ένα ημιτελές δισκίο. Ο μηχανικός φοράει ειδική στολή ώστε να αποφευχθεί η μόλυνση του χώρου. Το Σχήμα 1.72 παρουσιάζει μια μικροφωτογραφία (φωτογραφία τραβηγμένη από μικροσκόπιο) του 8-bit επεξεργαστή MIPS.

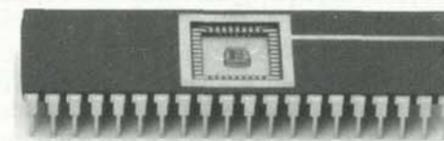


ΣΧΗΜΑ 1.71 Μηχανικός με επεξεργασμένο δισκίο 12 ιντσών ανά χείρας (η φωτογραφία είναι ευγενής προσφορά της Intel Corporation).



ΣΧΗΜΑ 1.72 Φωτομικρογραφία του επεξεργαστή MIPS (είναι ορατό μόνο ένα μέρος του πλαισίου ακροδεκτών)

Τα επεξεργασμένα δισκία διαχωρίζονται σε ψηφίδες (ολοκληρωμένα) και συσκευάζονται. Το Σχήμα 1.73 παρουσιάζει ένα ολοκληρωμένο 1.5 x 1.5 mm σε συσκευασία 40 ακίδων κατανεμημένων στις δύο παράλληλες πλευρές της (dual-inline package, DIP). Αυτή η συνδεδεμένη με αγωγούς (wire-bonded) συσκευασία χρησιμοποιεί λεπτά χρυσά καλώδια για τη σύνδεση των ακροδεκτών της ψηφίδας στο πλαίσιο της κεντρικής κοιλότητας της συσκευασίας. Αυτά τα καλώδια είναι ορατά στους ακροδέκτες του Σχήματος 1.72. Υπάρχουν επίσης πιο προηγμένες συσκευασίες, οι οποίες παρέχουν διαφορετικούς συμβιβασμούς μεταξύ κόστους, αριθμού ακίδων, εύρους ζώνης ακίδων, χειρισμού ισχύος και αξιοπιστίας, όπως θα δούμε στην Ενότητα 13.2. Η τεχνολογία flip-chip τοποθετεί μικρά σφαιρίδια κασσιτεροκόλλησης πάνω στην ψηφίδα, εξαλείφοντας έτσι την αυτεπαγωγή των αγωγών σύνδεσης και επιτρέποντας την ύπαρξη επαφών σε όλη την επιφάνεια του ολοκληρωμένου αντί για την περιμέτρο του μόνο.



ΣΧΗΜΑ 1.73 Ολοκληρωμένο σε συσκευασία 40 ακίδων (dual-inline package).

Ακόμα και μικροσκοπικά ελαττώματα στο δισκίο, ή κόκκοι σκόνης, μπορούν να προκαλέσουν την αποτυχία ενός ολοκληρωμένου. Τα ολοκληρωμένα ελέγχονται πριν διατεθούν στην αγορά. Επειδή τα συστήματα ελέγχου που έχουν δυνατότητα χειρισμού ολοκληρωμένων με υψηλή ταχύτητα κοστίζουν εκατομμύρια δολάρια, πολλά ολοκληρωμένα περιλαμβάνουν ενσωματωμένα χαρακτηριστικά αυτο-ελέγχου για τη μείωση του απαιτούμενου χρόνου του ελεγκτή. Το Κεφάλαιο 15 είναι αφιερωμένο στις διαδικασίες επαλήθευσης (verification) και δοκιμής (testing).

### Σύνοψη του Κεφαλαίου

«Εάν το αυτοκίνητο είχε ακολουθήσει τον ίδιο κύκλο ανάπτυξης με τον υπολογιστή, μία Rolls-Royce θα стоίχιζε σήμερα 100 δολάρια, θα είχε απόδοση ενός εκατομμυρίου μιλίων ανά γαλόνι βενζίνης και θα ανατιναζόταν μία φορά το χρόνο...»

- Robert X. Cringley

Η τεχνολογία CMOS, οδηγούμενη από το νόμο του Moore, έχει κυριαρχήσει στη βιομηχανία ημιαγωγών. Σ' αυτό το κεφάλαιο εξετάσαμε τις αρχές σχεδίασης ενός απλού ολοκληρωμένου κυκλώματος CMOS. Τα τρανζίστορ τεχνολογίας MOS μπορούν να αντιμετωπίζονται ως ηλεκτρικά ελεγχόμενοι διακόπτες. Οι στατικές πύλες CMOS κατασκευάζονται από δίκτυα οδήγησης κάτω (αποτελούμενα από nMOS τρανζίστορ) και δίκτυα οδήγησης πάνω (αποτελούμενα από pMOS τρανζίστορ). Τα τρανζίστορ και οι αγωγοί κατασκευάζονται πάνω σε ψηφίδες πυριτίου, μέσω μιας σειράς βημάτων εναπόθεσης, λιθογραφικής εκτόπισης και εγχάραξης. Αυτά τα βήματα καθορίζονται από ένα σύνολο μασκών, οι οποίες συγκροτούν το φυσικό σχέδιο του ολοκληρωμένου. Οι κανόνες σχεδίασης καθορίζουν το ελάχιστο πλάτος και απόσταση μεταξύ των στοιχείων στο φυσικό σχέδιο. Η διαδικασία σχεδίασης ενός ολοκληρωμένου μπορεί να χωριστεί σε αρχιτεκτονική, λογική, κυκλωματική και φυσική σχεδίαση. Η απόδοση, η επιφάνεια και η κατανάλωση ισχύος επηρεάζονται από αλληλένδετες αποφάσεις που λαμβάνονται σε κάθε επίπεδο. Η επαλήθευση της σχεδίασης παίζει σημαντικό ρόλο στην κατασκευή τόσο πολύπλοκων συστημάτων και οι απαιτήσεις αξιοπιστίας για το υλικό είναι μεγαλύτερες από αυτές που τίθενται κατά κανόνα στο λογισμικό.

Οι πρωταρχικοί στόχοι της σχεδίασης είναι η αξιοπιστία, η απόδοση, η κατανάλωση ισχύος και το κόστος. Οποιοδήποτε ολοκληρωμένο θα πρέπει, με τη μέγιστη δυνατή πιθανότητα, να λειτουργεί αξιόπιστα εντός του προδιαγραφέντος χρόνου ζωής του. Για παράδειγμα, το ολοκληρωμένο θα πρέπει να σχεδιαστεί με τρόπο ώστε να μην υπερθερμαίνεται, ούτε να καταστρέφεται, από υπερβολική τάση. Η απόδοση επηρεάζεται από πολλούς παράγοντες, δύο εκ των οποίων είναι η ταχύτητα ρολογιού και ο παραλληλισμός (παράλληλη λειτουργία). Τα CMOS τρανζίστορ καταναλώνουν ισχύ κάθε φορά που μεταγάνουν, πράγμα το οποίο σημαίνει ότι η κατανάλωση δυναμικής ισχύος είναι συνάρτηση του αριθμού και του

μεγέθους των τρανζίστορ, καθώς και του ρυθμού μεταγωγής τους. Σε μεγέθη κάτω από τα 180 nm, τα τρανζίστορ επιδεικνύουν επίσης σημαντική διαρροή ρεύματος, ακόμη κι όταν κανονικά θα έπρεπε να είναι OFF. Συνεπώς, τα ολοκληρωμένα που κατασκευάζονται με τέτοια τρανζίστορ καταναλώνουν στατική ισχύ ακόμη και σε κατάσταση μη-λειτουργίας. Μία από τις σημαντικότερες προκλήσεις που θέτει η σχεδίαση VLSI είναι η εξεύρεση των βέλτιστων συμβιβασμών που μπορούν να γίνουν μεταξύ απόδοσης και κατανάλωσης ισχύος για μια δεδομένη εφαρμογή. Το κόστος κατασκευής ενός ολοκληρωμένου περιλαμβάνει τις εφάπαξ δαπάνες για το σχεδιασμό και τις μάσκες, καθώς και τα κατασκευαστικά κόστη ανά ολοκληρωμένο, τα οποία εξαρτώνται από το μέγεθός του. Σε τεχνολογίες κατασκευής στοιχείων μικρότερων μεγεθών, το κόστος ανά στοιχείο μειώνεται επειδή μπορούν να ενσωματωθούν περισσότερα τρανζίστορ σε μια ορισμένη περιοχή, αλλά οι εφάπαξ δαπάνες αυξάνονται. Οι νεότερες τεχνολογίες κατασκευής είναι αποδοτικές όσον αφορά το κόστος μόνο για ολοκληρωμένα με αυξημένους όγκους παραγωγής και πωλήσεων. Φυσικά, υπάρχουν πολλές και ενδιαφέρουσες αγορές για φθηνότερες τεχνολογίες κατασκευής που έχουν δοκιμαστεί στο χρόνο.

Για να ποσοτικοποιήσει κανείς το κατά πόσον ένα ολοκληρωμένο καλύπτει τους παραπάνω στόχους, θα πρέπει να αναπτύξει και να αναλύσει πληρέστερα μοντέλα. Στο υπόλοιπο αυτού του βιβλίου θα αναπτύξουμε διεξοδικά τα όσα παρουσιάσαμε στο παρόν κεφάλαιο. Προφανώς, τα τρανζίστορ δεν είναι απλώς και μόνο διακόπτες. Το Κεφάλαιο 2 εξετάζει τα ρεύματα και τις χωρητικότητες των τρανζίστορ, τα οποία είναι σημαντικά για τον υπολογισμό της καθυστέρησης και της κατανάλωσης ισχύος. Στο Κεφάλαιο 3 παρουσιάζεται μια αναλυτικότερη περιγραφή της τεχνολογίας κατασκευής CMOS και των κανόνων της. Τα επόμενα τέσσερα κεφάλαια πραγματεύονται θέματα θεμελιώδους σημασίας για τους σχεδιαστές κυκλωμάτων. Τα μοντέλα που θα αναπτύξουμε στο Κεφάλαιο 2 είναι υπερβολικά λεπτομερή για να μπορούν να εφαρμόζονται «με το χέρι» σε μεγάλα συστήματα, αλλά ταυτόχρονα ανεπαρκή στο να αποτυπώνουν πλήρως την πολυπλοκότητα των σύγχρονων τρανζίστορ. Το Κεφάλαιο 4 αναπτύσσει απλοποιημένα μοντέλα για τον υπολογισμό της καθυστέρησης που επιδεικνύουν τα κυκλώματα. Εάν τα σύγχρονα ολοκληρωμένα σχεδιάζονταν με τρόπο ώστε να παρέχουν τη μέγιστη δυνατή απόδοση χωρίς να λαμβάνεται υπόψη η κατανάλωση ισχύος, θα καίγονταν. Συνεπώς, είναι ιδιαίτερα σημαντικό να βρεθεί ο κατάλληλος συμβιβασμός μεταξύ κατανάλωσης ισχύος και απόδοσης. Επιπλέον, η χαμηλή κατανάλωση ισχύος είναι ζωτικής σημασίας για τα φορητά συστήματα που τροφοδοτούνται από μπαταρία. Το θέμα της ισχύος εξετάζεται στο Κεφάλαιο 5. Οι διασυνδέσεις, οι οποίες είναι επίσης σημαντικές για τα τρανζίστορ, δεδομένου ότι συνεισφέρουν στη συνολική απόδοση και κατανάλωση ισχύος, εξετάζονται στο Κεφάλαιο 6. Το Κεφάλαιο 7 πραγματεύεται τη σχεδίαση εύρωστων κυκλωμάτων, με υψηλή απόδοση και χαμηλό ρυθμό αστοχίας.

Οι διαδικασίες προσομοίωσης, οι οποίες εξετάζονται στο Κεφάλαιο 8, χρησιμοποιούνται για την απόκτηση ακριβέστερων προβλέψεων αναφορικά με την απόδοση και την κατανάλωση ισχύος, καθώς και για την επαλήθευση της ορθότητας των κυκλωμάτων και της λογικής. Το Κεφάλαιο 9 εξετάζει τη σχεδίαση συνδυαστικών κυκλωμάτων. Υπάρχει μεγάλη γκάμα οικογενειών κυκλωμάτων, κάθε μία εκ των οποίων χαρακτηρίζεται από διαφορετικούς συμβιβασμούς μεταξύ ταχύτητας, κατανάλωσης ισχύος, πολυπλοκότητας και ευρωστίας. Το Κεφάλαιο 10 εξετάζει τη σχεδίαση ακολουθιακών κυκλωμάτων, συμπεριλαμβανομένων των τεχνικών χρονισμού και μανδάλωσης.

Τα επόμενα τρία κεφάλαια εμβαθύνουν στα υποσυστήματα CMOS. Το Κεφάλαιο 11 περιγράφει σχεδίασεις για διάφορα υποσυστήματα χειριστών δεδομένων, συμπεριλαμβανομένων αθροιστών, ολισθητών, πολλαπλασιαστών και μετρητών. Το Κεφάλαιο 12 περιγράφει υποσυστήματα μνημών, συμπεριλαμβανομένων των SRAM, DRAM, CAM, ROM και PLA. Το Κεφάλαιο 13 εξετάζει υποσυστήματα ειδικού σκοπού: διανομής ισχύος, χρονισμού και εισόδου/εξόδου.

Τα τελευταία κεφάλαια ασχολούνται με πρακτικά ζητήματα της σχεδίασης συστημάτων CMOS. Το Κεφάλαιο 14 επικεντρώνεται σε τρέχουσες μεθόδους σχεδίασης, εντοπίζοντας εκείνα τα σημεία που αφορούν ειδικά την τεχνολογία CMOS. Στο Κεφάλαιο 15 εξετάζονται τεχνικές ελέγχου και αντιμετώπισης προβλημάτων. Το Παράρτημα Α αποτελεί μια εισαγωγή στις Verilog και VHDL, τις δύο επικρατέστερες γλώσσες περιγραφής υλικού (HDL) που χρησιμοποιούνται για την κατασκευή ολοκληρωμένων κυκλωμάτων σήμερα.

Υπάρχουν αρκετές ενότητες που επισημαίνονται ως προαιρετικές, με το εικονίδιο «OPTIONAL». Αυτές οι ενότητες περιγράφουν με μεγαλύτερη λεπτομέρεια συγκεκριμένα θέματα. Μπορείτε να τις παρακάμψετε κατά την πρώτη ανάγνωση και να επανέλθετε σ' αυτές όταν θα αποκτήσουν πρακτική σημασία για εσάς. Για να κρατήσουμε το βιβλίο σ' ένα λογικό μέγεθος, έχουμε μεταφέρει ορισμένες από τις προαιρετικές ενότητες του στο Internet. Αυτές οι ενότητες επισημαίνονται με το εικονίδιο «Web» και θα τις βρείτε στον ιστότοπο

[www.cmosvlsi.com](http://www.cmosvlsi.com) (κάντε κλικ στο σύνδεσμο «Web Enhanced»). Ένα σχετιζόμενο κείμενο, το *Digital VLSI Chip Design with Cadence and Synopsys CAD Tools* [Brunvand09], καλύπτει πρακτικές λεπτομέρειες της χρήσης των κορυφαίων εργαλείων CAD των φερόνυμων εταιρειών για τη σχεδίαση ολοκληρωμένων.

## Ασκήσεις

- 1.1 Επεκτείνοντας τα δεδομένα του Σχήματος 1.4, προβλέψτε τον αριθμό των τρανζίστορ που θα έχει ένας μικροεπεξεργαστής το έτος 2016.
- 1.2 Αναζητήστε στο Internet τα πλήθη των τρανζίστορ για τα πρόσφατα μοντέλα μικροεπεξεργαστών της Intel. Δημιουργήστε ένα διάγραμμα το οποίο θα απεικονίζει το πλήθος τρανζίστορ των μικροεπεξεργαστών ως προς το έτος παρουσίαισής τους, από τον επεξεργαστή Pentium του 1993 έως σήμερα, σε ημιλογαριθμική κλίμακα. Κάθε πόσους μήνες προκύπτει διπλασιασμός του αριθμού των τρανζίστορ;
- 1.3 Καθώς το κόστος ενός τρανζίστορ πέφτει από το επίπεδο του μικροδολαρίου (\$10<sup>-6</sup>) προς το επίπεδο του νανοδολαρίου, ποιες ευκαιρίες και δυνατότητες μπορείτε να φανταστείτε για ν' αλλάξετε τον κόσμο χρησιμοποιώντας ολοκληρωμένα κυκλώματα;
- 1.4 Διαβάστε κάποια βιογραφία ή ιστορική καταγραφή για ένα ορόσημο στην εξέλιξη των ολοκληρωμένων κυκλωμάτων. Ενδεικτικά αναγνώσματα είναι τα *Crystal Fire* (Lillian Hoddeson), *Microchip* (Jeffrey Zygmunt) και *The Pentium Chronicles* (Robert Colwell). Επιλέξτε έναν επιστήμονα, ή μια επιστημονική ομάδα που κρίνετε ότι είχε σημαντική συνεισφορά σ' αυτό τον τομέα. Κατά την άποψή σας, ποια ήταν τα γνωρίσματα που οδήγησαν αυτούς τους ανθρώπους στην επιτυχία; Όσον αφορά την εποπτεία μιας ομάδας, ποια χαρακτηριστικά θα θέλατε να μιμηθείτε ή ν' αποφύγετε στην επαγγελματική σας σταδιοδρομία;
- 1.5 Δημιουργήστε ένα σχηματικό διάγραμμα σε επίπεδο τρανζίστορ για μια CMOS πύλη NOR 4 εισόδων.
- 1.6 Δημιουργήστε το σχηματικό διάγραμμα σε επίπεδο τρανζίστορ για σύνθετες λογικές πύλες CMOS που θα εκτελούν τις ακόλουθες συναρτήσεις:
  - α)  $Y = \overline{ABC + D}$
  - β)  $Y = (\overline{AB + C}) \cdot \overline{D}$
  - γ)  $Y = \overline{AB + C} \cdot (A + B)$
- 1.7 Χρησιμοποιήστε ένα συνδυασμό πυλών CMOS (χρησιμοποιώντας συμβολικές αναπαραστάσεις τους) για την παραγωγή των ακόλουθων συναρτήσεων από τις εισόδους A, B και C.
  - α)  $Y = A$  (απομονωτής)
  - β)  $Y = \overline{AB} + \overline{AB}$  (XOR)
  - γ)  $Y = \overline{\overline{AB}} + \overline{AB}$  (XNOR)
  - δ)  $Y = AB + BC + AC$  (πλειοψηφία)
- 1.8 Δημιουργήστε το σχηματικό διάγραμμα σε επίπεδο τρανζίστορ για μια CMOS πύλη XOR 3 εισόδων. Υποθέστε ότι έχετε τόσο τις αληθείς (true) όσο και τις συμπληρωματικές μορφές των διαθέσιμων εισόδων.
- 1.9 Δημιουργήστε σχηματικά διαγράμματα σε επίπεδο τρανζίστορ για τις ακόλουθες λογικές συναρτήσεις. Υποθέστε ότι έχετε τόσο τις αληθείς (true) όσο και τις συμπληρωματικές μορφές των διαθέσιμων εισόδων.
  - α) Έναν αποκωδικοποιητή 2:4 που ορίζεται από

$$Y_0 = \overline{A_0} \cdot \overline{A_1}$$

$$Y_1 = A_0 \cdot \overline{A_1}$$

$$Y_2 = \overline{A_0} \cdot A_1$$

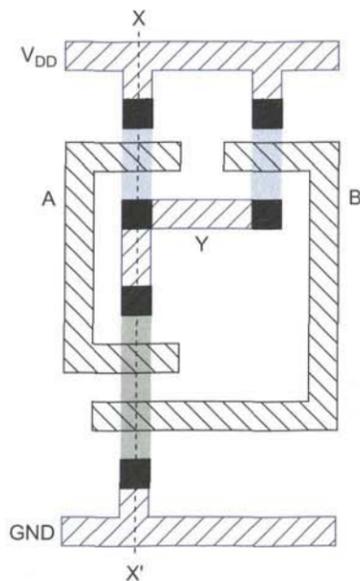
$$Y_3 = A_0 \cdot A_1$$

β) Έναν αποκωδικοποιητή προτεραιότητας 3:2 που ορίζεται από

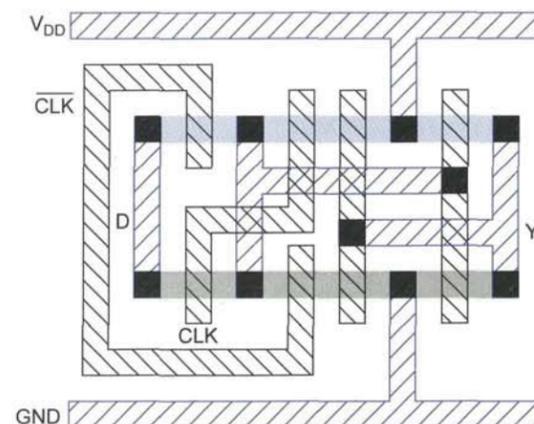
$$Y0 = \overline{A0} \cdot (A1 + \overline{A2})$$

$$Y1 = \overline{A0} \cdot \overline{A1}$$

- 1.10 Σχεδιάστε το συμβολικό σχέδιο για την CMOS πύλη NOR 4 εισόδων της Άσκησης 1.5.
- 1.11 Υπολογίστε την επιφάνεια για την πύλη NOR 4 εισόδων της Άσκησης 1.10.
- 1.12 Χρησιμοποιώντας ένα εργαλείο CAD της επιλογής σας, δημιουργήστε το φυσικό σχέδιο μιας πύλης NOR 4 εισόδων. Πώς συγκρίνεται το μέγεθός της με αυτό που προβλέψατε στην Άσκηση 1.11;
- 1.13 Το Σχήμα 1.74 παρουσιάζει το συμβολικό σχέδιο μιας πύλης NAND 2 εισόδων. Σχεδιάστε την τομή της πύλης στο επίπεδο που ορίζουν τα X - X'.
- 1.14 Το Σχήμα 1.75 παρουσιάζει το συμβολικό διάγραμμα για ένα μανδαλωτή ευαίσθητο σε στάθμη. Υπολογίστε μια εκτίμηση για την επιφάνεια του μανδαλωτή.
- 1.15 Σχεδιάστε ένα σχηματικό σε επίπεδο τρανζίστορ για το μανδαλωτή του Σχήματος 1.75. Σε τι διαφέρει από το Σχήμα 1.31(β);
- 1.16 Δίνεται η σχεδίαση μιας σύνθετης CMOS πύλης OR-AND-INVERT (OAI21), η οποία υπολογίζει τη συνάρτηση  $F = (A + B) \cdot \overline{C}$ .
- α) σχεδιάστε ένα σχηματικό σε επίπεδο τρανζίστορ
- β) σχεδιάστε ένα συμβολικό διάγραμμα
- γ) υπολογίστε μια εκτίμηση της επιφάνειας από το συμβολικό διάγραμμα
- δ) δημιουργήστε το φυσικό σχέδιο της πύλης με ένα εργαλείο CAD, χρησιμοποιώντας τρανζίστορ μοναδιαίου μεγέθους
- ε) συγκρίνετε το μέγεθος του σχεδίου με την παραπάνω εκτίμηση επιφάνειας



ΣΧΗΜΑ 1.74 Συμβολικό διάγραμμα πύλης NAND 2 εισόδων.



ΣΧΗΜΑ 1.75 Συμβολικό διάγραμμα μανδαλωτή ευαίσθητου σε στάθμη.

- 1.17 Δίνεται η σχεδίαση μιας σύνθετης CMOS πύλης OR-OR-AND-INVERT (OOAI22), η οποία υπολογίζει τη συνάρτηση  $F = (A + B) \cdot (C + D)$ .
- α) σχεδιάστε ένα σχηματικό σε επίπεδο τρανζίστορ
- β) σχεδιάστε ένα συμβολικό διάγραμμα
- γ) υπολογίστε μια εκτίμηση για την επιφάνεια από το συμβολικό διάγραμμα
- δ) δημιουργήστε το φυσικό σχέδιο της πύλης με ένα εργαλείο CAD, χρησιμοποιώντας τρανζίστορ μοναδιαίου μεγέθους
- ε) συγκρίνετε το μέγεθος του φυσικού σχεδίου με την παραπάνω εκτίμηση επιφάνειας
- 1.18 Μία πύλη πλειοψηφίας 3 εισόδων επιστρέφει μια έξοδο true εάν τουλάχιστον δύο από τις εισόδους είναι true. Η συμπληρωματική της είναι μια πύλη μειοψηφίας. Σχεδιάστε μία CMOS πύλη μειοψηφίας 3 εισόδων χρησιμοποιώντας λογική ενός σταδίου.
- α) σχεδιάστε ένα σχηματικό σε επίπεδο τρανζίστορ
- β) σχεδιάστε ένα συμβολικό διάγραμμα
- γ) υπολογίστε μια εκτίμηση για την επιφάνεια από το συμβολικό διάγραμμα
- 1.19 Σχεδιάστε μία πύλη μειοψηφίας 3 εισόδων χρησιμοποιώντας CMOS πύλες NAND, NOR και αντιστροφείς. Πόσα τρανζίστορ απαιτούνται; Πώς συγκρίνεται με τη σχεδίαση της Άσκησης 1.18(α);
- 1.20 Ένας αθροιστής πρόβλεψης κρατούμενου υπολογίζει τη συνάρτηση  $G = G_3 + P_3(G_2 + P_2(G_1 + P_1G_0))$ . Εξετάστε το σχεδιασμό μιας σύνθετης πύλης για τον υπολογισμό του  $\overline{G}$ .
- α) σχεδιάστε το σχηματικό σε επίπεδο τρανζίστορ
- β) σχεδιάστε το συμβολικό διάγραμμα
- γ) υπολογίστε μια εκτίμηση για την επιφάνεια από το συμβολικό διάγραμμα
- 1.21 Στον ιστότοπο [www.cmosvlsi.com](http://www.cmosvlsi.com) θα βρείτε μία σειρά τεσσάρων εργαστηριακών ασκήσεων, στόχος των οποίων είναι να σας διδάξουν το σχεδιασμό κυκλωμάτων VLSI ολοκληρώνοντας τη σχεδίαση του επεξεργαστή MIPS πολλαπλών κύκλων που περιγράφεται σ' αυτό το κεφάλαιο. Οι ασκήσεις χρησιμοποιούν την ανοιχτού κώδικα εφαρμογή CAD Electric, αλλά μπορούν επίσης να εκτελεστούν με εμπορικά διαθέσιμες εφαρμογές των Cadence και Synopsys. Καλύπτουν τα ακόλουθα:
- α) Κύτταρα-φύλλα: είσοδο σχηματικών, φυσική σχεδίαση, εικονίδια, προσομοίωση, DRC, ERC, LVS και ιεραρχική σχεδίαση.
- β) Σχεδίαση χειριστή δεδομένων: wordslices, συναρμολόγηση της ALU, διασυνδέσεις.
- γ) Σχεδίαση υποσυστήματος ελέγχου: τυχαία λογική ή δομές PLA.
- δ) Συναρμολόγηση του ολοκληρωμένου, πλαίσιο ακροδεκτών, γενικές διασυνδέσεις, συνολική επαλήθευση του ολοκληρωμένου, προετοιμασία για κατασκευή (tapeout).