

Στο προηγούμενο είχε ολοκληρωθεί με επιτυχία το βήμα:

Μέσα στο παράθυρο Processes κάντε δεξί κλικ στο **Generate Programming File** και επιλέξτε **Rerun All**. Αυτή η ενέργεια θα προκαλέσει την εκτέλεση με συγκεκριμένη σειρά όλων των εργαλείων του περιβάλλοντος ISE που απαιτούνται για την υλοποίηση σε FPGA configuration (programming) bitstream του κυκλώματος που σχεδιάσατε. Δώστε ιδιαίτερη προσοχή στα reports και τις πληροφορίες που παρουσιάζονται κατά την εκτέλεση των διάφορων εργαλείων καθώς θα σας ζητηθεί να δώσετε απαντήσεις σε αυτό το κείμενο, όσον αφορά συγκεκριμένες λεπτομέριες από τις πληροφορίες αυτής της εκτέλεσης. Αν αφού εκτελεστούν όλα τα εργαλεία υλοποίησης του ISE, σας εμφανιστεί ένα παράθυρο με τίτλο **Xilinx Web Talk Dialog**, τότε απλά αγνοήστε το και κλείστε το με το κόκκινο **X**.

Αν όλα τα εργαλεία εκτελεστούν με επιτυχία και χωρίς λάθη ή άλλα προβλήματα τότε θα παρατηρήσετε πράσινα ticks σε όλα τα εργαλεία που εκτελέστηκαν, όπως επίσης και το μήνυμα: **Process "Generate Programming File" completed successfully** να εμφανίζεται στο κάτω μέρος του παραθύρου Console του ISE.

Επίσης είχαμε δει και την προσομοίωση δικτύου (post-route simulation).

Σημείωση: Σε περίπτωση που παρουσιαστεί κάποιο σφάλμα σχετικό με το ρολόι κατά τη δημιουργία του programming file (bitstream) όπως πχ παρακάτω (όχι ακριβώς το ίδιο):

```
"ERROR:Place:1153 - A clock IOB / BUFGCTRL clock component pair have been found that are not placed at an optimal clock
```

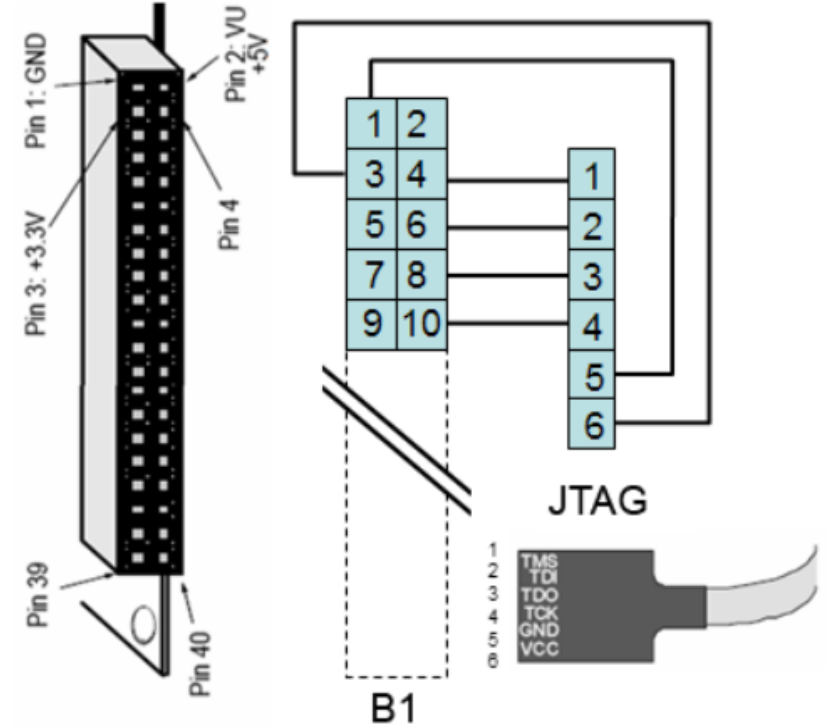
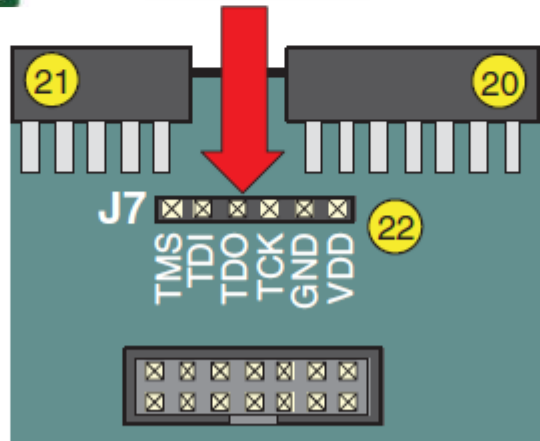
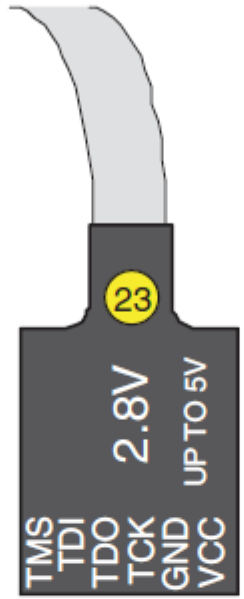
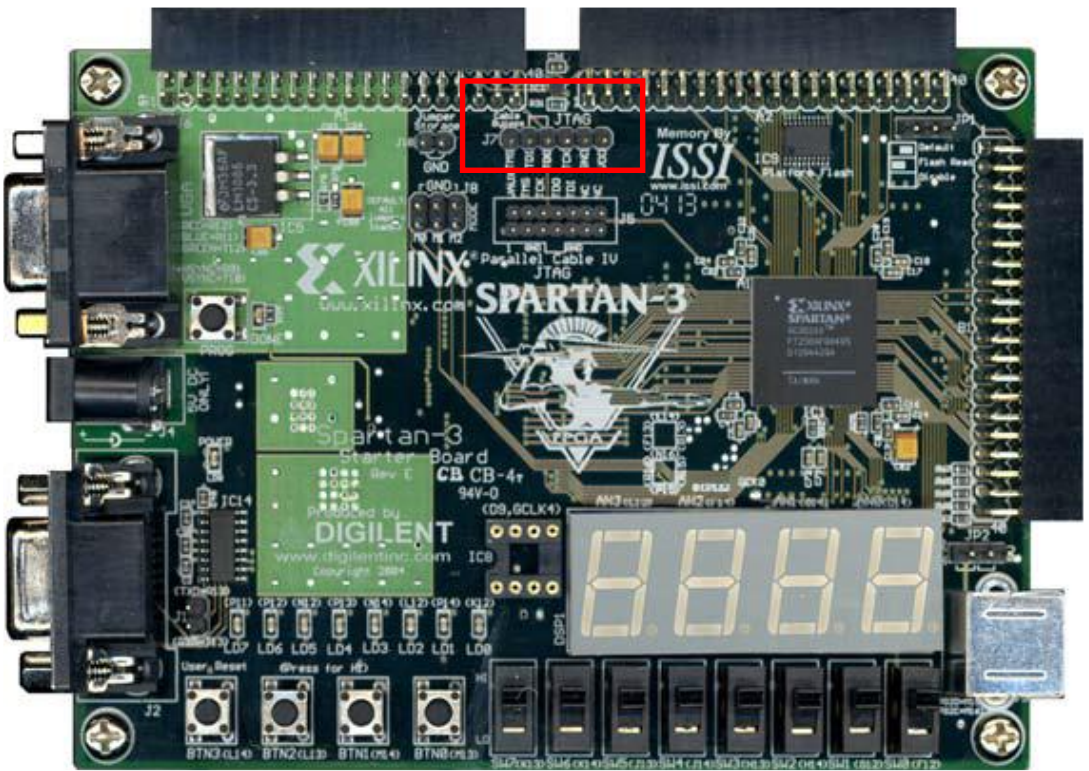
```
IOB / BUFGCTRL site pair. The clock IOB component <sensor_video_1_iClock_pin> is placed at site <AD30>. The corresponding BUFGCTRL component <sensor_video_1_iClock_pin_BUFGP/BUFG> is placed at site <BUFGCTRL_X0Y4>. The clock IO can use the fast path between the IOB and the Clock Buffer if a) the IOB is placed on a Global Clock Capable IOB site that has the fastest dedicated path to all BUFGCTRL sites, or b) the IOB is placed on a Local Clock Capable IOB site that has dedicated fast path to BUFGCTRL sites in its half of the device (TOP or BOTTOM). You may want to analyze why this problem exists and correct it. If this sub optimal condition is acceptable for this design, you may use the CLOCK_DEDICATED_ROUTE constraint in the .ucf file to demote this message to a WARNING and allow your design to continue. However, the use of this override is highly discouraged as it may lead to very poor timing results. It is recommended that this error condition be corrected in the design. A list of all the COMP.PINs used in this clock placement rule is listed below. These examples can be used directly in the .ucf file to override this clock rule.
```

θα πρέπει να προσθέσουμε την παρακάτω γραμμή στο .ucf αρχείο (constraints file):

```
NET "clk" CLOCK_DEDICATED_ROUTE = FALSE;
```

VII. Σύνδεση του εργαλείου Xilinx ISE με την κάρτα του FPGA chip μέσω του καλωδίου JTAG και downloading των αρχείων προγραμματισμού του FPGA



1. Βγάλτε από την συσκευασία της την πλακέτα (board) που περιέχει το Xilinx FPGA chip και μελετήστε την σύμφωνα και με τις οδηγίες του εγχειριδίου χρήσης που είναι διαθέσιμο στους υπολογιστές του εργαστηρίου, στην ιστοσελίδα του μαθήματος και στο διαδίκτυο (www.digilentinc.com). Απευθύνετε ερωτήσεις στον επιβλέποντα του εργαστηρίου αν δεν καταλαβαίνετε οτιδήποτε σχετικό με τις εργαστηριακές ασκήσεις πάνω στο FPGA board. Τοποθετήστε την πλακέτα πάνω στον εργαστηριακό πάγκο ή τραπέζι ή γραφείο με τρόπο ώστε τα γράμματα και τα κείμενα που υπάρχουν γραμμένα πάνω στην πλακέτα να είναι αναγνώσιμα από εσάς στην θέση που κάθεστε στο εργαστήριο.
2. Συνδέετε πρώτα στο JTAG connector του board το καλώδιο download cable. Προσέχετε η σύνδεση της JTAG άκρης του καλωδίου να συμφωνεί ακίδα-προς-ακίδα με τα ονόματα των ακίδων της σύνδεσης, όπως αυτά είναι γραμμένα και στην πλακέτα δηλαδή με τη σειρά τα: **TMS, TDI, TDO, TCK, GND, VDD**. Μετά, συνδέστε και από την άλλη άκρη του καλωδίου στο Parallel port (την θύρα εκτυπωτή) του υπολογιστή σας.






















UG130_c11_02_042504





Figure 11-2: Digilent JTAG Cable Provided with Kit Connects to the J7 Header

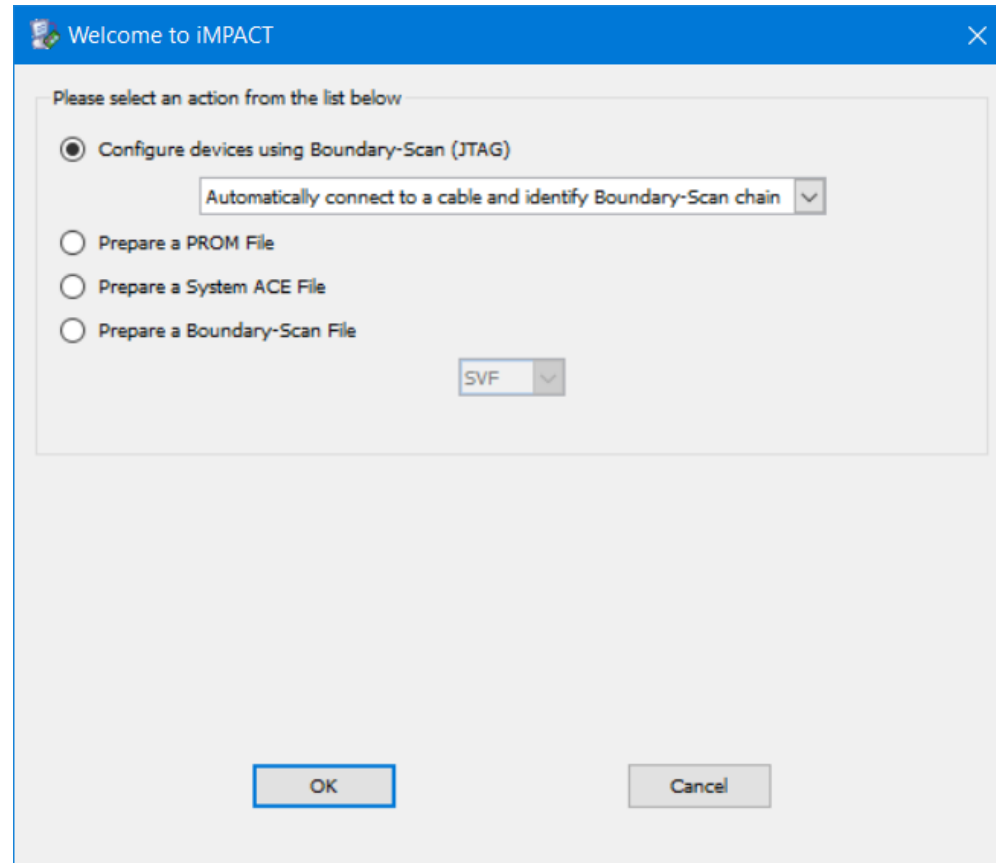
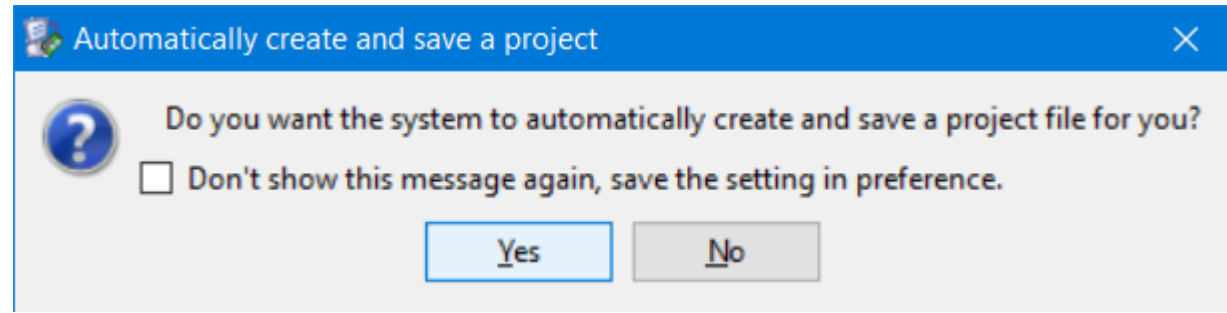
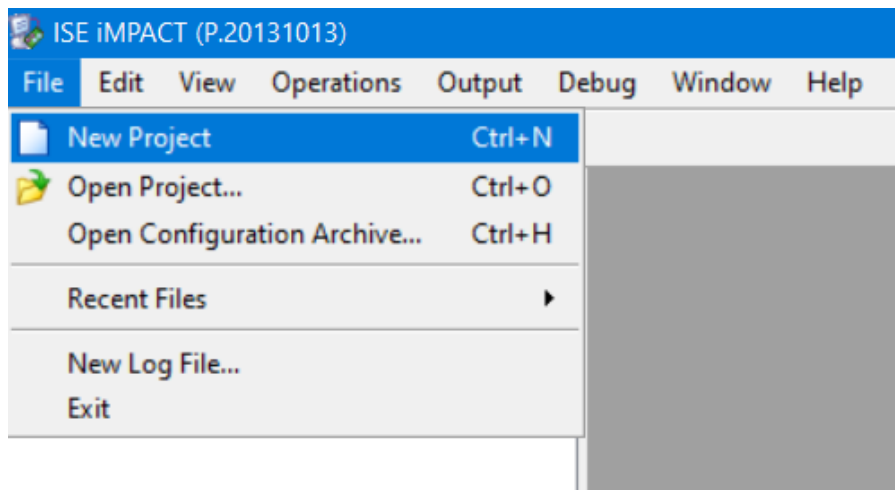
3. Μετά συνδέστε το καλώδιο τροφοδοσίας ρεύματος του board, πάντα σύμφωνα με τις οδηγίες του επιβλέποντος του εργαστηρίου. Παρατηρείτε ότι ανάβουν όλα τα κόκκινα LEDs στην πλακέτα, από το **LD0** έως και το **LD7**, το πράσινο LED **POWER**, εκτός από το LED **DONE**, το οποίο παραμένει ακόμη σβηστό. Σε μερικές πλακέτες μπορεί το LED DONE να είναι αυτή τη στιγμή πράσινο και οι τέσσερις ψηφιακές οθόνες να μετρούν συνεχώς από το 0 έως το 9, το οποίο δεν θα πρέπει να θεωρηθεί σαν κάποιο πρόβλημα, αφού ακόμη δεν έχετε “κατεβάσει” το σχέδιό σας στο FPGA, οπότε το FPGA εκτελεί κάποιο default πρόγραμμα που υπάρχει αποθηκευμένο στην κάρτα. Σε οποιαδήποτε άλλη περίπτωση, ειδοποιήστε αμέσως τον επιβλέποντα για την αποφυγή οποιασδήποτε βλάβης στην πλακέτα με το Xilinx FPGA.
5. Στο παράθυρο **Sources**, επιλέξτε το **tab Sources** και μετά το σχηματικό σας σχέδιο, π.χ. **simple_inverter1(simple_inverter1.sch)**
6. Στο παράθυρο **Sources**, επιλέξτε στην λίστα του **Sources for:**, την επιλογή **Synthesis/Implementation**, αν δεν είναι ήδη επιλεγμένη.
7. Αν κάνετε επιτυχώς τα παραπάνω βήματα θα δείτε στο παράθυρο **Processes** μεταξύ άλλων και την ομάδα εργαλείων **Generate Programming File**. Μπορείτε να ανοίξετε περισσότερο αυτή την ομάδα εργαλείων αν κάνετε κλικ στο κουτάκι με το +, οπότε θα εμφανιστεί το εργαλείο **Configure Device (iMPACT)**. Με διπλό κλικ πάνω στο **Configure Device (iMPACT)** θα σας εμφανίσει τα παράθυρα για τον προγραμματισμό (configuration bitstream downloading) του κυκλώματός σας.

  No Processes Running

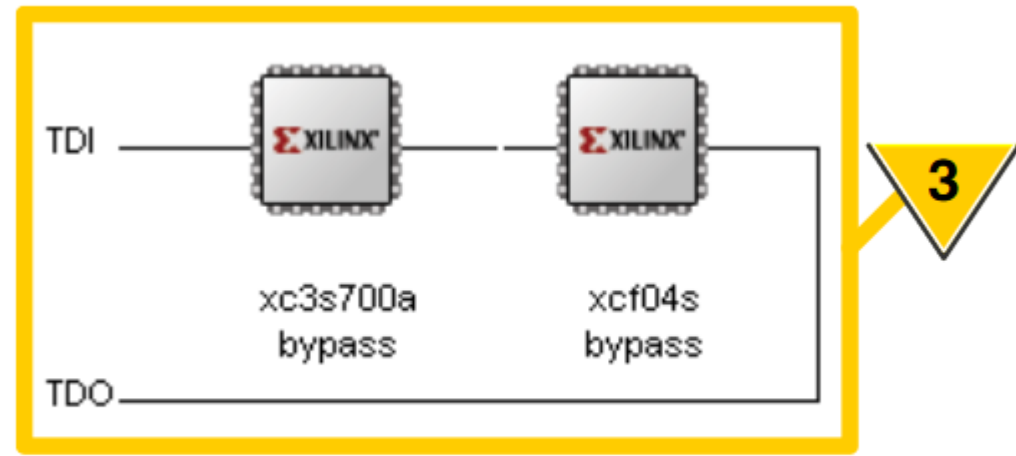
Processes: inverter

-  I/O Pin Planning (PlanAhead) - Pre-Synthesis
-  I/O Pin Planning (PlanAhead) - Post-Synthesis
-  Floorplan Area/IO/Logic (PlanAhead)
-   Synthesize - XST
-   Implement Design
-   Translate
-   Map
-   Place & Route
-   Generate Programming File
-  Configure Target Device
-  Generate Target PROM/ACE File
-  **Manage Configuration Project (iMPACT)**
-  Analyze Design Using ChipScope

 Start  Design  Files  Libraries



εργαλείο σας δείχνει στα δεξιά ότι ανίχνευσε αυτόματα 2 devices στην αλυσίδα boundary scan chain. Το πρώτο device (chip) που ανιχνεύθηκε είναι το Xilinx xc3s400 FPGA, το οποίο είναι αυτή τη στιγμή πράσινο (ενεργό) και για το οποίο θα πρέπει να επιλέξετε ένα από τα 3 αρχεία που εμφανίζονται για τον προγραμματισμό (configuration) του FPGA. Επιλέξτε ένα από τα αρχεία <όνομα σχεδίου>.isc ή <όνομα σχεδίου>.rbt (αν δεν δουλέψει το ένα θα δουλέψει το άλλο). Κάντε κλικ το OPEN. Το αρχείο αυτό θα ενεργοποιηθεί για τον προγραμματισμό του FPGA και μετά θα επιλεγεί το δεύτερο device (chip) της πλακέτας (board) που είναι η flash μνήμη (Xilinx xcf02s) το οποίο είναι την δεδομένη στιγμή πράσινο (ενεργό). Για αυτό το chip μην επιλέξετε κανένα αρχείο αλλά στο παράθυρο **Assign New Configuration File** κάντε κλικ στο button “bypass”.



UG332_c3_10_111506

Figure 3-15: iMPACT Automatically Detects JTAG Chain

ISE IMPACT - D:\spartan3an_demoMed_blinking\auto_project.ipf - [Boundary Scan]

File Edit View Operations Output Debug Window Help

IMPACT Flows

- Boundary Scan
- SlaveSerial
- Direct SPI
- SystemACE
- Create PROM File (PROM File Formatter)

IMPACT Processes

Available Operations are:

Console

Elapsed time =

Console Errors Warning

Assign New Configuration File

Look in: D:\lcd_display\lcd_demo

My Computer
Admin

_nrgo
_msgs
ipcore_dir

isim
lcd_demo_xdb
planAhead_run_1

planAhead_run_2
xst
lcd.bit

File name:

Files of type: All Design Files (*.bit *.rpt *.nky *.isc *.bsd)

Open
Cancel
Bypass
Cancel All

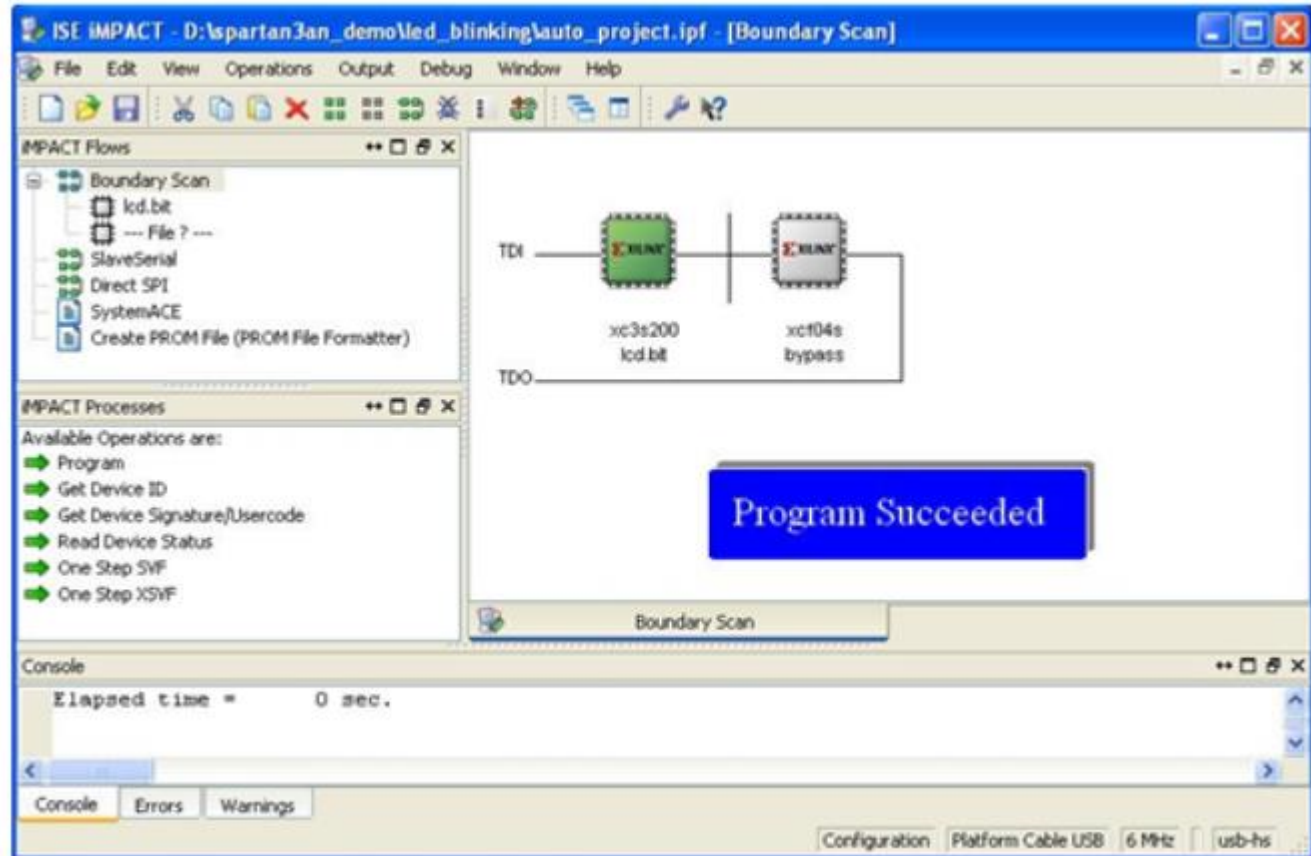
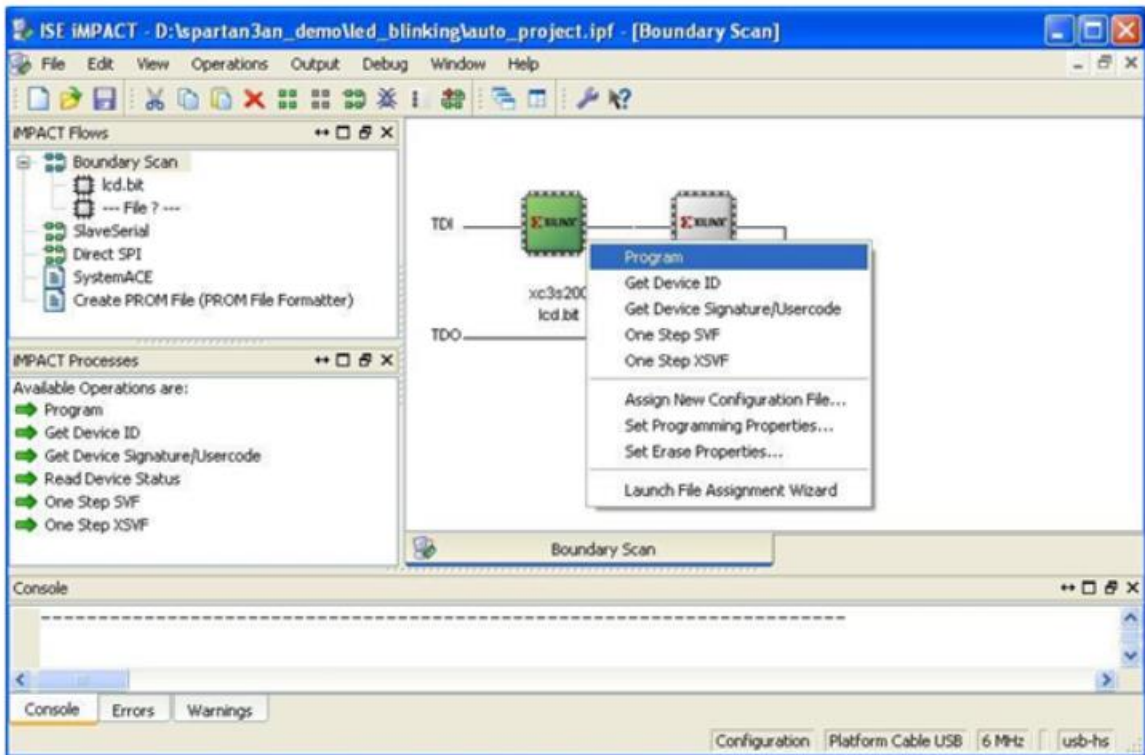
TDI

TDO

xc3s200 bypass

xc104s bypass

MHz | usb-hs



4. Στα δεξιά της οθόνης του ISE iMPACT, επιλέξτε (με κλικ) το Xilinx **xc3s400** FPGA device, το οποίο θα χρωματιστεί πράσινο (άρα θα ενεργοποιηθεί). Στην συνέχεια επιλέξτε από την πάνω μπάρα με τα εικονίδια και τα μενού το **operations -> Program...** και αμέσως μετά κλικ στο **OK**. Παρατηρείτε στην οθόνη σας να εξελίσσεται ο προγραμματισμός του FPGA για μερικά δευτερόλεπτα, και αν τελειώσει επιτυχώς θα δείτε το γαλάζιο μήνυμα "**Programming Succeeded**" και στην πλακέτα θα ανάψει το πράσινο LED **DONE**. Σε κάθε άλλη περίπτωση ειδοποιήστε τον επιβλέποντα του εργαστηρίου.
5. Συνεχίστε με την επαλήθευση του κυκλώματος σας στο FPGA της πλακέτας (board), χρησιμοποιώντας τους διαθέσιμους διακόπτες **SW0 – SW7**, τα buttons **BTN0 – BTN3** και τα LEDs **LD0 – LD7**. Σημειώστε ότι όπως διαβάζετε τα γράμματα της πλακέτας, κάθε ένας από τους διακόπτες δίνει λογικό 0 όταν είναι τοποθετημένος προς το μέρος σας, και λογικό 1 όταν είναι προς τα πάνω, στις εισόδους του FPGA στις οποίες είναι συνδεδεμένος. Αντίστοιχα όταν ένα LED (φωτοδίοδος) έχει φως κόκκινο τότε η αντίστοιχη έξοδος του FPGA που είναι συνδεδεμένη σε αυτό το LED έχει λογική τιμή 1, και αν παραμένει σβηστό τότε η έξοδος έχει λογική τιμή 0.

Demos:

[Programming Spartan 3 \(Verilog\) – OR gate](#)

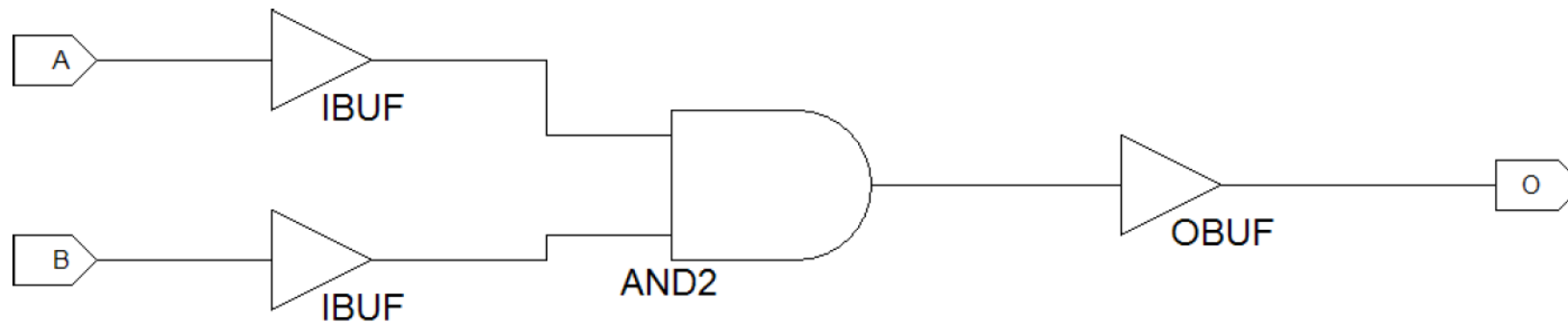
[Programming Spartan 3E \(VHDL\) – XOR gate](#)

Για αυτή την εβδομάδα...

Κατεβάστε και εγκαταστήστε το Xilinx ISE 14.7 στον υπολογιστή σας με WEBPACK License αν δεν το έχετε ήδη κάνει.

Άσκηση 1 (inverter) και 2 από το φυλλάδιο 2.

Μου αποστέλλετε συμπιεσμένο το φάκελο του project ως επισύναψη ή μέσω Google Drive και ότι απαντήσεις χρειάζονται σε ένα έγγραφο του Word.



Σχήμα 2: Απλό σχηματικό με μία πύλη ΚΑΙ, 3 I/O buffers και 3 I/O markers