Στο προηγούμενο είχαμε δημιουργήσει ένα project (inverter.xise) στο ISE για την κάρτα του εργαστηρίου (Spartan 3 XC3S400 FT256 -4) σε ένα φάκελο (C:\Ergasies\Syndyastika\inverter). Προσθέσαμε το σχηματικό ενός αναστροφέα (inverter.sch) και επιθεωρήσαμε το functional model (inverter.vhf). Προχωρήσαμε σε λειτουργική προσομοίωση του κυκλώματος και αποθηκεύσαμε το αποτέλεσμα (inverter.wcfg) όπως και συνολικά το project. Όλα τα παραπάνω αρχεία βρίσκονται στο φάκελο του project και μπορούμε να τα ανοίξουμε με το κατάλληλο εκτελέσιμο Xilinx πρόγραμμα (που βρίσκονται στην τοποθεσία της εγκατάστασης, πχ στην C:\Xilinx\14.7\ISE_DS\ISE\bin\nt64). Για παράδειγμα τρέχοντας το isimgui.exe μπορούμε να ανοίξουμε το inverter.wcfg...

												1.
6	H 🗉 🖻 🏓 隆 🏓) 🔎 👰 🔎 🖻	🗠 🛨 🕇 🏫	🐴 🖬 🕨 🗚	1.00us 🗸	€ ≣	🗔 Re-launch					
۶						127.681	ns					1
2	Name	Value	0 ns	50 ns	100 ns		150 ns	200 ns	250 ns	300 ns	350 ns	
~	Ղ <mark>լ</mark> inp	1										
~	ြြ outp	0										
6	xlxn_1	1						1				
9	a xlxn_2	0										
1												
Ar												

inp, outp αντιστοιχούν στα IO markers και xlxn_1, xlxn_2 στα IO buffers που εισήγαμε και είναι απαραίτητα για μετέπειτα διαδικασίες (πχ synthesis)

Με διπλό κλικ στο inverter.xise εκκινούμε το αποθηκευμένο project...



PLD Design flow - Schematic Capture

Defn: A software program that allows designers to graphically describe a circuit.

- Design flow is identical to standard logic design except I/O buffers are defined - consider the design within the PLD as a mini PCB!
 However this PCB
- can be changed time and time again quickly and easily



Design Flow



Design Specification Netlist

Defn: A gate-level text file representation of a circuit.



- Graphical description
- Created by humans
- For reading by humans

Text file

- Output of schematic capture
- PC friendly
- EDIF is industry standard

(Electronic Digital Interchange Format)

XNF is Xilinx Netlist Format

design netlist

Net N4: D, G3:c, G4:c; Net N5: G3:q, Q;

Net N6: G1:y, R; Net N7: G2:v, G4:d;

Net N8: G4:q, S;



12. Θα παρατηρήσετε ότι στην περίπτωση της λειτουργικής προσομοίωσης οι έξοδες των συνδυαστικών κυκλωμάτων αλλάζουν τιμή (αν αυτό απαιτείται από την λειτουργία τους) στιγμιαία, χωρίς καθυστέρηση και ακριβώς στον ίδιο χρόνο που αλλάζουν τιμές και οι είσοδες του κυκλώματος. Αυτό συμβαίνει διότι στην λειτουργική προσομοίωση εξετάζουμε μόνον την σωστή λειτουργία του κυκλώματος και όχι τις καθυστερήσεις που παρουσιάζονται στα πραγματικά κυκλώματα. Αυτή η στιγμιαία απόκριση των εξόδων δεν συμβαίνει όμως στην post-route (μετά-την-υλοποίηση) προσομοίωση, διότι η τελευταία περιέχει πληροφορία και για την πραγματική καθυστέρηση των υλικών του κυκλώματος, την οποία θα εξετάσετε σε επόμενα βήματα των ασκήσεων.

5	🖃 🗉 🖻 🏓 🍂 🏓	P 👂 🔎 🗟	** *	⇒, I 🖬 🕨 📲	1.00us 🗸	€ ≣	Re-launch				
₽						127.681	ns				
	Name	Value	0 ns	50 ns	100 ns		150 ns	200 ns	250 ns	300 ns	350 ns
~	🔓 inp	1									
~	🎧 outp	0									
6	klxn_1	1						1			
\odot	U xlxn_2	0									
1											
⇒r											

V. <u>Υλοποίηση</u> <u>του</u> <u>σχεδίου</u> (σχηματικό ή VHDL) με το εργαλείο <u>Xilinx ISE</u>

 Αφού τελειώσετε και ελέγξετε το σχέδιο (schematic design) σας, είτε είναι σχηματικό, είτε είναι σε γλώσσα VHDL, επιλέξτε (αριστερό κλικ του ποντικιού) το παράθυρο Design, αμέσως μετά κάντε απλό κλικ (επιλέξτε) το σχέδιό σας <όνομα σχεδίου>.vhd ή <όνομα σχεδίου>.sch. Μετά επιλέξτε στο View: την επιλογή Implementation. Τότε θα δείτε ακριβώς από κάτω και μέσα στο παράθυρο Processes να εμφανίζονται τα διάφορα εργαλεία για την υλοποίηση.





	Input / Output	Board component	FPGA pin (Location)
	INP	SW0	F12
	OUTP	LD0	K12
e		(I.e. a. f. a. a.) - a. a. E. /E a. a. a. a.	A COMPANY AND A STREET

Πίνακας 1: Τοποθετήσεις (locations) των Ε/Ε του κυκλώματος στο FPGA chip

2. Από την λίστα των προγραμμάτων, ανοίξτε την ομάδα User Constraints και από τα υπο-εργαλεία της κάνετε διπλό κλίκ (εκτελέστε) στο εργαλείο I/O Pin Planning. Αμέσως μετά το εργαλείο θα σας ρωτήσει αν θέλετε να προσθέσει ένα αρχείο περιορισμών .UCF στο έργο (project) σας. Απαντήστε με κλικ στην επιλογή Yes. Η τελευταία ενέργειά σας θα έχει σαν αποτέλεσμα να ανοίξει ένα καινούργιο παράθυρο που ονομάζεται PlanAhead. Εκεί κάντε κλικ στο ΟΚ ή close αν σας ρωτήσει. Επιλέξτε το υπο-παράθυρο Package στα δεξιά. Πηγαίνετε τώρα στο κείμενο της άσκησης παρακάτω, και διαβάστε τα locations των εισόδων και εξόδων. Στην στήλη Loc βρείτε τις τοποθεσίες (locations) των FPGA pins για τις Ε/Ε του κυκλώματός σας, όπως σας ζητείται στην κάθε εργαστηριακή άσκηση. Πηγαίνετε στο κάτω υπο-παράθυρο του εργαλείου PlanAhead, και επιλέξτε το tab De Package Pins. Τώρα πάτε πίσω στο παράθυρο Package και με το ποντίκι 0 επιλέξτε ένα από τα locations που έχετε στην άσκηση, και μετά πηγαίνετε στο Package Pins και γράψτε στην στήλη Port το όνομα της εξόδου ή της εισόδου. Επαναλάβετε αυτή την διαδικασία έως ότου τοποθετήσετε όλες τις Εισόδους/Εξόδους. Αν στο υπο-παράθυρο αυτό σας εμφανίσει άσχετα ονόματα Ε/Ε τα οποία δεν υπάρχουν στο σχέδιό σας, ή δεν υπάρχει η λίστα με τα locations τότε απλά βάλετε όσα locations έχετε ή όσα χωράνε στην στήλη Loc και αφού τελειώσετε και βγήτε από το εργαλείο, μπορείτε να ανοίξετε το αρχείο <όνομα_σχεδίου>.ucf με κάποιον κειμενογράφο των Windows και να διορθώσετε εκεί με το χέρι τις τιμές ή/και τα ονόματα που είναι διαφορετικά ή που λείπουν από τα FPGA locations. Αφού τελειώσετε με τα locations, σώστε τις αλλαγές σας με το εικονίδιο Save και κλείστε το παράθυρο PlanAhead. Πριν κλείσει αυτό το εργαλείο σας

🚺 inverter - [C:/Data/UOWM_INF/synd	dyastika/lab/askhs	eis/inverter/p	olanAhead_run_	1/inverter.ppr] - PlanAhead	14.7					-	o ×
File Edit Tools Window Layout	it View Help										Q - Search commands	
🗎 10 🖓 🐚 🐘 🗙 🛷 🔄 (🖉 🕺 🍇 🔚	I/O Planning	-	X & K	٤							
Elaborated Design -4												
RTL Netlist	_		🛗 Package	× 🛞 Devic	e 🗙 🕍 RTL	Schematic 🗙						
Z 🔄 🖪			₹					1234	+ 5 6 7 8 9 10 11 12 13 14 15	16		
Properties		- 2 ×	А В С D Е F G H J K L M N P R T ↓ ↑ ♂ √ ∬ № ∲ ∲ № № № Т									
	J											
I/O Ports Name Gripping All ports (2) Gripping Scalar ports (2) Contemports Co	Direction	Neg Diff Pair	Site	Fixed	Bank	I/O Std	Vcco	Vref	Drive Stre Slew Type Pull Type			@ ×
							Input /	Output	Board componer	nt FPGA pi	n (Loc ation)	
							IN	IP	SW0		F12	
Id Console A Package Pins	D I/O Ports					=	OL	ITP	LD0		K12	
						Πίναι	κας 1: Τοτ	τοθετήσει	ς (locations) των Ε/Ε τα	ου κυκλώματος στο	FPGA chip	

8	9	10	11	12 13 14 15 16	Pac	kage Pins			
		-			0	Name	Prohibit	Port	I/O
		d b	*		3	- 💭 H14			
	÷					- 🔎 H13			
						🔎 G16			
						🔎 G15			
					更	🔎 G14			
		Ă				🔎 G13			
The second secon	T.	9				🔎 G12			
		1	÷			🔎 F15			
1	L	L	die.			🔎 F14			
*	Ŧ	Ŧ	T	Pin: F12 (User IO)		🔎 F13			
- +	÷	÷	1	Site Type: IO L21N 2		- 🗩 F12			
+ +	÷	÷	4	Bank: 2 (Standard)		🔎 E16		inp	
		1				📟 Td Console 🔎 Package Pins	s □→ I/O Ports	outp	

Single Click στο F12: επιλέγουμε inp και πατάμε enter. Η γραμμή στο Package Pins αλλάζει με τιμές (πχ Voltage κλπ) και το pin «δεσμεύεται» στο παράθυρο Package. Το pin αντιστοιχεί στο SW0 της συγκεκριμένης κάρτας (Spartan-3 XC3S400).

Pack	age Pins							
0	Name	Prohibit	Port	I/O Std	Dir	Vcco	Bank	Bank Type
	- 🔎 F13						2	OTHER
	– 🔎 F12		Inp	LVCMO	Input	2.500	2	OTHER
	💭 E16						2	OTHER



Ακολουθούμε την ίδια διαδικασία για όλα τα υπόλοιπα pins (εδώ έχουμε άλλο ένα, το outp -> K12)



το inp δεν υπάρχει πλέον σαν επιλογή... επιλέγουμε το outp και πατάμε enter





...«δεσμεύεται» και το τελευταίο pin K12 (LDO) με το outp

Αποθηκεύουμε με Save και κλείνουμε το παράθυρο PlanAhead! Έχει δημιουργηθεί αρχείο inverter.ucf (user constraints file) το οποίο μπορούμε να επιθεωρήσουμε (ή και να διορθώσουμε αν θέλουμε!)

Inventeriseniog		05 Mildy 20 1 1.50 Alvi	SCHOO
inverter.ucf	Open with		UCF File
inverter.vhf	Open with Sublime Text		VHF File
inverter.wcfg	Open with Sublime Text		WCFG Fi
> inverter xise	Open with Code		Xilinx ISF
	Edit with Notepad++		
inverter ben.b			PRJ FILE

C:\Data\UOWM_INF\syndyastika\lab\askhseis\inverter\inverter.ucf - N

File Edit Search View Encoding Language Settings Tools Mac

🔚 inverter.ucf 🔀

```
# PlanAhead Generated physical constraints
2
3
4
    NET "inp" LOC = F12;
                                                                            FPGA pin (Location)
                                                  Input / Output
                                                              Board component
                                                     INP
                                                                  SW0
                                                                                 F12
5
    NET "outp" LOC = K12;
                                                    OUTP
                                                                  LD0
                                                                                 K12
                                              Πίνακας 1: Τοποθετήσεις (locations) των Ε/Ε του κυκλώματος στο FPGA chip
6
```



4. Μέσα στο παράθυρο Processes κάντε δεξί κλικ στο Implement Design και επιλέξτε Properties -> Process Properties και ενεργοποιείτε (βάζοντας tick √) τις επιλογές Map Properties->Generate Detailed MAP Report, και από τις επιλογές του Place&Route Properties τα: Generate Asynchronous Delay Report, Generate Post-Place & Route Simulation Model και Generate Post-Place&Route Properti. Μετά κάντε κλικ στο Apply.

	No Processes Running		Transla	Category	Switch Name	Property Name	
-			Map R	Re Map Properties	-xe	Extra Effort	Nor
₽C	Processes: inverter	^	Place a	Place & Route Properties	-t	Starting Placer Cost Table (1-100)	1
Bye	🖮 🐲 User Constraints	1	D Port-D	Post-Map Static Timing Report P Post-Place & Route Static Timing	-logic_opt	Combinatorial Logic Optimization	
×₩	Create Timing Constraints	1	POSLP	Simulation Model Properties	-register_duplicatio	n Register Duplication	Off
∎yr	VO Din Dianning (DianAh	i T	Design Properties	r	-x	Ignore User Timing Constraints	
~44					-ntd	Timing Mode	Nor
m l	I/O Pin Planning (PlanAh			les	-u	Trim Unconnected Signals	\checkmark
	Floorplan Area/IO/Logic (.		Optional Design Si	Su	-ignore_keep_hiera	rchy Allow Logic Optimization Across Hierarchy	
	🕀 🄁 🛛 Synthesize - XST		Show Cloc	ock	-cm	Optimization Strategy (Cover Mode)	Are
	🖨 🐼 🛛 Implement Design 🚬 🔜		Show Faili	lin	-detail	Generate Detailed MAP Report	\checkmark
	🖶 🔁 Translate 🛛 🗒 🖞 R	un	n	rn			
	🕀 🏹 Map 💦 👘	Run	pi	OTS Category	Switch Name	Property Name	
	🗄 🔁 🛛 Place & Route	All		Translate Properties	-r, -p	Place And Route Mode	Nor
	Generate Programming	run All		Place & Route Properties	-ol	Place & Route Effort Level (Overall)	High
	🕀 😼 Configure Target Device 👯 S	op		Post-Map Static Timing Report P	-pl	Placer Effort Level (Overrides Overall Level)	Non
	Analyze Design Using C V	ew Text Repo	ort	Post-Place & Route Static Timing	-rl	Router Effort Level (Overrides Overall Level)	Non
		Dragon	Unsta-Data		-xe	Extra Effort (Highest PAR level only)	Non
2	Start 🔍 Design 🌓 Files 🚺 🗖	rce Process	Op-to-Date		; -t	Starting Placer Cost Table (1-100)	1
-	· · ·	anlement To	n Module		-x	Ignore User Timing Constraints	
Cons		ipienieni ioj			-ntd	Timing Mode	Perf
P	reparing PlanAhead laun D	esign Goals 8	& Strategies		111	Generate Asynchronous Delay Report	\checkmark
(i) I	NFO: inverter.ucf creat					Generate Clock Region Report	
P	lanAhead started. PlanA 📈 P	ocess Prope	rties 1	a –		Generate Post-Place & Route Simulation Mod	el 🔽
						Generate Post-Place & Route Power Report	

 5. Μέσα στο παράθυρο Processes Properties κάντε δεξί κλικ στο Implement Design και επιλέξτε Properties -> Simulation Model Properties και ενεργοποιείτε (βάζοντας tick √) την επιλογή Retain Hierarchy και διαλέξτε την επιλογή Simulation Model Target -> VHDL. Μετά κάντε κλικ στο OK.

Process Properties - Simulation Mo	del Properties			×	ing (al Tir
Category	Switch Name	Property Name	Value	^	
Translate Properties		Simulation Model Target	VHDL	\sim	
Place & Route Properties	-s	Device Speed Grade/Select ABS Minimum	-4	efault: \	
Post-Map Static Timing Report P	-fn	Retain Hierarchy		crault. V	
Simulation Model Properties	-mhf	Generate Multiple Hierarchical Netlist Files			
	4	Defension and Challent Triatester Martine and Device			

6. Μέσα στο παράθυρο Processes κάντε δεξί κλικ στο Generate Programming File και επιλέξτε Process Properties -> General Options και ενεργοποιείτε (βάζοντας tick √) τις επιλογές Create ASCII Configuration File και Create IEEE 1532 Configuration File. Μετά πηγαίνετε στην επιλογή Generate Programming File -> δεξί κλίκ -> Process Properties -> Startup Options και στην λίστα FPGA Start-up Clock επιλέγετε την επιλογή JTAG Clock. Μετά κάντε κλικ στο OK για να βγείτε από αυτό το menu.



gory	Switch Name	Property Name			
General Options	-d	Run Design Rules Checker (DRC)	\square		
Configuration Options Startup Options	-j	Create Bit File			
Readback Options	-g Binary:	Create Binary Configuration File			
	-b	Create ASCII Configuration File	\checkmark		
	-g IEEE1532:	Create IEEE 1532 Configuration File	\checkmark		
	-g Compress	Enable BitStream Compression			
	-g DebugBitstream:	Enable Debugging of Serial Mode BitStream			
	-g CRC:	Enable Cyclic Redundancy Checking (CRC)	\checkmark		
		Other Bitgen Command Line Options			
	5	·			
Process Properties - Startup Options					

Category General Options Configuration Options Startup Options Readback Options

🗉 🕻 Pro

_	Switch Name	Property Name	Value		
	-g StartUpClk:	FPGA Start-Up Clock	JTAG Clock	~	~
	-g DonePipe:	Enable Internal Done Pipe			
	-g DONE_cycle:	Done (Output Events)	Default (4)	~	~

7. Μέσα στο παράθυρο Processes κάντε δεξί κλικ στο Generate Programming File και επιλέξτε Rerun All. Αυτή η ενέργεια θα προκαλέσει την εκτέλεση με συγκεκριμένη σειρά όλων των εργαλείων του περιβάλλοντος ISE που απαιτούνται για την υλοποίηση σε FPGA configuration (programming) bitstream του κυκλώματος που σχεδιάσατε. Δώστε ιδιαίτερη προσοχή στα reports και τις πληροφορίες που παρουσιάζονται κατά την εκτέλεση των διάφορων εργαλείων καθώς θα σας ζητηθεί να δώσετε απαντήσεις σε αυτό το κείμενο, όσον αφορά συγκεκριμένες λεπτομέριες από τις πληροφορίες αυτής της εκτέλεσης. Αν αφού εκτελεστούν όλα τα εργαλεία υλοποίησης του ISE, σας εμφανιστεί ένα παράθυρο με τίτλο Xilinx Web Talk Dialog, τότε απαλά αγνοήστε το και κλείστε το με το





8. Αν όλα τα εργαλεία εκτελεστούν με επιτυχία και χωρίς λάθη ή άλλα προβλήματα τότε θα παρατηρείσετε πράσινα ticks σε όλα τα εργαλεία που εκτελέστηκαν, όπως επίσης και το μήνυμα: Process "Generate Programming File" completed successfully να εμφανίζεται στο κάτω μέρος του παραθύρου Console του ISE.



Processes: inverter Į, User Constraints 24 Create Timing Constraints 7 De I/O Pin Planning (PlanAhead) - Pre-Synthesis I/O Pin Planning (PlanAhead) - Post-Synthesis Floorplan Area/IO/Logic (PlanAhead) Or CONTRACTOR Synthesize - XST Implement Design **P**3(7 Translate Map Place & Route Generate Programming File Configure Target Device ⊕ Analyze Design Using ChipScope Start 💷 Design 🖺 Files 🚺 Libraries Σ Console case, the option listed last will be used.

Process "Generate Programming File" completed successfully

Programming File (Bitstream) \rightarrow inverter.bit

Xilinx ISE Synthesis Xilinx ISE Implementation

VI. Προσομοίωση υλοποιημένου δικτύου (post-route simulation)

Σημειώστε ότι πρωταρχικός σκοπός της προσομοίωσης είναι να ελέγξουμε την σωστή λειτουργία του κυκλώματός μας (αν με τις δεδομένες τιμές στις εισόδους, παίρνουμε τις αναμενόμενες τιμές στις εξόδους του κυκλώματος).

- 1. Στο παράθυρο Design, επιλέξτε στην λίστα του View :, την επιλογή Post-Route Simulation, αν δεν είναι ήδη επιλεγμένη.
- 2. Στο παράθυρο Design, επιλέξτε το σχηματικό σας σχέδιο, π.χ. simple_inverter1(simple_inverter1.sch)
- 3. Αν κάνετε επιτυχώς τα παραπάνω βήματα θα δείτε στο παράθυρο Processes το εργαλείο Xilinx ISE Simulator. Μπορείτε να ανοίξετε περισσότερο αυτή την ομάδα εργαλείων αν κάνετε κλικ στο κουτάκι με το +, οπότε θα εμφανιστεί η επιλογή Simulate Post-Place & Route Model. Με διπλό κλικ πάνω στο Simulate Post-Place & Route Model θα σας εμφανίσει τα παράθυρα για την προσομοίωση του κυκλώματός σας. Αν δεν σας ανοίξει το παράθυρο Simulation με τις κυματομορφές, τότε στο κάτω τμήμα του δεξιού μέρους του ISE κάντε κλικ στο tab Simulation.





4. Όλα σχεδόν τα υπόλοιπα βήματα και οι εντολές για την εκτέλεση αυτής της προσομοίωσης είναι ίδια με εκείνα της λειτουργικής προσομοίωσης που εξηγήθηκε πιο πριν. Αφιερώστε χρόνο για να εξοικειωθείτε με την προσομοίωση υλοποιημένου δικτύου (post-route simulation) και να μετρήστε τις καθυστερήσεις στο χρόνο της απόκρισης των εξόδων (βλέποντας τις αποστάσεις στο χρόνο από τις αλλαγές στις τιμές των εισόδων, έως να αλλάξουν οι τιμές των εξόδων του κυκλώματος) χρησιμοποιώντας τους markers στο παράθυρο Simulation, όπως εξηγήθηκε πριν στην λειτουργική προσομοίωση. Όταν τελειώσετε την προσομοίωση και πιστεύετε ότι το κύκλωμά σας λειτουργεί σωστά κλείστε το παράθυρο της κυματομορφής της εξομοίωσης.

> ISim> restart ISim> isim force add inp 0 -time 0 ns -value 1 -time 100 ns -value 0 -time 200 ns ISim> run 400 ns

									400.000 ns
Name	Value	0 ns	50 ns	100 ns	150 ns	200 ns	250 ns	300 ns 3	50 ns
埍 outp	1	-							
1 inp	0								
1 inp_inbuf	o								
U outp_o	1								

11. Μπορείτε να προσθέτετε έναν ή περισσότερους **markers** (κάθετες χρωματιστές γραμμές μέτρησης) στο παράθυρο Simulation (κυματομορφής) με το πράσινο εικονίδιο Single Marker που βρίσκεται δίπλα στο παράθυρο κυματομορφών. Παρατηρείστε ότι το πάνω μέρους του κάθε marker υπάρχει ό χρόνος μέσα στην προσομοίωση στον οποίο αυτός ο marker δείχνει. Έτσι μπορείτε να μετράτε αποστάσεις στον χρόνο από μία αλλαγή τιμής ενός σήματος έως μία άλλη αλλαγή τιμής. Αυτό θα σας είναι χρήσιμο για να μετράτε την καθυστέρηση απόκρισης του κυκλώματός σας από τις εισόδους προς τις εξόδους του. Επίσης χρησιμοποιώντας κατάλληλους συνδυασμούς των εικονιδίων των markers και των εικονιδίων των zoom, μπορείτε με ακρίβεια να τοποθετείτε τους makers εκεί που θέλετε και να μετράτε με ακρίβεια την απόσταση στον χρόνο μεταξύ τους. Όταν κλειδώνει σε μία αλλαγή της τιμής του κάθε σήματος που επιλέγετε ο marker τότε εμφανίζει κοντά στην αλλαγή έναν μικρό δίσκο, ώστε να το αφήσετε EKEÍ.





Για αυτή την εβδομάδα...

Κατεβάστε και εγκαταστήστε το Xilinx ISE 14.7 στον υπολογιστή σας με WEBPACK License αν δεν το έχετε ήδη κάνει.

Συνεχίστε το project inverter (προσθήκη constraints, set implementation properties, δημιουργία programming file, προσομοίωση δικτύου) ακολουθώντας και τις οδηγίες από το φυλλάδιο 2.

Mou αποστέλλετε συμπιεσμένο το φάκελο του project ως επισύναψη ή μέσω Google Drive.